



СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

АВТОРСКОЕ СВИДЕТЕЛЬСТВО

№ 1083182

На основании полномочий, предоставленных Правительством СССР, Государственный комитет СССР по делам изобретений и открытий выдал настоящее авторское свидетельство на изобретение:
"Сумматор кодов с иррациональным основанием"

Автор (авторы): Лужецкий Владимир Андреевич, Черняк Александр Иванович и Стахов Дмитрий Алексеевич

Заявитель: **ВИННИЦКИЙ ПОЛИТЕХНИЧЕСКИЙ ИНСТИТУТ**

Заявка № 3533912

Приоритет изобретения 31 декабря 1982г.
Зарегистрировано в Государственном реестре изобретений СССР

1 декабря 1983г.
Действие авторского свидетельства распространяется на всю территорию Союза ССР.

Председатель Комитета *В. В. В.*

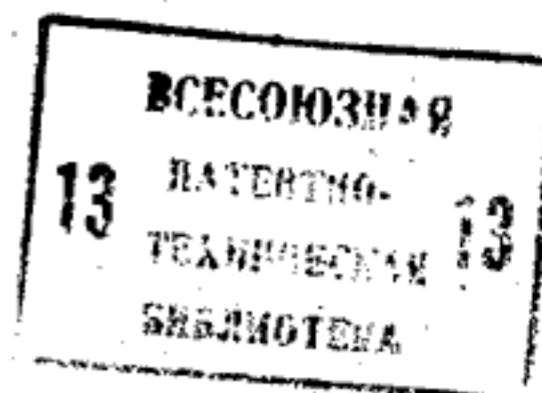
Начальник отдела *В. В. В.*





ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3533912/18-24
(22) 31.12.82
(46) 30.03.84. Бюл. № 12
(72) В.А.Лужецкий, А.И.Черняк
и Д.А.Стахов
(74) Винницкий политехнический институт
(53) 681.325 (088.8)
(56) 1. Авторское свидетельство СССР
№ 840891, кл. G 06 F 7/49, 1978.

2. Авторское свидетельство СССР
№ 570896, кл. G 06 F 7/49, 1975 (прототип).

(54)(57) СУММАТОР КОДОВ С ИРРАЦИОНАЛЬНЫМ ОСНОВАНИЕМ, содержащий в каждом разряде одноразрядный сумматор и корректирующий узел, который содержит два элемента И и три элемента ИЛИ, причем первый и второй входы первого элемента И корректирующего узла i -го разряда ($i = 1, 2, \dots, n$) соединены с соответствующими разрядами входов первого и второго слагаемых сумматора кодов с иррациональным основанием, а его выход соединен с первым входом первого элемента ИЛИ корректирующего узла, выход которого соединен с первым входом одноразрядного сумматора того же разряда, первый вход второго элемента И корректирующего узла соединен с выходом переноса одноразрядного сумматора $(i-1)$ -го разряда, первый вход второго элемента ИЛИ корректирующего узла соединен с первым входом первого элемента И корректирующего узла, а его выход подключен к второму входу одноразрядного сумматора того же разряда, первый

вход третьего элемента ИЛИ корректирующего узла соединен с первым входом второго элемента И корректирующего узла, а его выход подключен к третьему входу одноразрядного сумматора того же разряда, отличающийся тем, что, с целью расширения области применения за счет суммирования кодов с произвольной разрядностью, в корректирующий узел введены третий элемент И, первый и второй элементы НЕ, а каждый разряд содержит дополнительно элемент НЕ, элемент И и элемент ИЛИ, первый вход третьего элемента И корректирующего узла соединен с выходом первого элемента НЕ корректирующего узла, второй вход третьего элемента И корректирующего узла соединен с выходом второго элемента НЕ того же узла, выход третьего элемента И корректирующего узла подключен к второму входу первого элемента ИЛИ того же узла, третий вход первого элемента И корректирующего узла соединен с первым входом второго элемента И корректирующего узла, второй вход второго элемента И корректирующего узла соединен с вторым входом первого элемента И корректирующего узла и с вторым входом третьего элемента ИЛИ того же узла, выход второго элемента ИЛИ корректирующего узла соединен с вторым входом второго элемента ИЛИ того же узла, выход переноса одноразрядного сумматора i -го разряда соединен с третьим входом третьего элемента И корректирующего узла $(i-2)$ -го разряда, с входом элемента НЕ $(i-2)$ -го разряда, первым входом элемента И $(i-1)$ -го разряда

и вторым входом элемента И i -го разряда, третий вход которого соединен с выходом элемента НЕ i -го разряда, выход элемента И i -го разряда соединен с входом первого элемента НЕ корректирующего узла $(i-1)$ -го разряда и с входом второго элемента НЕ корректирующего узла $(i-1)$ -го разря-

да, а также с первым входом второго элемента ИЛИ i -го разряда, второй вход которого соединен с выходом суммы одноразрядного сумматора того же разряда, а выход соединен с i -м разрядом выхода суммы сумматора кодов и иррациональным основанием.

1

Изобретение относится к вычислительной технике и может быть использовано в арифметических установках ЭВМ, осуществляющих параллельное суммирование чисел, представленных в кодах с иррациональными основаниями.

Известен параллельный сумматор кодов Фибоначчи, содержащий два регистра, блок нормализации, блок элементов И, блок контроля, блок определения окончания суммирования и шину управления [1].

Недостатками данного сумматора являются сложность конструкции и низкое быстродействие.

Известен также комбинационный сумматор кодов с иррациональным основанием, содержащий в каждом разряде одноразрядный сумматор и корректирующий узел, который включает два элемента И и три элемента ИЛИ, причем первый и второй входы первого элемента И корректирующего узла i -го разряда ($i = 1, 2, \dots, n$) соединены с соответствующими разрядами первой и второй входных шин сумматора кодов с иррациональным основанием, а его выход - с первым входом первого элемента ИЛИ корректирующего узла, выход которого подключен к первому входу одноразрядного сумматора того же разряда, первый вход второго элемента И корректирующего узла соединен с выходом переноса одноразрядного сумматора $(i-1)$ -го разряда, первый вход второго элемента ИЛИ корректирующего узла соединен с первым входом первого элемента И корректирующего узла, а его выход подключен к второму входу одноразрядного сумматора того же разряда, первый вход третьего элемента ИЛИ корректирующего узла соединен с первым входом

2

второго элемента И корректирующего узла, а его выход подключен к третьему входу одноразрядного сумматора того же разряда [2].

5 Недостатком известного сумматора является ограниченность области его применения за счет невозможности суммирования кодов с произвольной разрядностью, так как разрядность суммируемых им кодов ограничена во-
10 семью разрядами.

Цель изобретения - расширение области применения сумматора кодов с иррациональным основанием за счет
15 суммирования кодов с произвольной разрядностью.

Указанная цель достигается тем, что в сумматоре кодов с иррациональ-
20 ным основанием, содержащем в каждом разряде одноразрядный сумматор и корректирующий узел, который содержит два элемента И и три элемента ИЛИ, причем первый и второй входы
25 первого элемента И корректирующего узла i -го разряда ($i = 1, 2, \dots, n$) соединены с соответствующими разрядами входов первого и второго слагаемых сумматора кодов с иррациональ-
30 ным основанием, а его выход соединен с первым входом первого элемента ИЛИ корректирующего узла, выход которого соединен с первым входом одноразрядного сумматора того же разряда,
35 первый вход второго элемента И корректирующего узла соединен с выходом переноса одноразрядного сумматора $(i-1)$ -го разряда, первый вход второго элемента ИЛИ корректирующего узла соединен с первым входом
40 первого элемента И корректирующего узла, а его выход подключен к второму входу одноразрядного сумма-

тора того же разряда, первый вход третьего элемента ИЛИ корректирующего узла соединен с первым входом второго элемента И корректирующего узла, а его выход подключен к третьему входу одноразрядного сумматора того же разряда, а корректирующий узел введены третий элемент И, первый и второй элементы НЕ, а каждый разряд содержит дополнительно элемент НЕ, элемент И и элемент ИЛИ, первый вход третьего элемента И корректирующего узла соединен с выходом первого элемента НЕ корректирующего узла, второй вход третьего элемента И корректирующего узла соединен с выходом второго элемента НЕ того же узла, выход третьего элемента И логического корректирующего узла подключен к второму входу первого элемента ИЛИ того же узла, третий вход первого элемента И корректирующего узла соединен с первым входом второго элемента И корректирующего узла, второй вход второго элемента И корректирующего узла соединен с вторым входом первого элемента И корректирующего узла и с вторым входом третьего элемента ИЛИ того же узла, выход второго элемента ИЛИ корректирующего узла соединен с вторым входом второго элемента ИЛИ того же узла, выход переноса одноразрядного сумматора i -го разряда соединен с третьим входом третьего элемента И корректирующего узла ($i-2$)-го разряда, с входом элемента НЕ ($i-2$)-го разряда, первым входом элемента И ($i-1$)-го разряда и вторым входом элемента И i -го разряда, третий вход которого соединен с выходом элемента НЕ i -го разряда, выход элемента И i -го разряда соединен с входом первого элемента НЕ корректирующего узла ($i-1$)-го разряда и с входом второго элемента НЕ корректирующего узла ($i-1$)-го разряда, а также с первым входом второго элемента ИЛИ i -го разряда, второй вход которого соединен с выходом суммы одноразрядного сумматора того же разряда, а выход соединен с i -м разрядом выхода суммы сумматора кодов с иррациональным основанием.

На фиг. 1 представлена структурная схема четырех разрядов сумматора кодов с иррациональным основанием; на фиг. 2 - функциональная схема логического корректирующего узла.

Сумматор (фиг.1) содержит входы 1-4 первого слагаемого, входы 5-8 второго слагаемого, корректирующие узлы 9-12, одноразрядные сумматоры 13-16, непосредственно выполняющие операцию суммирования, элементы НЕ 17-20, элементы И 21-24, служащие для формирования сигналов запрета распределения переноса со стороны старших разрядов, и элементы ИЛИ 25-28, предназначенные для формирования сигналов суммы двух слагаемых. Одноразрядные сумматоры содержат выходы 29-32 переносов и выходы 33-36 суммы.

Корректирующий узел (фиг.2) содержит входы 37-42, элементы НЕ 43-44, И 45-47 и ИЛИ 48-50. Выходы каждого корректирующего узла подключены к входам одноразрядного сумматора того же разряда.

Сумматор работает следующим образом.

Код первого слагаемого через входы 1-4 первого слагаемого сумматора поступает на входы 37 первого слагаемого узлов 9-12 соответственно.

Для пояснения работы корректирующего узла введем следующие обозначения: a - вход 37 первого слагаемого; b - вход 38 второго слагаемого; c - вход 39 переноса со стороны младших разрядов; d - вход 40 переноса со стороны старших разрядов; e и f - входы 41 и 42 запрета распространения переноса со стороны старших разрядов соответственно.

Тогда корректирующий узел реализует следующие логические функции

$$A = a \vee bc;$$

$$B = b \vee c;$$

$$C = abc \vee d\bar{e}\bar{f},$$

где A - логическая функция, реализуемая элементами И 45 и ИЛИ 48;

B - логическая функция, реализуемая элементом ИЛИ 49;

C - логическая функция, реализуемая элементами НЕ 44 и 43 И 46 и 47 и ИЛИ 50.

Сигналы с выходов логических узлов 9-12 поступают на входы одноразрядных сумматоров 13-16 соответственно, на выходах 33-36 которых формируются сигналы промежуточной суммы, а на выходах 29-32 - сигналы

промежуточных переносов. При возникновении сигналов переноса в двух соседних разрядах и отсутствии переноса в старшем соседнем к ним разряде на выходе элементов И 21-24 соответствующих разрядов появляются сигналы запретов переноса, которые запрещают поступление переноса на вход одноразрядных сумматоров соответствующих младших разрядов.

Сигналы запретов с выходов элементов И 21-24 и сигналы с выходов 33-36 сумматоров 13-16 поступают на входы элементов ИЛИ 25-28, на выходах которых формируется окончательный результат суммирования.

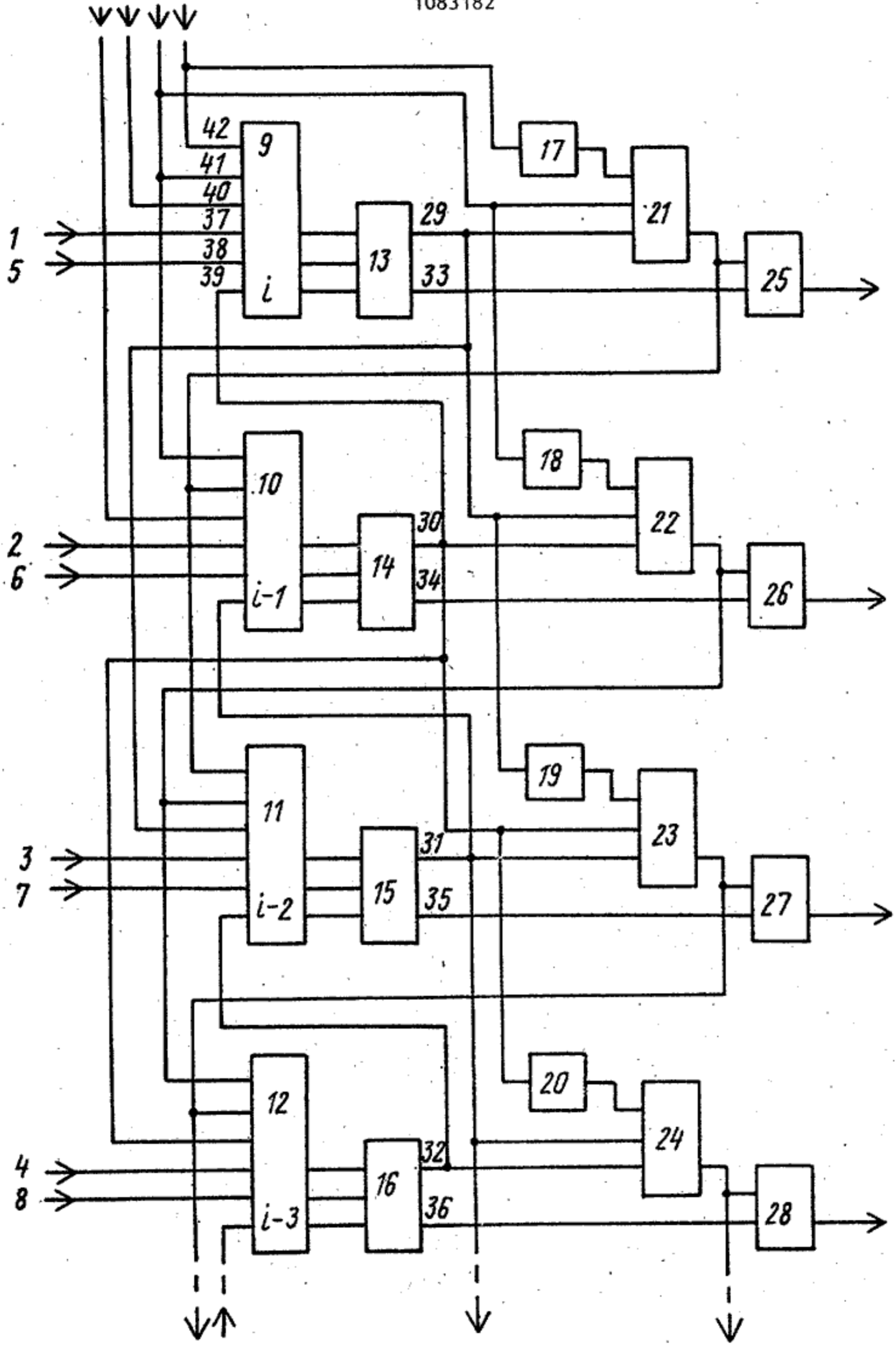
Пример сложения чисел 51 и 45 с учетом запретов переноса приведен в таблице.

В предлагаемом сумматоре наличие элементов НЕ 17-20 и И 21-24, соединенных с выходами 29-32 переносов одноразрядных сумматоров 13-16, позволяет обнаруживать появление двух старших соседних переносов и

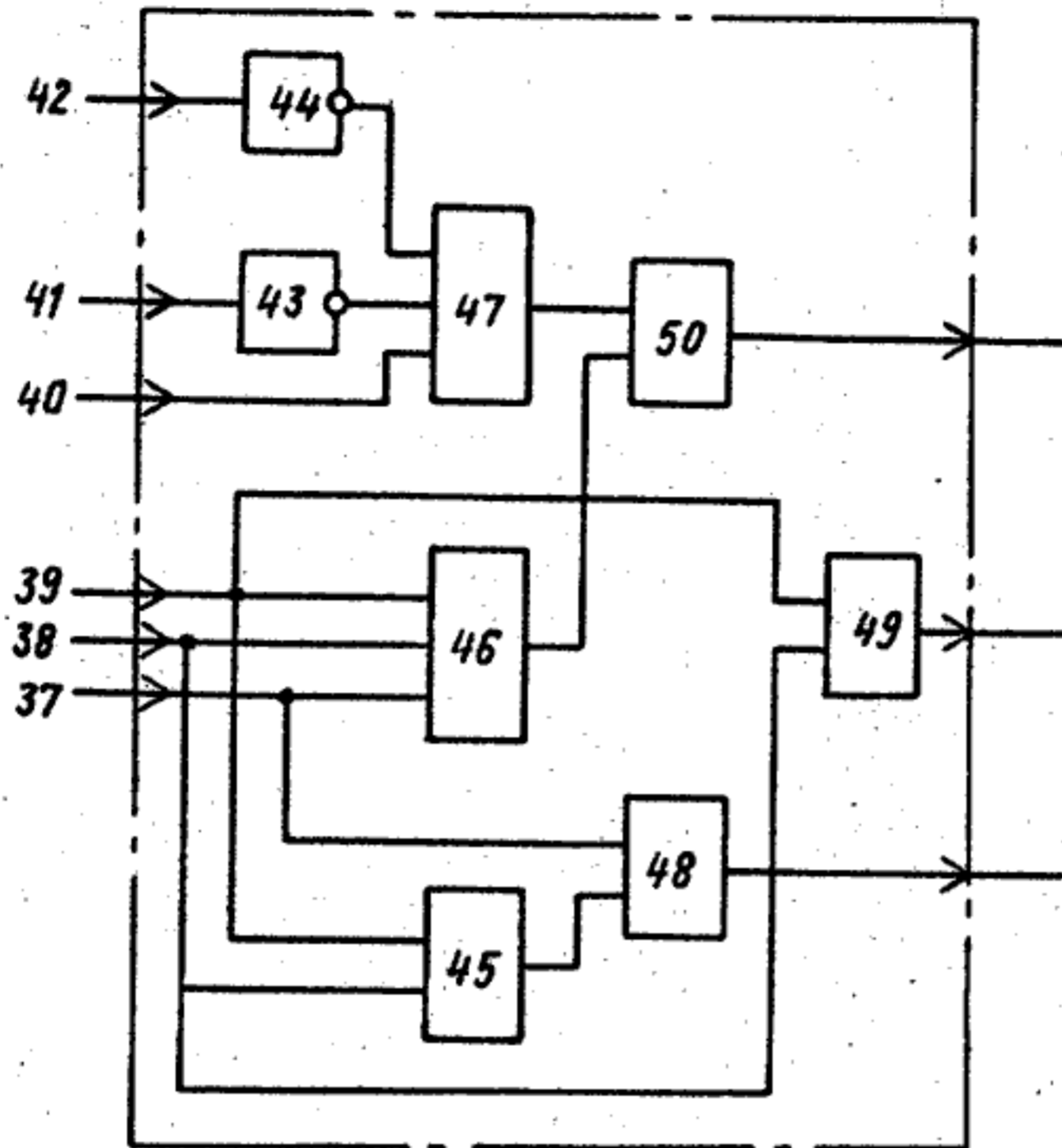
запретить их прохождение через соответствующие логические узлы 9-12 на входы одноразрядных сумматоров 13-16. Наличие элементов ИЛИ 25-28 позволяет произвести свертку двух старших соседних переносов в соответствующий разряд. При сложении чисел с разностью больше восьми возможно появление двух соседних переносов. В известном сумматоре это может привести к появлению четырех единичных сигналов на входе узлов 9-12 определенных разрядов и к неправильной работе устройства. В предлагаемом сумматоре вырабатывается сигнал запрета прохождения двух соседних переносов на входы узлов 9-12 и производится свертка их в соответствующие разряды.

Таким образом, введение дополнительных элементов и связей позволяет осуществлять суммирование кодов произвольной разрядности, что существенно расширяет область применения предлагаемого сумматора.

Десятичный эквивалент	Веса разрядов										Примечания
	55	34	21	13	8	5	3	2	1	1	
51	0	1	0	1	0	0	1	0	1	0	1-е слагаемое
45	0	1	0	0	1	0	1	0	0	0	2-е слагаемое
											Распространение переносов
	0	0	0	0	0	1	0	0	0	0	Сигналы запрета
	1	0	1	1	0	0	0	1	0	0	Промежуточная сумма
96	1	0	1	1	0	1	0	1	0	0	Окончательный результат



Фиг. 1



Фиг. 2

Редактор М. Рачкулинец Составитель А. Степанов Корректор И. Муска
 Техред А. Бабинец

Заказ 1754/42 Тираж 699 Подписное

ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4