



СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

АВТОРСКОЕ СВИДЕТЕЛЬСТВО

№ 1488739

На основании полномочий, предоставленных Правительством СССР, Государственный комитет СССР по делам изобретений и открытий выдал настоящее авторское свидетельство на изобретение:
"Сумматор последовательного действия"

Автор (авторы): Стахов Алексей Петрович, Квитка Николай Андреевич, Лужецкий Владимир Андреевич и Заболотная Наталья Ивановна

Заявитель: СПЕЦИАЛЬНОЕ КОНСТРУКТОРСКО-ТЕХНОЛОГИЧЕСКОЕ БЮРО "МОДУЛЬ" ВИННИЦКОГО ПОЛИТЕХНИЧЕСКОГО ИНСТИТУТА И ВИННИЦКИЙ ПОЛИТЕХНИЧЕСКИЙ ИНСТИТУТ

Заявка № 4339262 Приоритет изобретения 7 декабря 1987г.

Зарегистрировано в Государственном реестре изобретений СССР

22 февраля 1989г.

Действие авторского свидетельства распространяется на всю территорию Союза ССР.

Председатель Комитета

Начальник отдела

Two handwritten signatures in black ink are present. The first signature is written over the text 'Председатель Комитета' and the second signature is written over the text 'Начальник отдела'.



ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГНТ СССР

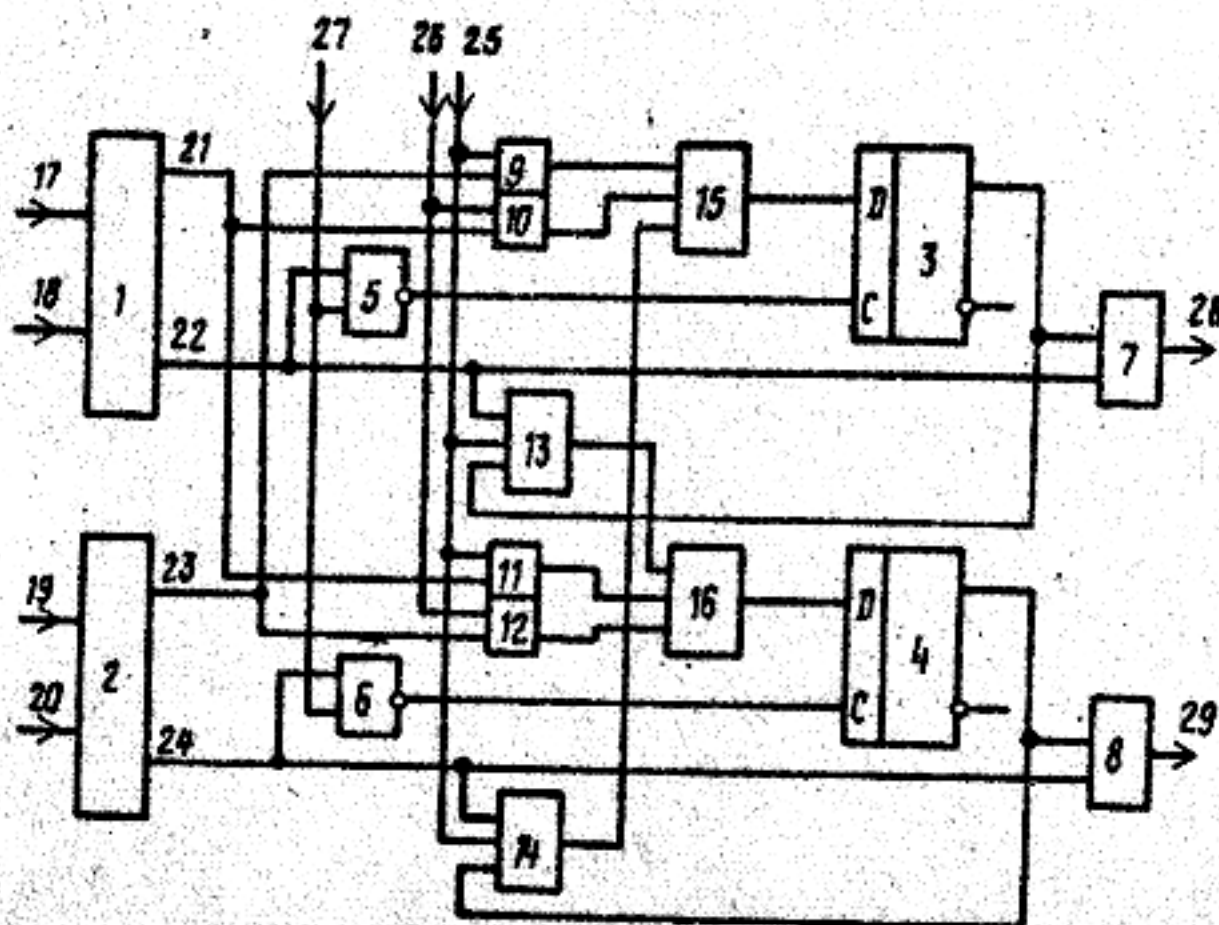
ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

1

- (21) 4339262/24-24
- (22) 07.12.87
- (46) 23.06.89. Бюл. № 23
- (71) Специальное конструкторско-технологическое бюро "Модуль" Винницкого политехнического института и Винницкий политехнический институт
- (72) А.П.Стахов, Н.А.Квитка, В.А.Лужецкий и Н.И.Заболотная
- (53) 681.325.5 (088.8)
- (56) Авторское свидетельство СССР № 1363191, кл. G 06 F 7/50, 1986.
Авторское свидетельство СССР № 920710, кл. G 06 F 7/50, 1982.

2

- (54) СУММАТОР ПОСЛЕДОВАТЕЛЬНОГО ДЕЙСТВИЯ
- (57) Изобретение относится к вычислительной технике и может быть использовано при построении арифметических устройств, а также при создании специализированных "векторных" вычислительных машин. Целью изобретения является расширение функциональных возможностей за счет сложения чисел в двоичных кодах и в кодах с иррациональным основанием $\sqrt{2}$. Сумматор последовательного действия содержит первый 1 и второй 2 полусумматора, первый 3 и второй 4 триггеры, первый 5 и второй 6 элементы ИЛИ-НЕ, первый 7 и второй 8 сумматоры по модулю два, элементы И 9 - 14, первый 15 и второй 16 элементы ИЛИ с соответствующими связями. 1 ил., 2 табл.



Изобретение относится к вычислительной технике и может быть использовано при построении арифметических устройств, а также при создании специализированных "векторных" вычислительных машин.

Цель изобретения - расширение функциональных возможностей за счет сложения чисел в двоичных кодах и в кодах с иррациональным основанием $\sqrt{2}$.

На чертеже представлена схема сумматора последовательного действия.

Сумматор содержит первый и второй полусумматоры 1 и 2, первый и второй триггеры 3 и 4, первый и второй элементы ИЛИ-НЕ 5 и 6, первый и второй сумматоры 7 и 8 по модулю два, с первого по шестой элементы И 9 - 14, первый и второй элементы ИЛИ 15 и 16, входы 17 и 18 первых разрядов первого и второго слагаемых сумматора соответственно, входы 19 и 20 вторых разрядов первого и второго слагаемых сумматора соответственно, выходы 21 и 22 переноса и суммы соответственно первого полусумматора 1, выходы 23 и 24 переноса и суммы соответственно второго полусумматора 2, вход 25 задания двоичного сложения сумматора, вход 26 задания сложения в коде с иррациональным основанием сумматора, тактовый вход 27 сумматора, выходы 28 и 29 первого и второго разрядов суммы сумматора соответственно.

В системе счисления с основанием $\sqrt{2}$ слагаемые числа А и В изображаются следующим образом:

$$A = a_{n-1} / \sqrt{2}^{n-1} + \dots + a_1 / \sqrt{2}^1 + a_0 / \sqrt{2}^0; \quad (1)$$

$$B = b_{n-1} / \sqrt{2}^{n-1} + \dots + b_1 / \sqrt{2}^1 + b_0 / \sqrt{2}^0. \quad (2)$$

Весы разрядов кода с основанием $\sqrt{2}$ составляют последовательность степеней основания

$$\dots 16\sqrt{2}, 16, 8\sqrt{2}, 8, 4\sqrt{2}, 4, 2\sqrt{2}, 2, \sqrt{2}, 1. \quad (3)$$

Из выражения (3) следует, что четные степени являются весами разрядов двоичного кода, а нечетные - весами

двоичного кода, умноженными на $\sqrt{2}$. С учетом этого слагаемые (1) и (2) можно записать

$$A = \sqrt{2} \sum_{j=1}^{n-1} a_j 2^{\frac{j-1}{2}} + \sum_{i=0}^{n-2} a_i 2^{\frac{i}{2}}; \quad (4)$$

$$B = \sqrt{2} \sum_{j=1}^{n-1} b_j 2^{\frac{j-1}{2}} + \sum_{i=0}^{n-2} b_i 2^{\frac{i}{2}}; \quad (5)$$

где $a_i, a_j, b_i, b_j \in \{0, 1\}$ и являются цифрами двоично-кодированной системы счисления с основанием $\sqrt{2}$, а i, j для n разрядных чисел принимают значения

$$j \in \{1, 3, 5, \dots, n-1\},$$

$$i \in \{0, 2, 4, 6, \dots, n-2\}.$$

Первые члены формул (4) и (5) составляют суммы нечетных разрядов кода, а вторые члены - суммы четных разрядов кода с основанием $\sqrt{2}$. Несмотря на то, что члены выражений 4 и 5 объединены общим основанием, они независимы друг от друга, а это позволяет осуществить одновременную независимую параллельную реализацию операции сложения четных и нечетных разрядов операндов, представленных в кодах с основанием $\sqrt{2}$, и, таким образом, увеличить быстродействие сумматора. В основу работы сумматора последовательного действия положено сложение двух младших (первого и второго) одноименных разрядов в двоичной системе счисления с иррациональным основанием $\sqrt{2}$, которое выполняется согласно табл. 1 и 2.

Т а б л и ц а 1

a_0	b_0	n_{11}	S_{11}
0	0		0
0	1		1
1	0		1
1	1	1	0

Т а б л и ц а 2

a_1	b_1	n_{21}	S_{21}
0	0		0
0	1		1
1	0		1
1	1	1	0

Сложение одноименных младших разрядов происходит одновременно и для четных разрядов осуществляется по табл. 1, а для нечетных по табл. 2.

Сумматор может работать в двух режимах: в режиме сложения операндов, представленных в коде с основанием $\sqrt{2}$; в режиме суммирования при двоичном представлении операндов. Первый режим обеспечивается подачей единичного сигнала на вход 26 режима работы, второй — подачей единичного сигнала на вход 25 режима работы.

Последовательный сумматор в режиме сложения чисел в коде с иррациональным основанием $\sqrt{2}$ работает следующим образом.

Триггеры 3 и 4 перед началом работы устанавливаются в состояние "0". В каждом такте суммирования на входы 17 и 19 сумматора подаются два разряда (начиная с младшего и следующего за младшим) первого операнда, а на входы 18 и 20 — соответствующие разряды второго операнда, причем на входы 17 и 18 сумматора поступают одноименные разряды четных весов кода с иррациональным основанием $\sqrt{2}$, а на входы 19 и 20 — одноименные разряды нечетных весов кода с иррациональным основанием $\sqrt{2}$. На вход 26 поступает единичный сигнал. Параллельно с выхода 21 переноса полусумматора 1 через элемент И 10 и элемент ИЛИ 15 и с выхода 23 переноса полусумматора 2 через элемент И 12 и элемент ИЛИ 16 поступают соответственно на информационный вход триггера 3 сигнал переноса в следующий разряд четного веса кода, а на информационный вход триггера 4 — сигнал переноса в следующий разряд нечетного веса кода. Если на входы сумматора поданы одинаковые значения разрядов слагаемых (00 или 11), сигнал на выходе суммы полусумматора 1 и 2 разрешает прохождение тактового импульса соответственно через элемент ИЛИ-НЕ 5 на тактовый вход триггера 3, который осуществляет запись значения переноса в триггер 3, через элемент ИЛИ-НЕ 6 — на тактовый вход триггера 4, который осуществляет запись значения переноса в триггер 4. Если значения разрядов слагаемых различны, то триггеры 3 и 4 сохраняют предыдущие состояния.

На выходы 28 и 29 сумматора поступает сумма по модулю два значений поразрядной суммы и переноса, полученного в предыдущем разряде. Если n — число разрядов кодов слагаемых, то в последнем $(n/2+1)$ такте работы сумматора на его входы слагаемых поступают нулевые коды, а на выходы сумматора поступают сигналы, соответствующие состоянию триггера.

Особенности работы сумматора в режиме суммирования при двоичном представлении операндов заключаются в следующем.

Режим обеспечивается подачей единичного сигнала на вход 25.

Два одноразрядных сумматора объединены в схему параллельного двоичного двухразрядного сумматора с последовательным переносом в отличие от режима сложения операндов, представленных с основанием $\sqrt{2}$, где два одноразрядных сумматора объединялись в схему параллельного двоичного двухразрядного сумматора с параллельным переносом.

Запоминание переноса с выхода 21 при сложении младшего из двух разрядов, поступающих на соответствующие входы 17 и 18, осуществляется не на триггере 3, входящем в первый одноразрядный сумматор, как в режиме сложения операндов, представленных в коде с основанием $\sqrt{2}$, а на триггере 4 второго одноразрядного сумматора, и запоминание переноса с выхода 23 при сложении старшего из двух разрядов, поступающих на соответствующие входы 19 и 20, осуществляется на триггере 3 первого одноразрядного сумматора.

Значение одноразрядной суммы в каждом такте снимается поочередно с выходов сумматора, во всех нечетных тактах работы (первом, третьем и т.д.) — с выхода 28, во всех четных тактах работы — с выхода 29.

Пример. Реализация операции сложения при двоичном представлении операндов.

Пусть:

$$A = 01101$$

$$B = 00011$$

На первом такте сложения на входах 19 и 20 отсутствует информация, на входы 17 и 18 поступают два единичных сигнала. Так как первоначально триггеры 3 и 4 установлены в ну-

левые состояния, то значение одно-разрядной суммы на выходе 28 нулевое, образованный в результате сложения перенос на выходе 21 поступает через элементы И 11 и ИЛИ 16 на информационный вход триггера 4 и, поскольку на выходе 24 полусумматора 2 присутствует нулевой сигнал, разрешающий прохождение тактового импульса на синхровход триггера 4, единица переноса записывается в триггер 4.

На втором такте сложения на входы 19 и 20 поступают соответственно "0" и "1", на входах 17 и 18 информация отсутствует. Учитывая перенос, записанный в триггере 4, на выходе 29 получают нулевое значение суммы. На этом такте суммирования единичные сигналы с выхода триггера и выхода 24 суммы полусумматора 2 совместно с единичным значением сигнала на входе 25 поступают на входы элемента И 14, с выхода которого через элемент ИЛИ 15 поступают на информационный вход триггера 3 и данным тактовым импульсом, поступающим на синхровход триггера 3, запоминаются в нем.

На третьем такте сложения на входах 19 и 20 информация отсутствует, на входы 17 и 18 подается соответственно "1" и "0", значение суммы на выходе 22 полусумматора 1 - "1", значение переноса на выходе 21 - "0". Учитывая единицу, записанную на предыдущем такте работы в триггере 3, на входах первого сумматора 7 по модулю два присутствует две единицы, что обеспечивает получение на выходе 28 нулевого значения суммы и запись "1" через элементы И 13 и ИЛИ 16 в триггер 4.

На четвертом такте сложения на входах 19 и 20 присутствуют сигналы соответственно "0" и "1", на входах 17 и 18 информация отсутствует, значение суммы на выходе 21 - "0", на выходе 22 - "1", записанной в триггере 4 на предыдущем такте, поступает на вход сумматора 8 по модулю два и обеспечивает появление нулевого значения суммы на выходе 29, а также запись единицы аналогично процессу, описанному на предыдущем такте, в триггер 3.

На пятом такте сложения на входе 17 - "0", на входе 18 - "0", на

5 входах 19 и 20 информация отсутствует. На выходе 22 суммы - "0", на выходе 21 - "0", на первый вход сумматора 7 по модулю два поступает с выхода триггера 3 единица, записанная на предыдущем такте суммирования, что ведет к формированию "1" на выходе 28.

10 В связи с тем, что при сложении n разрядных двоичных чисел выполняется $(n+1)$ суммирований, а при сложении n разрядных кодов с
15 иррациональным основанием $\sqrt{2}$ ($n/2 + 1$) суммирований (т.е. в два раза меньше), это позволяет повысить
20 быстродействие сумматора в данном режиме почти в два раза.

Ф о р м у л а и з о б р е т е н и я

25 Сумматор последовательного действия, содержащий первый и второй полусумматоры, первый и второй триггеры, первый и второй элементы ИЛИ-НЕ, первый и второй сумматоры по модулю два, причем выходы суммы первого и второго полусумматоров соединены соответ-
30 ственно с входами первого слагаемого первого и второго сумматоров по модулю два, входы второго слагаемого которых соединены соответственно с
35 выходами первого и второго триггеров, входы разрешения приема которых соединены соответственно с выходами первого и второго элементов ИЛИ-НЕ, первые входы которых объединены и соединены с тактовым входом сумматора,
40 выходы суммы первого и второго полусумматоров соединены соответственно с вторыми входами первого и второго элементов ИЛИ-НЕ, входы первых разрядов первого и второго слагаемых сумматора соединены соответственно с
45 входами первого и второго слагаемых первого полусумматора, выход первого сумматора по модулю два является вы-
50 ходом первого разряда суммы сумматора, отличающийся тем, что, с целью расширения функциональ-
ных возможностей за счет сложения чисел в двоичных кодах и в кодах с
55 иррациональным основанием $\sqrt{2}$, он содержит с первого по шестой элемент И, первый и второй элементы ИЛИ, причем входы вторых разрядов перво-

го и второго слагаемых сумматора соединены соответственно с входами первого и второго слагаемых второго полусумматора, выход второго сумматора по модулю два является выходом второго разряда суммы сумматора, выходы первого и второго элементов И соединены с соответствующими входами первого элемента ИЛИ, выход которого соединен с информационным входом первого триггера, выходы третьего и четвертого элементов И соединены соответственно с первым и вторым входами второго элемента ИЛИ, выход которого соединен с информационным входом второго триггера, вход задания двоичного сложения сумматора соединен с первыми входами первого, третьего, пятого и шестого

элементов И, вход задания сложения в коде с иррациональным основанием сумматора соединен с первыми входами второго и четвертого элементов И, выход переноса первого полусумматора соединен с вторыми входами второго и третьего элементов И, выход переноса второго полусумматора соединен с вторыми входами первого и четвертого элементов И, выходы суммы первого и второго полусумматоров соединены соответственно с вторыми входами пятого и шестого элементов И, выходы которых соединены соответственно с третьими входами второго и первого элементов ИЛИ, выходы первого и второго триггеров соединены соответственно с третьими входами пятого и шестого элементов И.

Редактор Е. Папп

Составитель А. Ключев
Техред Л. Сердюкова

Корректор Т. Малец

Заказ 3563/49

Тираж 668

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101