



СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК
ГОСУДАРСТВЕННЫЙ КОМИТЕТ ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГОСУДАРСТВЕННОМ КОМИТЕТЕ СССР ПО НАУКЕ И ТЕХНИКЕ
(ГОСКОМИЗОБРЕТЕНИЙ)

АВТОРСКОЕ СВИДЕТЕЛЬСТВО

№

1546968

На основании полномочий, предоставленных Правительством СССР, Госкомизобретений выдал настоящее авторское свидетельство на изобретение:

"Устройство для суммирования Фибоначчи-десятичных кодов"

Автор (авторы): Стахов Алексей Петрович, Лужецкий Владимир Андреевич, Козлюк Петр Владимирович и Горлачева Елена Александровна

Заявитель: СПЕЦИАЛЬНОЕ КОНСТРУКТОРСКО-ТЕХНОЛОГИЧЕСКОЕ БЮРО "МОДУЛЬ" ВИННИЦКОГО ПОЛИТЕХНИЧЕСКОГО ИНСТИТУТА

Заявка № 4450608 Приоритет изобретения 28 июня 1988г.


Зарегистрировано в Государственном реестре изобретений СССР

1 ноября 1989г.

Действие авторского свидетельства распространяется на всю территорию Союза ССР.

Председатель Комитета

Начальник отдела



Ю. Гален
Земель



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1546968** **A1**

(51)5 G 06 F 7/49

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГИИТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 4450608/24-24
(22) 28.06.88
(46) 28.02.90. Бюл. № 8
(71) Специальное конструкторско-технологическое бюро "Модуль" Винницкого политехнического института
(72) А.П.Стахов, В.А.Лужецкий, П.В.Козлюк и Е.А.Горлачева
(53) 681.325.5(088.8)
(56) Авторское свидетельство СССР № 1401453, кл. G 06 F 7/49, 1986.
Авторское свидетельство СССР № 945852, кл. G 06 F 7/49, 1981.

(54) УСТРОЙСТВО ДЛЯ СУММИРОВАНИЯ
ФИБОНАЧЧИ-ДЕСЯТИЧНЫХ КОДОВ

- (57) Изобретение относится к вычислительной технике и может быть использовано в специализированных машинах. Цель изобретения - повышение быстродействия. Устройство содержит в каждом разряде узлы 11.1-11.3 свертки, одноразрядные двоичные сумматоры 13.1-13.4, элементы ИЛИ 1-3, узел 12 коррекции с соответствующими связями. Осуществляется суммирование Фибоначчи-десятичных операндов за два такта, причем время сложения операндов не зависит от их разрядности, так как переносы между десятичными цифрами не распространяются. 1 з.п.ф-лы, 2 ил.

Изобретение относится к вычислительной технике и может быть использовано в специализированных вычислительных машинах.

Целью изобретения является повышение быстродействия.

На фиг. 1 представлена схема разряда устройства для суммирования Фибоначчи-десятичных кодов; на фиг. 2 - схема узла свертки.

Разряд устройства (фиг. 1) содержит с первого по третий элементы ИЛИ 1-3 соответственно, группу входов 4.1-4.4 разряда второго слагаемого устройства, группу входов 5.1-5.4 разряда первого слагаемого устройства, группу выходов 6.1-6.4 разряда суммы устройства, выходы 7 и 8 первого и второго переносов разряда устройства соответственно, входы 9 и 10 первого и второго переносов

разряда устройства соответственно, с первого по третий узлы 11.1-11.3 свертки, узел 12 коррекции, с первого по четвертый одноразрядные двоичные сумматоры 13.1-13.4.

Узел 11 свертки (фиг. 2) содержит элемент И 14 и с первого по третий элементы 15.1-15.3 запрета соответственно.

В предлагаемом устройстве используются веса десятичных разрядов "5 3 2 1". При этом максимальное значение, которое может принимать десятичный разряд, - "11". При нормализованных входных операндах (т.е. не больших "9") максимальное значение суммы в десятичном разряде равно "18", т.е. возникает единица переноса в старший десятичный разряд. Если в этом разряде предусмотреть возможность "приема" едини-

(19) **SU** (11) **1546968** **A1**

цы переноса за счет прибавления ее к уже имеющейся сумме, отказавшись при этом от нормализованной формы представления десятичных чисел, то тем самым ограничивается распространение переноса и сложение можно выполнять за два такта независимо от количества десятичных цифр в операндах. На первом такте формируется сумма и переносы десятичных разрядов, а на втором такте происходит "гашение" переносов простым прибавлением их к значениям соответствующих сумм в старших разрядах. В результате такого сложения максимальное значение десятичного разряда будет равно "10". Если полученная сумма снова участвует в сложении, то максимальное значение десятичного разряда будет равно "11", а максимальное значение переноса в старший десятичный разряд будет равно "2". Чтобы не изменять структуры собственно одноразрядного Фибоначчи-десятичного сумматора, входные операнды нормализуются (сворачиваются по модулю "10"), в результате чего сразу могут формироваться переносы в следующую декаду, а на входы собственно Фибоначчи-десятичного сумматора поступают цифры не больше "9". Переносы могут возникать в результате нормализации обоих входов, выхода (чтобы иметь возможность сложить сумму с максимальным значением "2" переноса из младшей декады) и в Фибоначчи-десятичном сумматоре. Но, как уже отмечалось, единичные значения могут принимать только два из них, можно объединить выходы переносов в непересекающиеся пары - от свертки первого операнда или от Фибоначчи-десятичного сумматора и от свертки второго операнда или от свертки выхода Фибоначчи-десятичного сумматора. Нормализованное число на выходе собственно Фибоначчи-десятичного сумматора может появиться в результате сложения вкладывающихся кодов (типа 1010+0101), при котором не устанавливается единица переноса от Фибоначчи-десятичного сумматора (согласно его алгоритму сложения).

Таким образом, допуская ненормализованные значения разрядов (>9) и выполняя нормализацию на входе десятичных сумматоров путем формирования переносов, можно ограничить

распространение переносов и выполнять сложение за два такта независимо от разрядности операндов.

Узлы 11.1-11.3 свертки предназначены для нормализации операнда, если он представлен числом больше "9", т.е. "10" или "11". Фибоначчи-десятичный сумматор представляет собой совокупность четырех одноразрядных сумматоров 13.1-13.4 и элемента ИЛИ 1, предназначенных для суммирования двух Фибоначчи-десятичных цифр А и В с весами 5, 3, 2 и 1, соединенных между собой цепями переносов на основании правил суммирования в тетрадах.

Узел 12 коррекции предназначен для коррекции суммы, прошедшей нормализацию в узле 11.3 свертки с учетом переносов p_1 и p_2 из предыдущего разряда устройства. Узел коррекции может быть реализован комбинационной логикой. На основе карты прошивки ПЗУ, приведенной в таблице, можно вывести скорректированные значения сумм в каждом двоичном разряде:

$$\begin{aligned} \tilde{s}_4 &= s_4 \bar{p}_1 \bar{p}_2 + s_3 s_1 (p_1 + p_2) + \\ &+ \bar{s}_4 s_3 s_2 p_1 p_2; \\ \tilde{s}_3 &= \bar{s}_3 s_2 \bar{s}_1 (p_1 + p_2 + p_1 p_2) + \\ &+ s_3 \bar{s}_2 (\bar{s}_1 + s_4 s_1) (p_1 + p_2) + \\ &+ \bar{s}_2 (\bar{s}_3 s_1 + s_4 s_3) p_1 p_2 + s_3 \bar{p}_1 \bar{p}_2; \\ \tilde{s}_2 &= \bar{s}_2 s_1 (\bar{s}_4 \bar{s}_3 + s_4) (p_1 + p_2) + \\ &+ \bar{s}_3 \bar{s}_2 \bar{s}_1 + s_4 s_3 \bar{s}_2) p_1 p_2 + s_2 \bar{p}_1 \bar{p}_2; \\ \tilde{s}_1 &= \bar{s}_1 \bar{s}_1 (p_1 + p_2) + (\bar{s}_3 s_2 \bar{s}_1 + \\ &+ s_3 \bar{s}_2 s_1) p_1 p_2 + s_2 \bar{p}_1 \bar{p}_2. \end{aligned}$$

Так как реализация на основе ПЗУ более экономична с точки зрения аппаратуры, применим микросхему К 556 РТ4.

Элемент ИЛИ 3 предназначен для формирования первого переноса 7 с учетом переноса, поступающего с первого узла 11.1 свертки и переноса, поступающего с выхода сумматора 13.4. Элемент ИЛИ 2 предназначен для формирования второго переноса 8 с учетом переносов, поступающих с выходов узлов 11.2 и 11.3 свертки.

Элемент И 14 при единичных значениях старших разрядов десятичной цифры формирует перенос из узла свертки и обнуляет значения выходов узла свертки. Элементы 15.1-15.3

запрета при нулевом значении выхода элемента И 14 пропускают входные сигналы узла свертки на выход без изменения.

Устройство работает следующим образом.

Одновременно на входы 4 и 5 устройства поступают коды десятичных разрядов суммируемых десятичных чисел А и В. Если хотя бы один десятичный разряд представлен в виде "10" или "11", т.е. имеет три единичных старших разряда, то узлы 11.1 и 11.2

свертки производят нормализацию и выдают единичные сигналы на соответствующие элементы ИЛИ 3 и 2. Если произошла нормализация сразу двух операндов, то появление единичного сигнала с выхода переноса сумматора 13.4 и третьего узла 11.3 свертки исключается. После узлов свертки числа поступают на соответствующие входы одноразрядных сумматоров, где происходит первый такт сложения. Полученная сумма поступает на входы третьего узла 11.3 свертки.

Адресные входы						Выход ПЗУ			
0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	0	1
0	0	1	0	0	0	0	0	1	0
0	1	0	0	0	0	0	1	0	0
0	1	0	1	0	0	0	1	0	1
1	0	0	0	0	0	1	0	0	0
1	0	0	1	0	0	1	0	0	1
1	0	1	0	0	0	1	1	0	0
1	1	0	0	1	0	1	1	0	0
1	1	0	1	0	0	1	1	0	1
0	0	0	0	0	1	0	0	0	1
0	0	0	1	0	1	0	0	1	0
0	0	1	0	0	1	0	1	0	0
0	1	0	0	1	1	0	1	0	1
0	1	0	1	0	1	1	0	0	1
1	0	0	0	0	1	1	0	0	0
1	0	1	0	0	1	1	1	0	0
1	1	0	0	0	1	1	1	0	0
1	1	0	1	0	1	1	1	0	0
0	0	0	0	1	1	0	0	1	0
0	0	0	1	1	1	0	1	0	0
0	0	1	0	1	1	0	1	0	1
0	1	0	0	1	1	1	0	0	0
1	0	0	0	1	1	1	0	1	0
1	0	1	0	1	1	1	1	0	0
1	1	0	0	1	1	1	1	0	1
1	1	0	1	1	1	1	1	1	0
1	1	0	1	1	1	1	1	1	1

Если происходит нормализация результата, то на выходе переноса появится единичный сигнал, формирующий перенос 8 в следующий разряд. Затем полученная сумма с выходов узла 11.3 свертки поступает на входы узла 12 коррекции. Этим начинается второй такт сложения.

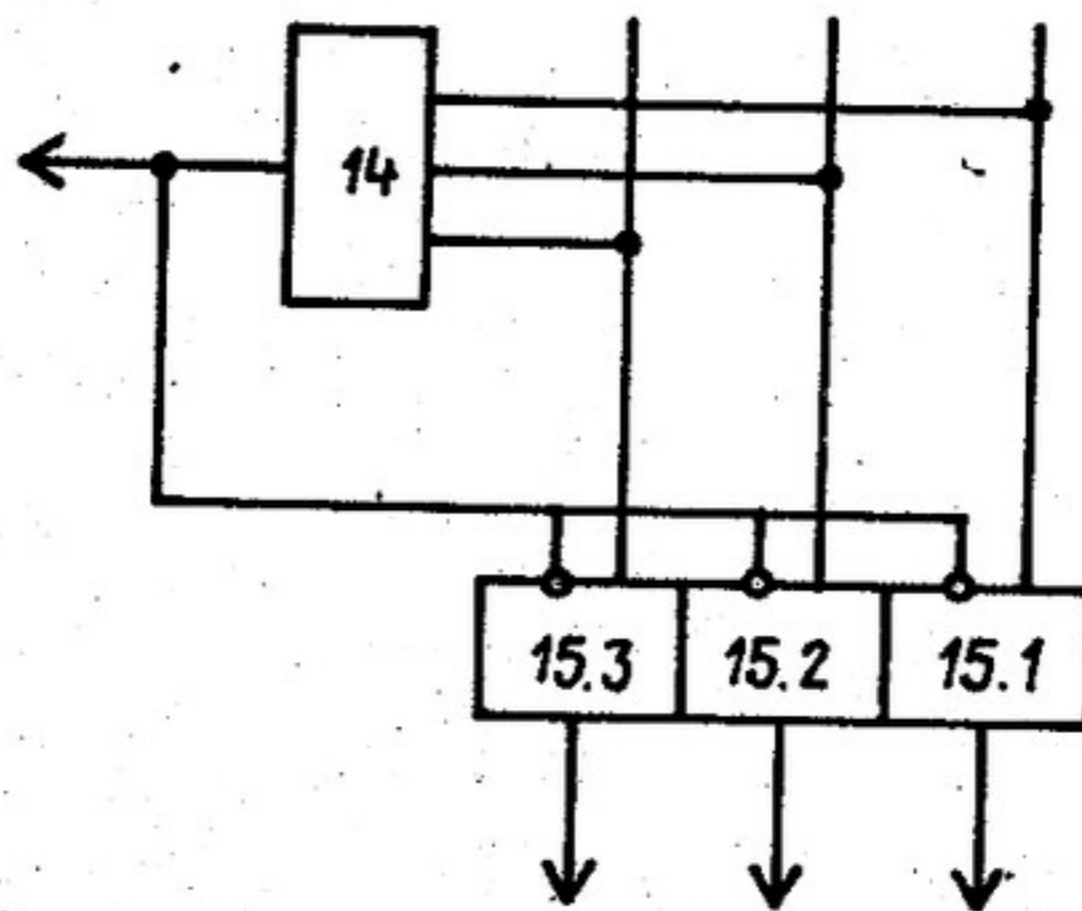
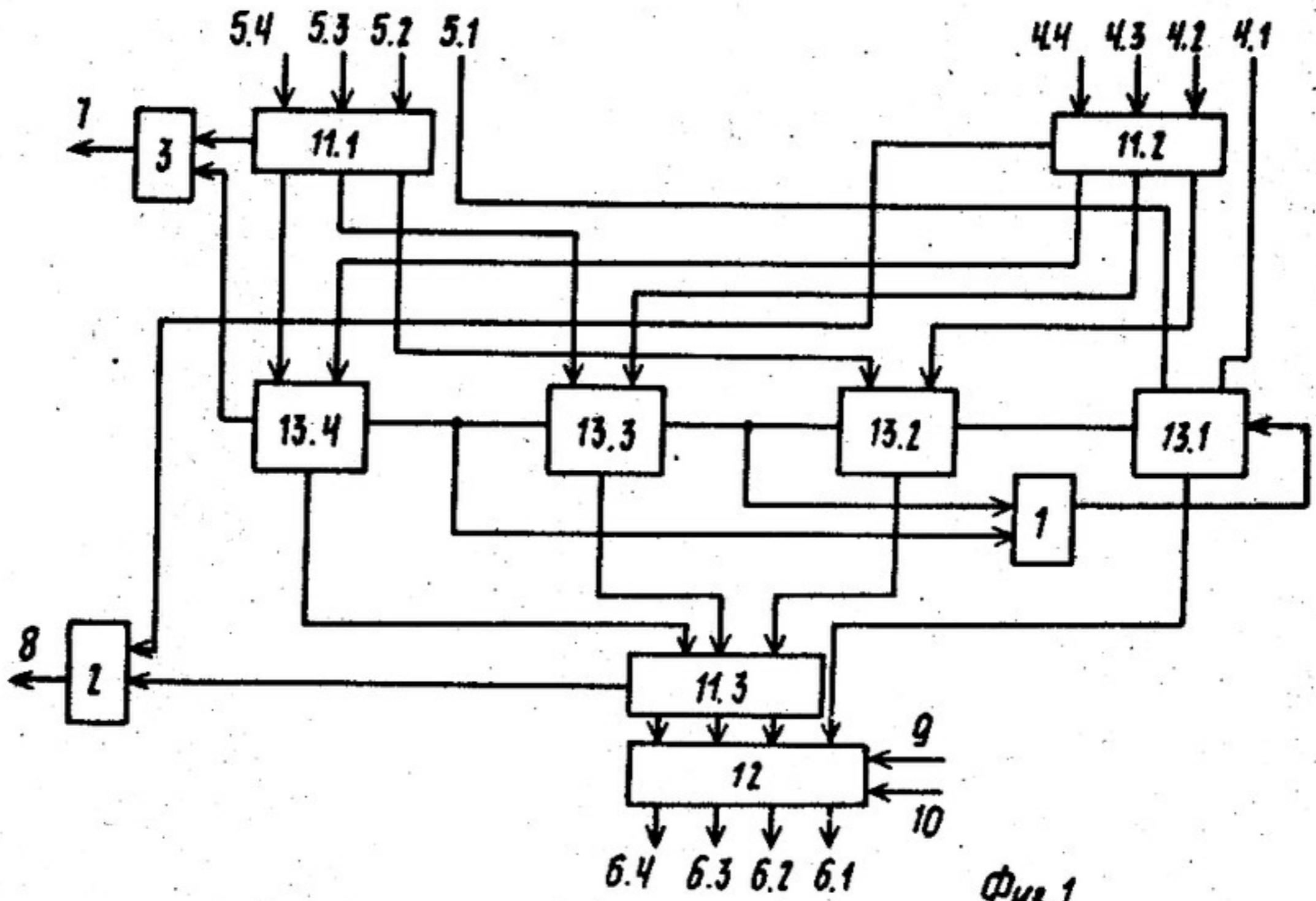
На втором такте происходит коррекция полученного результата согласно таблице.

Ф о р м у л а и з о б р е т е н и я

1. Устройство для суммирования Фибоначчи-десятичных кодов, содержащее в каждом разряде с первого по четвертый одноразрядные двоичные сумматоры и первый элемент ИЛИ, причем выход переноса K -го ($K=1..3$) одноразрядного двоичного сумматора разряда устройства соединен с входом переноса $(K+1)$ -го одноразрядного двоичного сумматора того же разряда устройства, выходы переноса второго и третьего одноразрядных двоичных сумматоров разряда устройства соединены соответственно с первым и вторым входами первого элемента ИЛИ того же разряда устройства, выход первого элемента ИЛИ разряда устройства соединен с входом переноса первого одноразрядного двоичного сумматора того же разряда устройства, первые входы групп разрядов первого и второго слагаемых устройства соединены соответственно с входами первого и второго слагаемых первого одноразрядного двоичного сумматора соответствующего разряда устройства, о т л и ч а ю щ е е с я тем, что, с целью повышения быстродействия, каждый разряд устройства содержит второй и третий элементы ИЛИ, с первого по третий узлы свертки и узел коррекции, причем с второго по четвертый входы группы разряда первого слагаемого устройства соединены соответственно с первым, вторым и третьим входами первого узла свертки соответствующего разряда устройства, с второго по четвертый входы группы разряда второго слагаемого устройства соединены соответственно с первым, вторым и третьим входами второго узла свертки соответствующего разряда устройства, с первого по третий выходы результата первого узла свертки разряда устройства сое-

динены с входами первых слагаемых соответственно второго, третьего и четвертого одноразрядных двоичных сумматоров того же разряда устройства, с первого по третий выходы результата второго узла свертки разряда устройства соединены с входами вторых слагаемых соответственно второго, третьего и четвертого одноразрядных двоичных сумматоров того же разряда устройства, выходы суммы с второго по четвертый одноразрядных двоичных сумматоров разряда устройства соединены соответственно с входами с первого по третий третьего узла свертки того же разряда устройства, выход суммы первого одноразрядного двоичного сумматора и с первого по третий выходы результата третьего узла свертки разряда устройства соединены соответственно с информационными входами с первого по четвертый узла коррекции того же разряда устройства, выходы узлов коррекции разрядов устройства являются группами выходов соответствующих разрядов суммы устройства, выход переноса первого узла свертки и выход переноса четвертого одноразрядного двоичного сумматора разряда устройства соединены соответственно с первым и вторым входами третьего элемента ИЛИ того же разряда устройства, выходы переноса второго и третьего узлов свертки разряда устройства соединены соответственно с первым и вторым входами второго элемента ИЛИ того же разряда устройства, выходы третьего и второго элементов ИЛИ предыдущего разряда устройства соединены соответственно с первым и вторым входами задания режима узла коррекции последующего разряда устройства.

2. Устройство по п. 1, о т л и ч а ю щ е е с я тем, что узел свертки содержит элемент И и три элемента запрета, причем с первого по третий входы узла свертки соединены с информационными входами соответствующих элементов запрета и с соответствующими входами элемента И, выход которого является выходом переноса узла свертки и соединен с управляющими входами с первого по третий элементов запрета, выходы которых являются соответствующими выходами результата узла свертки.



Составитель А.Клюев
 Редактор М.Циткина Техред М.Дидык Корректор Т.Малец

Заказ 80 Тираж 561 Подписное
 ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101