



СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК
ГОСУДАРСТВЕННЫЙ КОМИТЕТ ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГОСУДАРСТВЕННОМ КОМИТЕТЕ СССР ПО НАУКЕ И ТЕХНИКЕ
(ГОСКОМИЗОБРЕТЕНИЙ)

АВТОРСКОЕ СВИДЕТЕЛЬСТВО

№

1552174

На основании полномочий, предоставленных Правительством СССР, Госкомизобретений выдал настоящее авторское свидетельство на изобретение:
"Устройство для деления"

Автор (авторы): Стахов Алексей Петрович, Лужецкий Владимир Андреевич, Попович Игорь Михайлович и Коротин Владимир Васильевич

Заявитель: СПЕЦИАЛЬНОЕ КОНСТРУКТОРСКО-ТЕХНОЛОГИЧЕСКОЕ БЮРО "МОДУЛЬ" ВИННИЦКОГО ПОЛИТЕХНИЧЕСКОГО ИНСТИТУТА

Заявка № 4465855 Приоритет изобретения 26 июля 1988г.
Зарегистрировано в Государственном реестре изобретений СССР

22 ноября 1989г.
Действие авторского свидетельства распространяется на всю территорию Союза ССР.

Председатель Комитета

Начальник отдела

Ю. Гален
Генерал



ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

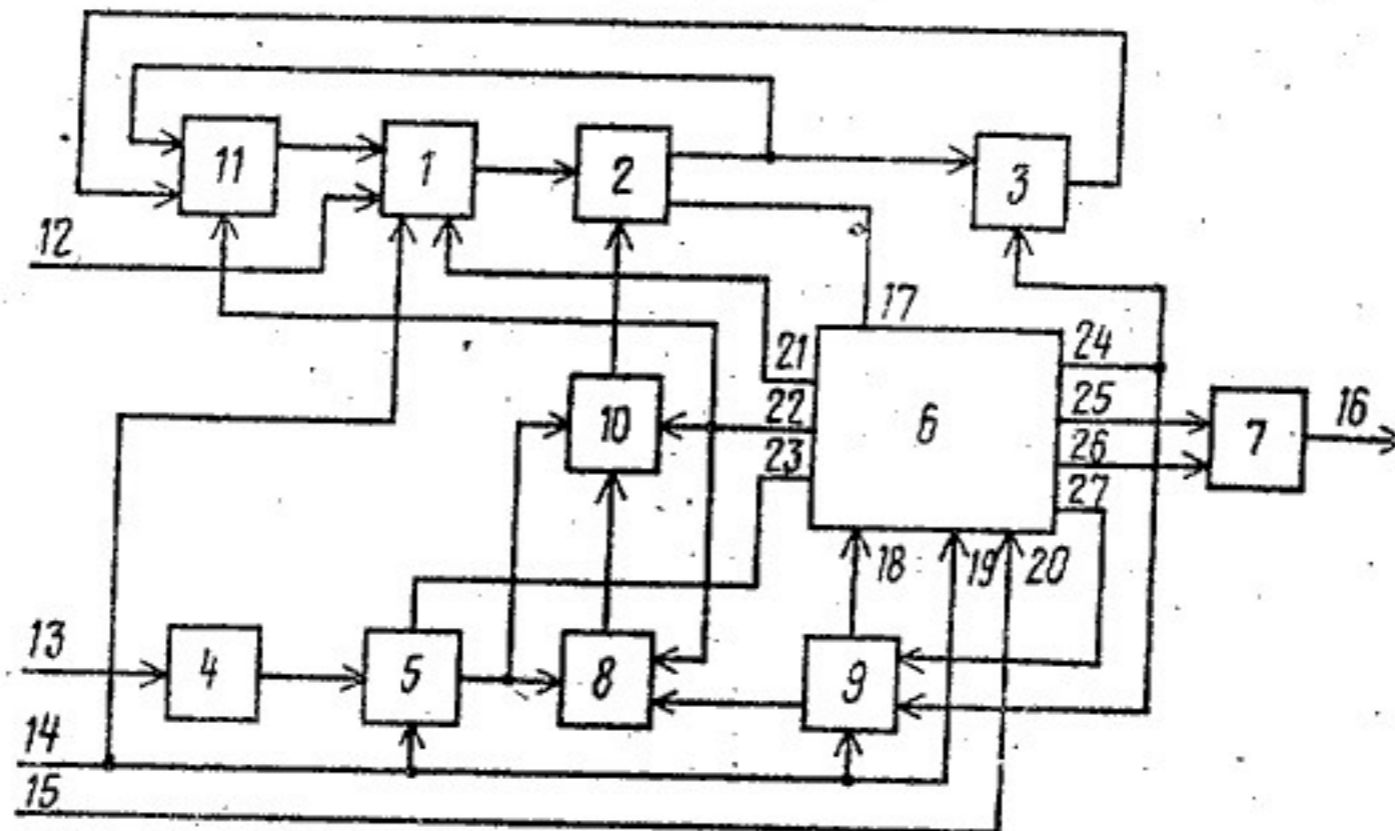


- (21) 4465855/24-24
- (22) 26.07.88
- (46) 23.03.90, Бюл. № 11
- (71) Специальное конструкторско-технологическое бюро "Модуль" Винницкого политехнического института
- (72) А.П.Стахов, В.А.Лужецкий, И.М.Попович и В.В.Коротин
- (53) 681.325(088.8)
- (56) Карцев М.А. Арифметика цифровых машин. - М.:Наука, 1969, с. 494.

Авторское свидетельство СССР
№ 744564, кл. G 06 F 7/49, 1978.

- (54) УСТРОЙСТВО ДЛЯ ДЕЛЕНИЯ
- (57) Изобретение относится к вычислительной технике и предназначено для деления многоразрядных чисел в р-кодах Фибоначчи. Цель изобретения - повышение быстродействия деления чисел, представленных в р-кодах Фибоначчи. Устройство для деления содержит регистр 1 делимого, предназначенный для хранения р-кода

2
Фибоначчи делимого, сумматор 2, регистр 3 остатка, в котором хранится р-код Фибоначчи разности делимого (остатка) и числа из последовательно обобщенных чисел Фибоначчи, преобразователь 4 прямого кода делителя в обратный, генератор 5 последовательности обобщенных чисел Фибоначчи, блок 6 управления, регистр 7 частного, в котором формируется результат деления в р-коде Фибоначчи, блок 8 памяти, в котором хранится последовательность обобщенных чисел Фибоначчи, счетчик 9, предназначенный для формирования адреса записи и выборки кодов из блока 8 памяти, первый коммутатор 10, обеспечивающий подачу на второй вход сумматора 2 кода с выхода генератора 5 или с выхода блока 8 памяти, второй коммутатор 11, обеспечивающий подачу на второй вход регистра 1 кода с выхода регистра 3 или с второго выхода сумматора 2. 3 ил., 1 табл.



Фиг.1

Изобретение относится к вычислительной технике и предназначено для деления многоразрядных чисел в r -кодах Фибоначчи.

Целью изобретения является повышение быстродействия устройства.

При делении чисел в r -кодах Фибоначчи образуют последовательность обобщенных чисел Фибоначчи. Начальное число последовательности с номером нуль соответствует нулевому разряду r -кода Фибоначчи частного и является делителем, а i -е число последовательности, соответствующее i -му разряду r -кода Фибоначчи частного, образуется путем сложения в r -коде Фибоначчи $(i-1)$ -го и $(i-r-1)$ -го чисел последовательности обобщенных чисел Фибоначчи. Число последовательно сравнивают в r -кодах Фибоначчи с делимым до тех пор, пока не определится 1 -е число, которое является первым числом в полученной последовательности, большим делимого. После этого в $(1-1)$ -й разряд r -кода Фибоначчи частного записывают единицу, а $(1-1)$ -е число последовательности обобщенных чисел Фибоначчи вычитают в r -коде Фибоначчи из делимого. Полученный остаток сравнивают в r -коде Фибоначчи с числами полученной последовательности и выделяют m -е число последовательности, которое является наибольшим числом последовательности, меньшим, чем остаток. После этого в m -й разряд r -кода Фибоначчи частного записывается единица, а m -е число последовательности вычитают в r -коде Фибоначчи из остатка, получая при этом очередной остаток. Процесс сравнения чисел последовательности с очередным остатком и вычитание повторяют до тех пор, пока остаток не станет меньше делителя. При этом контролируют, чтобы в r -коде Фибоначчи частного в каждой группе из $(r+1)$ подряд идущих разрядов кода встречалось не более одной единицы. Нарушение этого условия является признаком неправильного выполнения операции деления.

На фиг. 1 приведена структурная схема устройства для деления; на фиг. 2 - схема блока управления; на фиг. 3 - временная диаграмма работы блока управления.

Устройство для деления содержит регистр 1 делимого, предназначенный для хранения r -кода Фибоначчи дели-

мого, сумматор 2, осуществляющий сложение r -кодов Фибоначчи, поступающих на его входы, регистр 3 остатка, в котором хранится r -код Фибоначчи разности делимого (остатка) и числа из последовательности обобщенных чисел Фибоначчи, преобразователь 4 прямого кода в обратный, осуществляющий преобразование прямого r -кода Фибоначчи делителя в обратный r -код Фибоначчи, который является исходным в последовательности кодов, формируемой генератором 5 последовательности обобщенных чисел Фибоначчи, блок 6 управления, регистр 7 частного, в котором формируется результат деления в r -коде Фибоначчи, блок 8 памяти, в котором хранится последовательность обобщенных чисел Фибоначчи, счетчик 9, который формирует адрес записи и выборки кодов последовательности обобщенных чисел Фибоначчи блока 8 памяти, первый коммутатор 10, второй коммутатор 11, вход 12 делимого устройства, вход 13 делителя устройства, вход 14 начальной установки устройства, вход 15 пуска устройства, выход 16 частного устройства, входы 17-20 блока 6 управления, выходы 21-27 блока 6 управления.

В состав блока 6 управления (фиг. 2) входят триггеры 28-31, элемент И-ИЛИ 32, элементы 33-38, генератор 39 синхроимпульсов и элементы ИЛИ 40 и 41.

Работу устройства для деления рассмотрим на примере r -кода Фибоначчи при $r = 1$.

Пусть делимое равно 102, а делитель 5. Единичный сигнал, поступающий на вход 14 начальной установки устройства, приводит к тому, что содержимое регистра 1 делимого, генератора 5 последовательности обобщенных чисел Фибоначчи и триггеров блока 6 управления становится равным нулю, а счетчик 9 равен единице. В регистр 1 с входа 12 устройства записывается I -код Фибоначчи числа 102, в преобразователь 4 прямого кода в обратный с входа 13 устройства подается I -код Фибоначчи числа 5 и обратный код числа 5 записывается в генератор 5.

На первом такте работы устройства генератор 5 формирует обратный I -код Фибоначчи нулевого числа последовательности, приведенной в таблице.

Нулевое число последовательности обобщенных чисел Фибоначчи равно обратному I-коду Фибоначчи делителя.

Нулевой сигнал, поступающий с выхода 22 блока 6 управления на управляющий вход коммутатора 10, разрешает подачу кода с выхода генератора 5 на второй вход сумматора 2, который осуществляет сложение этого кода с кодом делимого. При этом на вход переноса младшего разряда сумматора 2 постоянно подается единица, т.е. сложение выполняется как бы с дополнительным кодом. Если на выходе переноса старшего разряда сумматора 2 отсутствует сигнал переноса, то это означает, что код, поступающий из регистра 1, меньше кода, поступающего с выхода генератора 5. Если на выходе переноса старшего разряда сумматора 2 формируется единичный сигнал, то это значит, что код, поступающий из регистра 1, больше кода, поступающего с выхода генератора 5. Каждый код, формируемый на выходе сумматора 2 и являющийся положительной разностью входных кодов, записывается в регистр 3 остатка под действием сформированного блоком 6 управления на выходе 24 единичного сигнала. При этом код с выхода генератора 5 записывается в блок 8 памяти по адресу, формируемому счетчиком 9, увеличивающим свое состояние на единицу.

При сложении прямого кода делимого и обратного кода шестого числа последовательности отсутствует единичный сигнал на выходе переноса старшего разряда сумматора 2. Это свидетельствует о том, что данное число последовательности превышает делимое.

Отсутствие на входе 17 блока 6 управления единичного сигнала, поступающего с выхода переноса старшего разряда сумматора 2, приводит к следующему. Блок 6 управления формирует на выходе 24 нулевой сигнал, запрещающий запись очередного кода с выхода сумматора 2 в регистр 3 остатка, на выходе 21 - единичный сигнал, разрешающий запись в регистр 1 кода остатка, а на выходе 22 блока 6 присутствует нулевой сигнал, который разрешает подачу кода остатка из регистра 3 через коммутатор 11 на второй вход регистра 1. Таким образом, в ре-

гистр 1 записывается код остатка, полученного на предыдущем (пятом) такте сложения кодов в сумматоре 2. При этом счетчик уменьшает свое состояние на единицу под действием управляющего единичного сигнала, поступающего с выхода 27 блока 6 управления.

Сумматор 2 вновь формирует код разности, но теперь это разность между первым остатком и очередным (предыдущим) числом последовательности обобщенных чисел Фибоначчи, подаваемым на второй вход сумматора 2 с блока 8 памяти через коммутатор 10 под действием единичного управляющего сигнала, сформированного блоком 6 управления на выходе 22. На выходе переноса старшего разряда сумматора 2 формируется нулевой сигнал, свидетельствующий о том, что число последовательности больше первого остатка. При этом на выходах 25-27 блока 6 управления присутствуют единичные управляющие сигналы, под действием которых в регистр 7 частного записывается единица и сдвигается на один разряд в сторону старших разрядов, а счетчик 9 выбирает адрес очередного числа последовательности, уменьшая свое состояние на единицу.

Код четвертого числа последовательности больше кода первого остатка. На выходе переноса старшего разряда сумматора 2 формируется нулевой сигнал. Блок 6 управления на выходах 22, 25 и 27 формирует единичные управляющие сигналы, под действием которых с блока 8 памяти через коммутатор 10 на второй вход сумматора 2 подается код очередного числа последовательности, код, записанный в регистре 7 частного, сдвигается на один разряд, а счетчик 9 выбирает адрес очередного числа последовательности, уменьшая свое состояние на единицу.

Код третьего числа последовательности меньше кода первого остатка. На выходе переноса старшего разряда сумматора 2 формируется единичный сигнал. Блок 6 управления на выходах 21, 22 и 25-27 формирует единичные управляющие сигналы, под действием которых код разности между первым остатком и третьим числом последовательности записывается в регистр 1, в регистр 7 частного записывается единица и код, записанный в этом

регистре, сдвигается на один разряд в сторону старших разрядов, счетчик 9 выбирает адрес очередного числа последовательности, уменьшая свое состояние на единицу. Код второго числа последовательности оказывается большим кода второго остатка.

Блок 6 формирует на выходах 22, 25 и 27 управляющие сигналы, под действием которых счетчик 9 выбирает адрес числа последовательности, подаваемого с блока 8 памяти, уменьшая свое состояние на единицу, а код, записанный в регистре 7 частного, сдвигается на один разряд. Код первого числа последовательности меньше кода второго остатка. На входе 16 блока 6 присутствует единичный сигнал, под действием которого на выходах 21, 22 и 25-27 этого блока формируются управляющие сигналы, которые приводят к тому, что код положительной разности между вторым остатком и первым числом последовательности записывается в регистр 1 делимого, счетчик 9 выбирает адрес кода очередного (нулевого) числа последовательности, состояние счетчика уменьшается на единицу, в регистр 7 частного записывается единица и код, записанный в этом регистре, сдвигается на один разряд.

При сложении кодов нулевого числа последовательности, являющегося делителем, и третьего остатка оказывается, что остаток меньше делителя. С выхода переноса старшего разряда сумматора на вход 17 блока 6 управления поступает единичный сигнал. Блок 6 на выходах 22, 25 и 27 формирует управляющие сигналы, под действием которых код, записанный в регистре 7 частного, сдвигается на один разряд, а счетчик 9, уменьшая свое состояние на единицу, становится равным нулю, что является признаком окончания операции деления. С второго выхода счетчика 9 поступает единичный сигнал на вход 18 блока 6 управления, который прекращает формирование управляющих сигналов. При этом в регистре 7 частного находится код частного, а в регистре 3 остатка находится код остатка деления.

Ф о р м у л а и з о б р е т е н и я

Устройство для деления, содержащее регистры делимого остатка и частного, преобразователь прямого кода

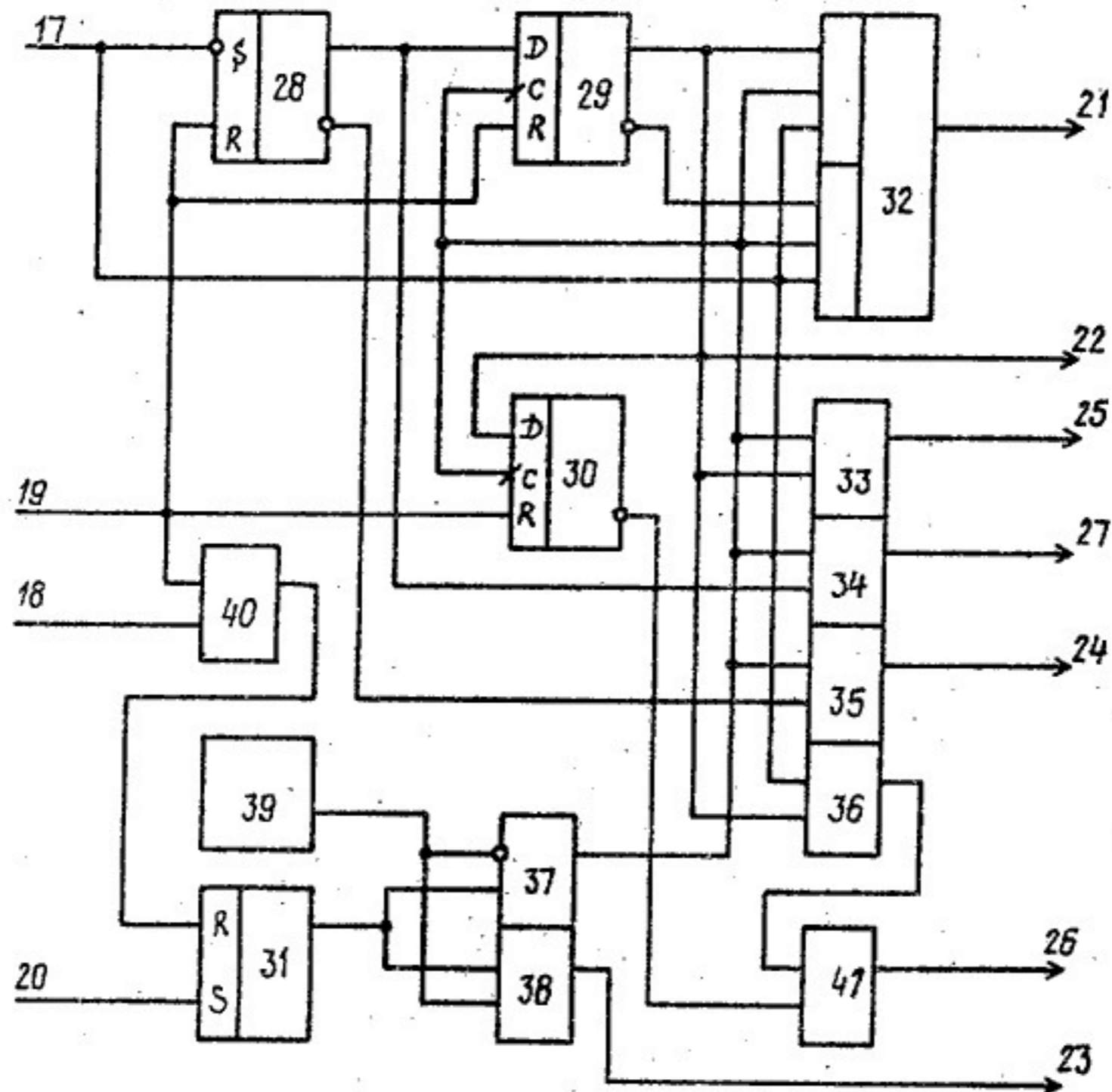
в обратный, сумматор, генератор последовательности обобщенных чисел Фибоначчи и блок управления, причем вход делимого устройства соединен с первым информационным входом регистра делимого, выход которого соединен с входом первого слагаемого сумматора, выход суммы которого соединен с информационным входом регистра остатка, вход записи которого соединен с первым выходом блока управления, вход разрешения формирования остатка которого соединен с выходом переноса сумматора, выход преобразователя прямого кода в обратный соединен с информационным входом генератора последовательности обобщенных чисел Фибоначчи, входы записи регистров делимого и частного соединены соответственно с вторым и третьим выходами блока управления, четвертый выход которого соединен с входом синхронизации генератора последовательности обобщенных чисел Фибоначчи, выход регистра частного соединен с выходом устройства, о т л и ч а ю щ е е с я тем, что, с целью повышения быстродействия, в него введены два коммутатора, счетчик и блок памяти, информационный вход которого соединен с выходом генератора последовательности обобщенных чисел Фибоначчи и первым информационным входом первого коммутатора, второй информационный вход которого соединен с выходом блока памяти, адресный вход которого соединен с информационным выходом счетчика, вход реверса и счетный вход которого соединены соответственно с пятым и первым выходами блока управления, шестой выход которого соединен с управляющими входами блока памяти и первого и второго коммутаторов, второй информационный вход регистра делимого соединен с выходом второго коммутатора, первый и второй информационные входы которого соединены соответственно с выходами регистра остатка и сумматора, вход второго слагаемого которого соединен с выходом первого коммутатора, вход пуска устройства соединен с входом пуска блока управления, вход начальной установки которого соединен с входами начальной установки счетчика, регистра делимого, генератора последовательности обобщенных чисел Фибоначчи и устройства, вход делителя

которого соединен с входом преобразователя прямого кода в обратный, выход обнуления счетчика соединен с

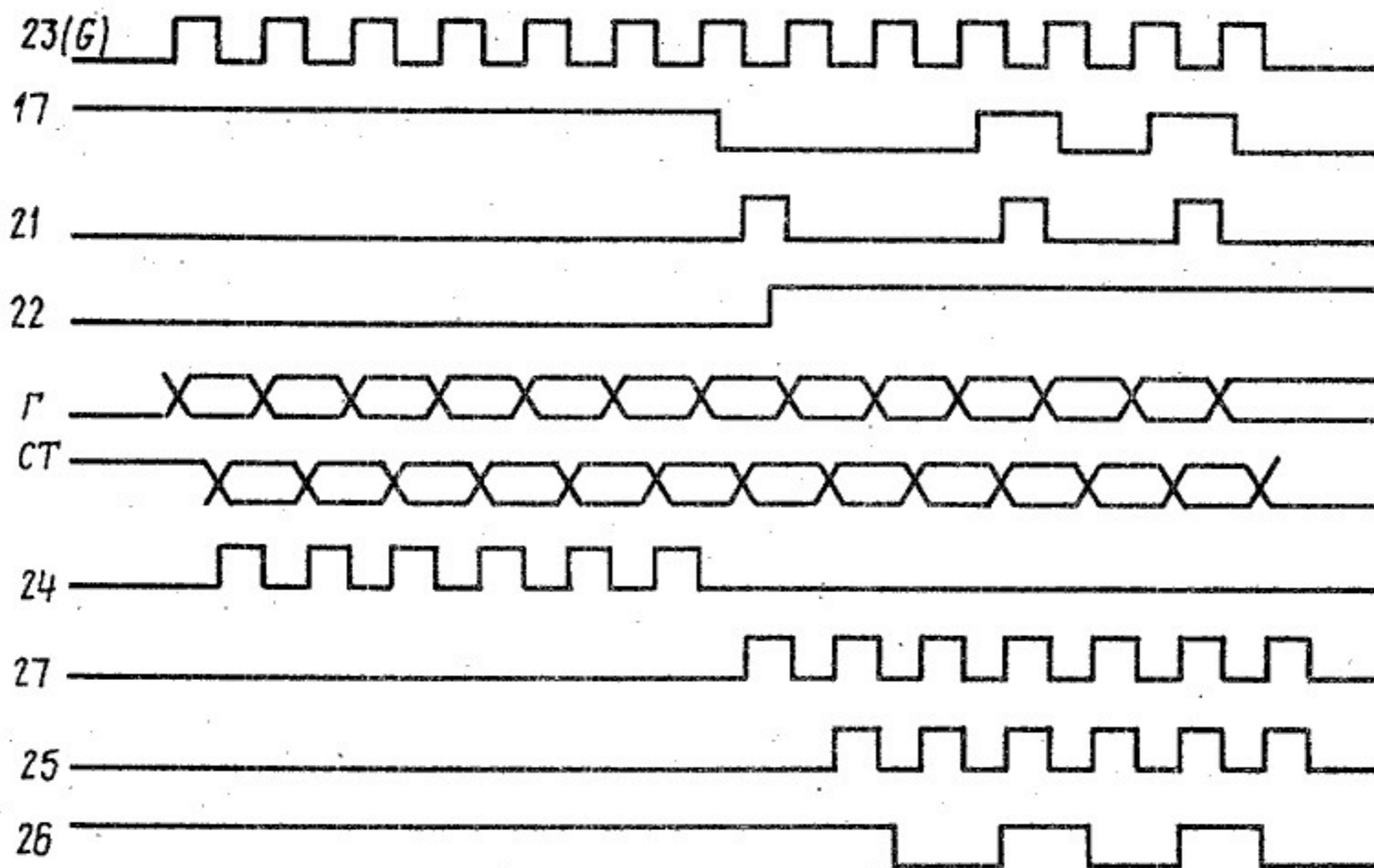
входом останова блока управления, седьмой выход которого соединен с входом сдвига регистра частного.

5

Разряд	Вес разряда	Последовательность чисел	Код частного
0	1	5 < 102	
1	2	10 < 102	
2	3	15 < 102	
3	5	25 < 102	
4	8	40 < 102	
5	13	65 < 102	
6	21	105 > 102	0
5	13	65 > 37	1
4	8	40 > 37	0
3	5	25 < 37	1
2	3	15 > 12	0
1	2	10 < 12	1
0	1	5 > 2	0



Фиг. 2



Фиг. 3

Редактор В.Петраш Составитель Е.Мурзина Корректор Э.Лончакова
 Техред Л.Олийнык

Заказ 330 Тираж 561 Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г.Ужгород, ул.Гагарина, 101