



СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК  
ГОСУДАРСТВЕННЫЙ КОМИТЕТ ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ  
ПРИ ГОСУДАРСТВЕННОМ КОМИТЕТЕ СССР ПО НАУКЕ И ТЕХНИКЕ  
(ГОСКОМИЗОБРЕТЕНИЙ)

## АВТОРСКОЕ СВИДЕТЕЛЬСТВО

№

1585901

На основании полномочий, предоставленных Правительством СССР, Госкомизобретений выдал настоящее авторское свидетельство на изобретение:  
"Устройство для свертки кода Фибоначчи"

Автор (авторы): Стахов Алексей Петрович, Лужецкий Владимир Андреевич, Ваховский Виктор Григорьевич, Коротин Владимир Васильевич и Попович Игорь Михайлович

Заявитель: СПЕЦИАЛЬНОЕ КОНСТРУКТОРСКО-ТЕХНОЛОГИЧЕСКОЕ БЮРО "МОДУЛЬ" ВИННИЦКОГО ПОЛИТЕХНИЧЕСКОГО ИНСТИТУТА

Заявка №

4600640

Приоритет изобретения

31 октября 1988г.

Зарегистрировано в Государственном реестре изобретений СССР

15 апреля 1990г.

Действие авторского свидетельства распространяется на всю территорию Союза ССР.

Председатель Комитета

Начальник отдела







ГОСУДАРСТВЕННЫЙ КОМИТЕТ  
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ  
ПРИ ГНТ СССР

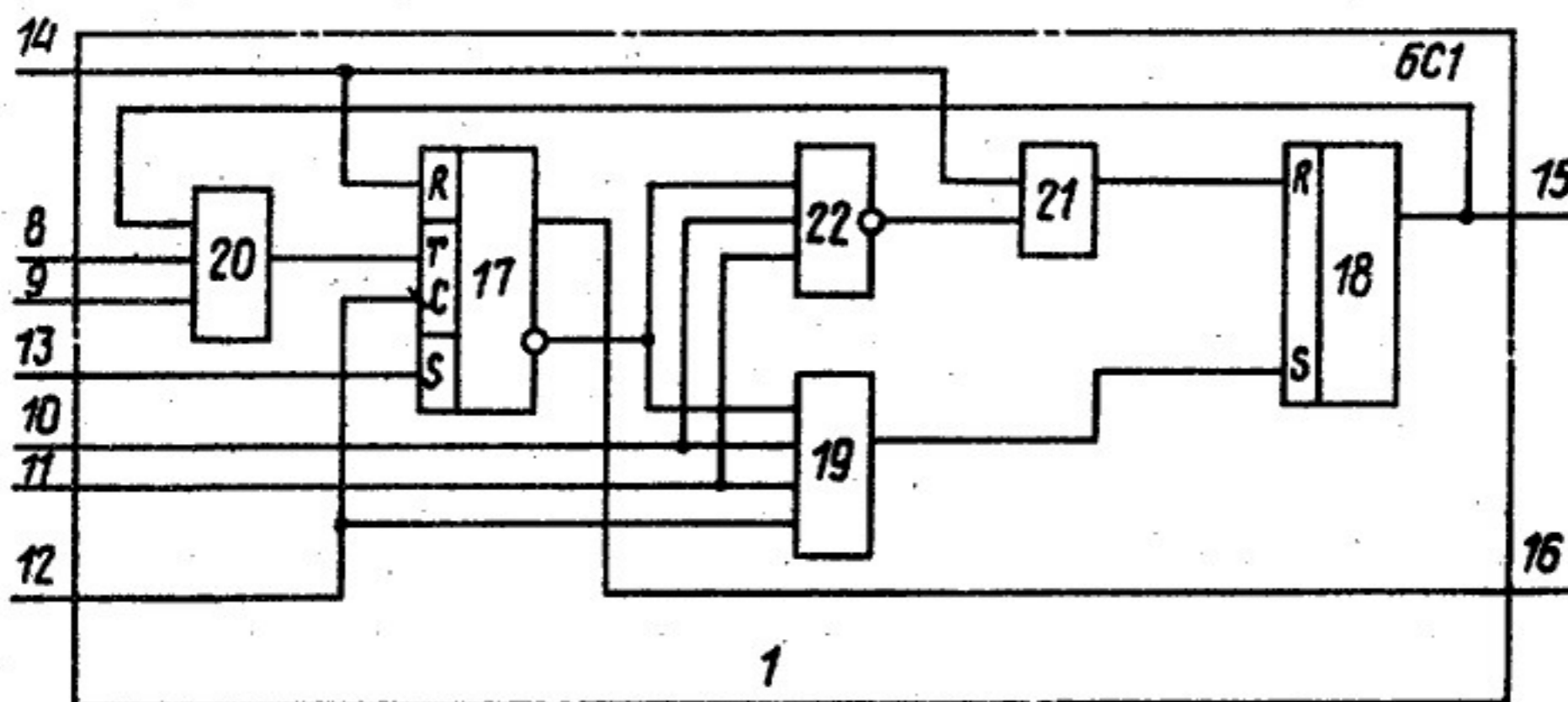
# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

1

(21) 4600640/24-24  
 (22) 31.10.88  
 (46) 15.08.90, Бюл. № 30  
 (71) Специальное конструкторско-технологическое бюро "Модуль" Винницкого политехнического института  
 (72) А. П. Стахов, В. А. Лужецкий, В. Г. Ваховский, В. В. Коротин и И. М. Попович  
 (53) 681.3(088.8)  
 (56) Авторское свидетельство СССР № 1392554, кл. Н 03 М 7/30, 1986.  
 Авторское свидетельство СССР № 842782, кл. Н 03 М 7/30, 1979.

2

(54) УСТРОЙСТВО ДЛЯ СВЕРТКИ КОДА ФИБОНАЧЧИ  
 (57) Изобретение относится к вычислительной технике и предназначено для свертки кода Фибоначчи с контролем. Цель изобретения - расширение функциональных возможностей за счет обнаружения ошибок, возникающих в результате сбоев и отказов элементов. Устройство содержит группу блоков 1 свертки, элемент ИЛИ 2, формирующий сигнал ошибки при неправильном выполнении операции свертки, а каждый блок 1 свертки - триггеры 17 и 18, элемент И 19, первый и второй элемент ИЛИ 20 и 21, элемент ИЛИ-НЕ 22. 1 з.п. ф-лы, 2 ил.



Фиг. 2

USSR **SU** (11) **1585901** **A1**

Изобретение относится к вычислительной технике и может быть использована для свертки кодов Фибоначчи.

Целью изобретения является расширение функциональных возможностей за счет обнаружения ошибок, возникающих в результате сбоев и отказов элементов.

На фиг. 1 изображена структурная схема устройства для свертки кода Фибоначчи (для  $p = 1$ ); на фиг. 2 - функциональная схема блока свертки.

Устройство (фиг. 1) содержит группу блоков свертки  $1.1-1.n$ , элемент ИЛИ 2, группу информационных выходов 3 устройства, тактовый вход 4 устройства, группу информационных входов 5 устройства, вход 6 начальной установки устройства, выход 7 ошибки устройства, первый и второй установочные входы 8 и 9 блока 1 свертки группы, первый и второй информационные входы 10 и 11 блока 1 свертки группы, тактовый вход 12 блока 1 свертки группы, третий информационный вход 13 блока 1 свертки группы, вход 14 сброса блока 1 свертки группы, первый и второй выходы 15 и 16 блока 1 свертки группы.

Блок 1 свертки (фиг. 2) содержит первый и второй триггеры 17 и 18, элемент И 19, первый и второй элементы ИЛИ 20 и 21 и элемент ИЛИ-НЕ 22.

Устройство (фиг. 1) работает следующим образом.

Перед началом работы подачей единичного сигнала на вход 6 устройства триггеры всех блоков 1 свертки устанавливаются в нулевое состояние. После записи в триггеры 17  $p$ -разрядного кода исходной информации, подаваемого на входы 13 блоков 1 свертки, устройство готово к работе.

В случае, если код, записанный в триггерах 17 блоков  $1.i$ ,  $1.(i-1)$  и  $1.(i-2)$  свертки удовлетворяет условию свертки, т.е. он равен "011", по приходу на вход 12 синхроимпульса на выходе элемента И 19 блока  $1.i$  свертки формируется единичный сигнал, который, поступая на вход установки в "1" триггера 18 этого блока свертки, переводит его в единичное состояние. Единичный сигнал с прямого выхода триггера 18 блока  $1.i$  свертки поступает на соответствующие входы элементов ИЛИ 20 блоков  $1.i$ ,  $1.(i-1)$  и  $1.(i-2)$  свертки,

а с выходов элементов ИЛИ 20 - на счетные входы триггеров 17 этих блоков свертки. Эти триггеры по заднему фронту того же синхроимпульса изменяют свое состояние на противоположное.

При правильном переключении триггеры 17 блоков  $1.i$ ,  $1.(i-1)$  и  $1.(i-2)$  свертки переходят в состояние "100". Это свидетельствует о правильном выполнении операции свертки исходного кода, записанного в этих триггерах. После этого на выходах элемента ИЛИ-НЕ 22 блока  $1.i$  свертки появляется единичный сигнал, который через элемент ИЛИ 21 поступает на вход установки в "0" триггера 18 блока этого блока свертки и сбрасывает его в исходное нулевое состояние.

В случае переключения триггеров 17 блоков  $1.i$ ,  $1.(i-1)$  и  $1.(i-2)$  свертки в состояние "000", "001", "010", "011", "101", "110" или "111" являющееся результатом неправильного выполнения операции свертки исходного кода, на выходе элемента ИЛИ-НЕ 22 блока  $1.i$  свертки присутствует нулевой сигнал, который поступает через элемент ИЛИ 21 на вход установки в "0" триггера 18 этого блока свертки. В результате триггер 18 блока  $1.i$  свертки остается в единичном состоянии и единичный сигнал с его прямого выхода через элемент ИЛИ 2 поступает на выход 7 устройства, с которого через фиксированное время с момента поступления импульса на вход 12, равное времени свертки, считывается единичный сигнал ошибки. В случае правильного выполнения операции свертки на всех входах элемента ИЛИ 2 и на выходе 7 устройства в указанное время присутствуют нулевые сигналы.

#### Ф о р м у л а и з о б р е т е н и я

1. Устройство для свертки кода Фибоначчи, содержащее группу блоков свертки, причем первый выход  $i$ -го блока свертки группы ( $i = 1-n$ ,  $n$  - количество разрядов кода) соединен с первым установочным входом  $(i-1)$ -го и вторым установочным входом  $(i-p-1)$ -го блоков свертки группы ( $p = 1, 2, \dots$ ) второй выход  $i$ -го блока свертки группы является  $i$ -м информационным выходом группы устройства и соединен с первым информационным входом  $(i+1)$ -го и вторым информационным входом  $(i +$



$p+1$ )-го блоков свертки группы, тактовый вход устройства соединен с тактовыми входами блоков свертки группы, третьи информационные входы которых являются соответствующими информационными входами группы устройства, вход начальной установки которого соединен с входами сброса блоков свертки группы, вход логического нуля устройства соединен с вторым информационным входом первого блока свертки группы, **о т л и ч а ю щ е с я** тем, что, с целью расширения функциональных возможностей за счет обнаружения ошибок, возникающих в результате сбоев и отказов элементов, оно содержит элемент ИЛИ, причем первые выходы блоков свертки, кроме первого, группы соединены соответственно с входами элемента ИЛИ, выход которого является выходом ошибки устройства, второй установочный вход  $(n-1)$ -го блока свертки группы соединен с первым выходом  $n$ -го блока свертки группы, второй информационный вход второго блока свертки группы соединен с вторым выходом первого блока свертки группы, первый и второй установочный входы  $n$ -го блока свертки группы и первый информационный вход первого блока свертки группы соединены с входом логического нуля устройства,

2. Устройство по п. 1, **о т л и ч а ю щ е с я** тем, что блок свертки

5  
10  
15  
20  
25  
30  
35

ки содержит первый и второй триггеры, элемент И, первый и второй элементы ИЛИ и элемент ИЛИ-НЕ, причем первый и второй установочные входы блока свертки соединены соответственно с первым и вторым входами первого элемента ИЛИ, выход и третий вход которого соединены соответственно со счетным входом первого триггера и выходом второго триггера, входы установки в "1" и "0" которого соединены соответственно с выходами элемента И и второго элемента ИЛИ, выход второго триггера и прямой выход первого триггера являются соответственно первым и вторым выходами блока свертки, вход адреса которого соединен с входом установки в "0" первого триггера и первым входом второго элемента ИЛИ, второй вход которого соединен с выходом элемента ИЛИ-НЕ, первый вход которого соединен с первым входом элемента И и инверсным выходом первого триггера, вход установки в "1" которого соединен с третьим информационным входом блока свертки, тактовый вход которого соединен с входом разрешения записи первого триггера и вторым входом элемента И, третий вход которого соединен с вторым входом элемента ИЛИ-НЕ и первым информационным входом блока свертки, второй информационный вход которого соединен с четвертым входом элемента И и третьим входом элемента ИЛИ-НЕ.

