



СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК  
ГОСУДАРСТВЕННЫЙ КОМИТЕТ ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ  
ПРИ ГОСУДАРСТВЕННОМ КОМИТЕТЕ СССР ПО НАУКЕ И ТЕХНИКЕ  
(ГОСКОМИЗОБРЕТЕНИЙ)

## АВТОРСКОЕ СВИДЕТЕЛЬСТВО

№

1587496

На основании полномочий, предоставленных Правительством СССР, Госкомизобретений выдал настоящее авторское свидетельство на изобретение:  
"Параллельный накапливающий сумматор"

Автор (авторы): Стахов Алексей Петрович, Квитка Николай Андреевич, Лужецкий Владимир Андреевич, Лебедева Виктория Анатольевна и Короновский Алим Иванович

Заявитель: СПЕЦИАЛЬНОЕ КОНСТРУКТОРСКО-ТЕХНОЛОГИЧЕСКОЕ БЮРО "МОДУЛЬ" ВИННИЦКОГО ПОЛИТЕХНИЧЕСКОГО ИНСТИТУТА И ВИННИЦКИЙ ПОЛИТЕХНИЧЕСКИЙ ИНСТИТУТ

Заявка № 4352409 Приоритет изобретения 29 декабря 1987г.

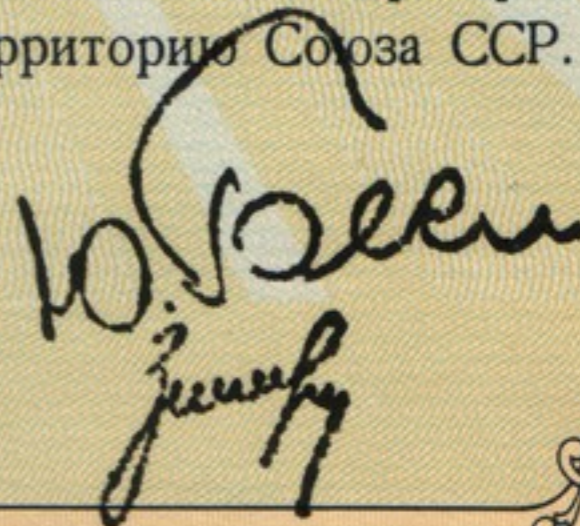

Зарегистрировано в Государственном реестре изобретений СССР

22 апреля 1990г.

Действие авторского свидетельства распространяется на всю территорию Союза ССР.

Председатель Комитета

Начальник отдела





ГОСУДАРСТВЕННЫЙ КОМИТЕТ  
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ  
ПРИ ГНТ СССР

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4352409/24-24

(22) 29.12.87

(46) 23.08.90. Бюл. № 31

(71) Специальное конструкторско-технологическое бюро "Модуль"

Винницкого политехнического института и Винницкий политехнический институт

(72) А.П. Стахов, Н.А. Квитка, В.А. Лужецкий, В.А. Лебедева и А.И. Короновский

(53) 681.325.5 (088.8)

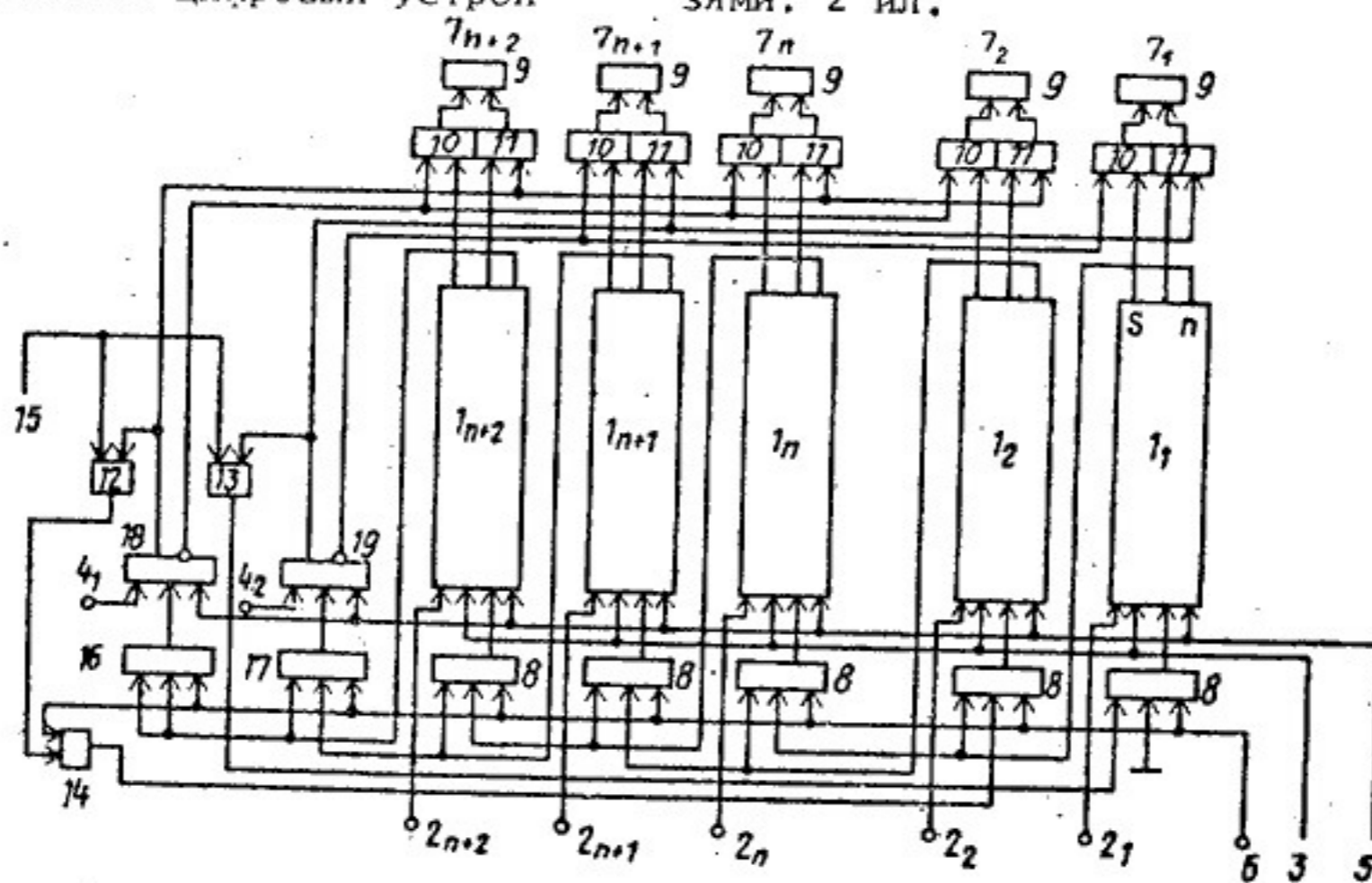
(56) Авторское свидетельство СССР № 1013947, кл. G 06 F 7/50, 1981.

Авторское свидетельство СССР № 1495782, кл. G 06 F 7/38, 17.12.87

(54) ПАРАЛЛЕЛЬНЫЙ НАКАПЛИВАЮЩИЙ СУММАТОР

(57) Изобретение относится к вычислительной технике и может быть использовано в специализированных вычислительных машинах и цифровых устрой-

ствах роботизированных систем управления для сложения и вычитания чисел как в двоичной системе счисления, так и в системе счисления с иррациональным основанием  $\sqrt{2}$ , представленных в прямых, обратных и дополнительных кодах, а также для обработки векторной информации. Цель изобретения - расширение функциональных возможностей, заключающееся в выполнении операций сложения и вычитания чисел в прямых, обратных и дополнительных кодах. Поставленная цель достигается тем, что параллельный накапливающий сумматор, содержащий одноразрядные сумматоры  $1_1 - 1_{n+2}$  и группу мультиплекторов 8, содержит группу элементов ИЛИ 9, группы элементов И 10, 11, элементы И 12-14, мультиплекторы 16, 17 и триггеры 18, 19 знака с соответствующими связями. 2 ил.



Фиг.1

Изобретение относится к вычислительной технике и может быть использовано в специализированных вычислительных машинах и цифровых устройствах роботизированных систем управления для сложения и вычитания чисел как в двоичной системе счисления, так и в системе счисления с иррациональным основанием  $\sqrt{2}$ , представленных в прямых, обратных и дополнительных кодах, а также для обработки векторной информации.

Цель изобретения - расширение функциональных возможностей за счет выполнения операций сложения и вычитания чисел в прямых, обратных и дополнительных кодах.

На фиг.1 представлена схема параллельного накапливающего сумматора; на фиг.2 - схема одноразрядного сумматора.

Сумматор (фиг.1) содержит одноразрядные сумматоры  $1, \dots, 1_{n+2}$  входы  $2, \dots, 2_{n+2}$  разрядов числа сумматора, вход 3 разрешения считывания сумматора, входы  $4_1$  и  $4_2$  разрядов установки знака сумматора, вход 5 задания вида операции сумматора, вход 6 задания вида основания сумматора, выходы  $7, \dots, 7_{n+2}$  разрядов сумматора, группу мультиплексоров 8, группу элементов ИЛИ 9, первую и вторую группы элементов И 10 и 11, первый, второй и третий элементы И 12-14 соответственно, вход 15 задания режима сумматора, первый и второй мультиплексоры 16 и 17, первый и второй триггеры 18 и 19.

Одноразрядный сумматор 1 (фиг.2) содержит вход 20 переноса одноразрядного сумматора, выход 21 переноса одноразрядного сумматора, триггер 22, первый и второй элементы И 23 и 24, первый и второй сумматоры 25 и 26 по модулю два, элемент ИЛИ 27, прямой и инверсный выходы 28 и 29 суммы одноразрядных сумматоров соответственно.

Параллельный накапливающий сумматор предназначен для суммирования как двоичных, так и для суммирования векторов, представленных в двоично-кодированной позиционной системе счисления с основанием  $\sqrt{2}$ . В этой системе счисления любой вектор  $X$  представляется в виде

$$X = x_{n-1}(\sqrt{2})^{n-1} + \dots + x_1\sqrt{2} + x_0(\sqrt{2})^0. \quad (1)$$

Учитывая, что веса разрядов данного кода являются последовательностью степеней основания  $\sqrt{2}$

$$\dots 16\sqrt{2}, 16 \dots \dots 2, \sqrt{2}, 1,$$

четные степени которой представляют собой веса разрядов двоичного кода, а нечетные - веса разрядов двоичного кода, умноженные на  $\sqrt{2}$ , то выражение (1) можно записать как

$$X = \sqrt{2} \sum_{j=1}^{n-1} x_j 2^{\frac{j-1}{2}} + \sum_{i=0}^{n-2} x_i 2^{\frac{i}{2}}, \quad (2)$$

где величины принимают значения:

$$x_j, x_i \in \{0, 1\}; \\ j \in \{1, 3, 5, \dots, n-1\}; \\ i \in \{2, 4, 6, \dots, n-2\}$$

Первый член формулы (2) составляет сумму нечетных разрядов кода, а второй член - сумму четных разрядов кода с основанием  $\sqrt{2}$ .

Особенностью является то, что код с основанием  $\sqrt{2}$ , используемый для записи вектора, единый и в то же время члены выражения (2) независимы друг от друга. Это позволяет при сложении двух векторов осуществлять параллельное и независимое сложение составных частей векторов.

Если в  $i$ -х разрядах (четных или нечетных) слагаемых имеются единицы, то единица переноса поступает в  $(i+2)$ -й разряд кода, в отличие от традиционной двоичной системы счисления, где единица поступает в  $(i+1)$ -й разряд.

Сумматор (фиг.1) может работать в двух режимах. Первый режим сложения и вычитания операндов, представленных в коде с основанием  $\sqrt{2}$  и второй режим сложения и вычитания при двоичном представлении операндов.

Первый режим обеспечивается наличием на входе 6 сумматора сигнала "Лог.1", а второй режим - сигнала "Лог.0".

Предлагаемый сумматор способен в указанных режимах дополнительно выполнять сложение операндов в обратных и дополнительных кодах, а также

производить преобразование отрицательных чисел в обратные и дополнительные коды.

Параллельный накапливающий сумматор при сложении операндов с иррациональным основанием  $\sqrt{2}$  в прямом коде работает следующим образом. Суммированию чисел предшествует установка сумматора в исходное (нулевое) состояние (цепи установки в нуль не показаны). После этого подаются единичный сигнал на входы 5 и 6 сумматора. На входе 15 сумматора устанавливается нулевое состояние. Присутствие на входе 6 единичного сигнала обеспечивает коммутацию в  $i$ -м разряде сигнала переноса, поступившего с одноразрядного сумматора  $(i-2)$ -го разряда, а на входе 5 - операцию сложения. Сумматор готов к сложению операндов в кодах с иррациональным основанием. Первое слагаемое, например 1111101, присутствующее на входах 2 сумматора, при появлении сигнала считывания на входе 3 записывается в триггеры 22 одноразрядных сумматоров 1, поскольку единицы слагаемого будут присутствовать на выходах первого сумматора 25 по модулю два, а следовательно, и на управляющих входах счетных триггеров 22. Затем на входы 2 сумматора поступает код второго слагаемого, например 01110011, и с этого момента начинается процесс суммирования четных ( $x_1 = 1111$  и  $x_2 = 1101$ ) и нечетных ( $y_1 = 1110$  и  $y_2 = 0101$ ) разрядов параллельно (одновременно) и независимо друг от друга. При этом на первом этапе (до поступления импульса считывания) формируются в каждом одноразрядном сумматоре 1 переносы с учетом состояния триггера 22 информации на входе 2 соответствующего разряда и переноса с  $(i-2)$ -го разряда.

На втором этапе окончательно в счетных триггерах 22 всех разрядов формируется сумма. Работа  $i$ -го разряда сумматора в режиме сложения, при котором на входе 5 присутствует потенциал "Лог.1", поступающий на первый вход второго сумматора 26 по модулю два, протекает следующим образом. Если на входе 2  $i$ -го разряда  $y_i = 1$ , а на вход переноса  $i$ -го одноразрядного сумматора 1 через мультиплексор 8 и поступает единица переноса  $\Pi_{i-2} = 1$  из  $(i-2)$ -го разряда, то при совпадении двух сигналов на входе первого

сумматора 25 по модулю два на его выходе формируется потенциал "Лог.0", который поступает на управляющий вход триггера 22. Одновременно на выходе первого элемента И 23 формируется потенциал "Лог.1", который через элемент ИЛИ 27, как единица переноса, распространяется в сторону старшего  $(i+2)$ -го разряда. Импульс считывания, появившийся на входе 3, не изменяет состояние триггера 22, так как на его управляющем входе присутствует "Лог.0". Если на вход  $i$ -го одноразрядного сумматора 25 поступают сигналы  $\Pi_{i-2} = 0$  и  $y_i = 1$  или  $\Pi_{i-2} = 1$  и  $y_i = 0$ , то на выходе первого сумматора 25 по модулю два формируется потенциал "Лог.1", который поступает на управляющий вход триггера 22 и на первый вход второго элемента И 24. При этом если триггер 22 находится в единичном (нулевом) состоянии, то с его инверсного выхода на второй вход второго сумматора 26 по модулю два поступает потенциал "Лог.1" ("Лог.0") и на его выходе формируется потенциал "Лог.1" ("Лог.0"), который поступает на второй вход второго элемента И 24. При совпадении (не совпадении) двух "Лог.1" на входе второго элемента И 24 и на его выходе формируется потенциал "Лог.1" ("Лог.0") и на выходе элемента ИЛИ 27  $i$ -го разряда формируется сигнал переноса  $\Pi_i = 1$  ( $\Pi_i = 0$ ) и  $(i-2)$ -й разряд сумматора. При поступлении по входу 3 счетного импульса триггер 22  $i$ -го разряда переключается в противоположное состояние. Если на вход  $i$ -го разряда поступают сигналы  $\Pi_{i-2} = 0$  и  $y_i = 0$ , то на выходе первого сумматора 25 по модулю два формируется потенциал "Лог.0". При этом на выходе элемента ИЛИ 27 формируется сигнал переноса  $\Pi_i = 0$  в  $(i-2)$ -й разряд, а триггер 22  $i$ -го разряда не реагирует на поступление счетного импульса и сохраняет свое состояние. Рассмотренная работа  $i$ -го разряда сумматора в режиме сложения  $n$ -разрядных чисел с иррациональным основанием  $\sqrt{2}$  одинакова как для четных, так и нечетных разрядов.

При сложении максимальных положительных чисел единицы переноса  $(n-1)$ -го и  $n$ -го разрядов поступают соответственно в  $(n+1)$ -й и  $(n+2)$ -й разряды,

в которых, как и в триггерах 18 и 19 знака, до суммирования записана нулевая информация. Результат суммы с прямых выходов триггеров 22 через элементы И 10, к вторым входам которых подсоединены инверсные выходы триггеров 18 и 19, и через элементы ИЛИ 9 поступает на выходы 7 сумматора.

При сложении двоичных операндов (второй режим работы) в отличие от рассмотренного режима единицы переноса  $i$ -х одноразрядных сумматоров поступают на вторые информационные входы  $(i+1)$ -х мультиплексоров 8 (а не на первые информационные входы  $(i+2)$ -х мультиплексоров 8). Кроме того, во втором режиме работы к входу 6 прилагается потенциал "Лог.0". Разрядность двоичных операндов равна  $n+1$  разрядам. В остальном процедура операции сложения на всех этапах аналогична описанной.

Рассмотрим работу параллельного накапливающего сумматора в режиме вычитания в кодах с иррациональным основанием  $\sqrt{2}$ . В этом режиме сумматор перед операцией также устанавливается в исходное состояние (нулевое состояние), после чего на вход 5 подается нулевой потенциал, а на вход 6 - единичный потенциал и на входе 15 устанавливается единичное состояние. Затем в триггеры 22 сумматора записывается  $n+2$  разрядное уменьшаемое путем подачи на его входы 2 с последующим приложением импульса считывания на вход 3. Процесс вычитания, как и сложения, происходит одновременно, независимо и одинаково среди четных и нечетных разрядов и начинается в момент приложения к входам 2 сумматора  $n+2$ -разрядного вычитаемого. Уменьшаемое и вычитаемое представлены в прямых кодах. По аналогии со сложением вычитание удобно рассматривать на основе работы  $i$ -го разряда сумматора.

Если при подаче на вход 2  $i$ -го разряда  $y_i = 1$  по входу переноса поступает сигнал заема  $z_{i-2} = 1$  из  $(i-2)$ -го разряда, то при совпадении двух сигналов на входе первого сумматора 25; по модулю два на его выходе формируется потенциал "Лог.0", который поступает на управляющий вход триггера 22;. Одновременно на выходе первого элемента И 23; форми-

руется потенциал "Лог.1", который через элемент ИЛИ 27 по выходу переноса как единица заема  $z_i = 1$  распространяется в сторону  $(i+2)$ -го разряда. Триггер 22; сохраняет свое состояние. Если на вход  $i$ -го разряда поступают сигналы  $z_{i-2} = 0$  и  $y_i = 1$  или  $z_{i-2} = 1$  и  $y_i = 0$ , то на выходе первого сумматора 25; по модулю два формируется потенциал "Лог.1", который поступает на управляющий вход триггера 22; и первый вход второго элемента И 24;. Если триггер находится в единичном (нулевом) состоянии, то с его инверсного выхода на второй вход второго сумматора 26; по модулю два поступает потенциал "Лог.0" ("Лог.1") и на его выходе формируется потенциал "Лог.0" ("Лог.1"), который поступает на второй вход второго элемента И 24;. При несовпадении (совпадении) двух "Лог.1" на входе второго элемента И 24; на его выходе формируется потенциал "Лог.0" ("Лог.1") и на шине переноса формируется сигнал заема  $z_i = 0$  ( $z_i = 1$ ). В момент поступления по входу 3 счетного импульса триггер 22; переключается в противоположное состояние.

При вычитании в прямом коде, в случае, когда уменьшаемое меньше вычитаемого, возникают заемы в триггеры 18 и 19 знака, предварительно установленные в нулевое состояние, которые в виде единиц заема распространяются в мультиплексоры 16 и 17. С их помощью триггеры 18 и 19 устанавливаются в единичное состояние, которое означает, что соответствующие разряды отрицательные. Возможны случаи, когда единица заема в знаковые триггеры возникает только в нечетных или только в четных разрядах, тогда соответственно только триггер 19 знака или только триггер 18 знака устанавливаются в единичное состояние. Для получения результата вычитания на выходах 7 в прямом коде, поскольку в триггерах 22 фиксируется в данном случае разность чисел  $x$  и  $y$  в дополнительном коде, необходимо вычесть единицу из самого младшего нечетного (первого) разряда сумматора при отрицательных четных разрядах, или из самого младшего четного (второго) разряда при отрицательных четных разрядах и вмес-

те из нечетного и четного (первого и второго) разрядов при отрицательном результате. Ввиду того, что вход 15 в режиме вычитания находится в единичном состоянии, то единичные сигналы триггеров 18 и 19 знака поступают соответственно на первый и второй информационные мультиплексоры 8 второго и первого разрядов, в первом случае через последовательно соединенные элементы И 12 и 14, а во втором случае - через элементы И 13. А затем происходит вычитание из записанного в триггерах 22 дополнительного кода результата единицы заема четных и нечетных разрядов или двух единиц заема для обеих групп разрядов после подачи на вход 3 импульса считывания.

Результат вычитания снимают с инверсных входов триггеров 22, если все разряды отрицательные, или с прямых выходов - если все разряды положительные. В том случае, когда одна группа разрядов отрицательная, а другая - положительная, отрицательные разряды снимаются с инверсных выходов, а положительные - с прямых выходов триггеров 22. При вычитании двоичных  $n+2$  разрядных операндов заем единицы  $i$ -го разряда сумматора делается в  $(i+1)$ -м разряде, т.е. слева стоящем. Для обеспечения этого мультиплексоры 8 подключают к входу переноса  $i$ -го одноразрядного сумматора выход переноса из  $(i-1)$ -го разряда.

Отличие операции вычитания двоичных операндов состоит в том, что всегда оба триггера 18 и 19 знака устанавливаются в единичное состояние (когда уменьшаемое меньше вычитаемого) и в том, что на входе 6 присутствует сигнал "Лог.0". Для получения результата вычитания в прямом коде необходимо вычесть единицу заема из самого младшего разряда. Так как на первом входе элемента И 14 присутствует потенциал "Лог.0", то единица заема с выхода триггера 19 знака через элемент И 13 распространится только в первый разряд сумматора. В остальном процесс вычитания ничем не отличается от ранее рассмотренного. При этом если результат вычитания отрицательный, то его прямой код снимается с инверсных выходов

триггеров 22 сумматора, в противном случае - с прямых выходов тех же триггеров.

Параллельный сумматор можно использовать для преобразования прямых кодов отрицательных чисел в обратные и дополнительные коды. Для получения обратного кода отрицательного числа в счислении с иррациональным основанием  $\sqrt{2}$  необходимо триггеры 18 и 19 знака установить в единичное состояние, а на входы 2 ( $n+2$ )-х разрядов подать прямой код числа, на входы 5 и 6 сигнал "Лог.1" и через время срабатывания сумматора 25 по модулю два подать на вход 3 импульс считывания. При этом на выходах 7 сумматора будет присутствовать обратный код исходного операнда. Преобразование отрицательного числа в дополнительный код состоит в том, что после записи числа в сумматор необходимо на вход 5 подать нулевой сигнал, а к входам 2 первого и второго разрядов (к младшему нечетному и четному разрядам) сумматора приложить две единицы заема. После чего через промежуток времени, равный или больше времени задержки информации на первом сумматоре 25 по модулю два, на вход 3 подать импульс считывания.

По истечении времени заема на входах 7 параллельного накапливающего сумматора будет присутствовать дополнительный код отрицательного числа. В том случае, когда нечетные разряды отрицательные, а четные - положительные и наоборот, то в единичное состояние устанавливается триггер 19 знака, а триггер 18 знака - в нулевое и наоборот: триггер 19 знака устанавливается в нулевое состояние, а триггер 18 знака - в единичное. В данном случае процесс получения обратного кода числа аналогичен ранее рассмотренному. Отличие состоит в том, что обратный код положительных разрядов снимается с прямых выходов триггеров 22, а отрицательных - с инверсных выходов тех же триггеров.

Для образования дополнительного кода в этом случае необходимо приложить единицу заема ко входу 2 первого или второго разрядов сумматора в зависимости от состояния триггеров 18 и 19 знака и при нулевом сигнале

на вход 5 подать импульс считывания на вход 3. Следует отметить, что дополнительный код отрицательного числа можно получить путем установки входа 15 в единичное состояние, тогда при нулевом сигнале на входе 5 в качестве единиц заема будут выступать выходные сигналы прямых выходов триггеров 18 и 19 знака, которые через элементы И 12-14 поступают соответственно на входы заема второго и первого одноразрядных сумматоров.

Преобразование отрицательных двоичных чисел в обратный и дополнительный коды аналогично рассмотренному преобразованию. Отличие состоит в том, что для получения дополнительного кода двоичного числа на вход 6 подается нулевой потенциал.

Предлагаемый сумматор может выполнять операцию сложения с числами, представленными в прямых, обратных и дополнительных кодах, как при двоичном представлении операндов, так и в счислении с иррациональным основанием  $\sqrt{2}$ . При этом возможны следующие варианты представления операндов  $x$  и  $y$ , когда первое слагаемое представлено в прямом коде, а второе в дополнительном и обратном коде, когда оба слагаемых положительные (обратный и дополнительный коды совпадают с прямым), то этот вариант рассмотрен ранее. Если второй операнд - отрицательный, то после записи в триггеры 22 первого операнда на входы 2 разрядов сумматора поступает обратный или дополнительный код второго слагаемого. При этом для обратного кода вход 15 устанавливается в нулевое состояние, для дополнительного - в единичное состояние. Если отрицательный операнд поступает в двоичном коде, то оба триггера 18 и 19 знака устанавливаются в единичное состояние.

В том случае, когда второй операнд - число с иррациональным основанием  $\sqrt{2}$ , то в зависимости от знака соответствующей группы разрядов (четных и нечетных) триггеры 18 и 19 знака устанавливаются в соответствующее состояние. На входе 5 при этом должен присутствовать сигнал "Лог.1", так как выполняется операция сложения. Далее по входу 3 поступает импульс считывания и триггеры 22 устанавли-

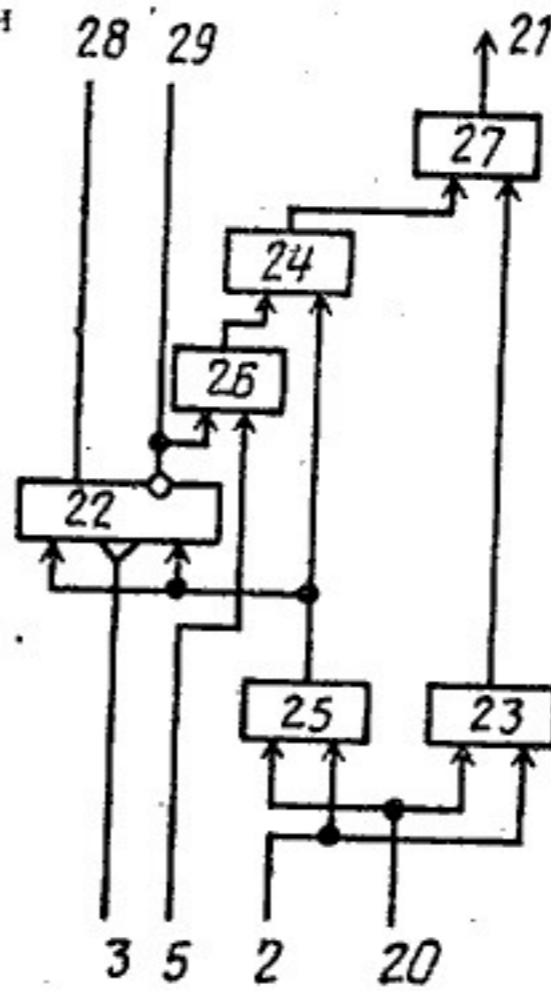
ваются в состояние, соответствующее числам  $x$  и  $y$ . Если второй операнд был задан в обратном коде, то результат суммирования в прямом коде снимают для двоичных кодов аналогично выдаче результата при вычитании в прямых двоичных кодах, а для чисел с иррациональным основанием  $\sqrt{2}$  - аналогично вычитанию в прямых кодах с иррациональным основанием  $\sqrt{2}$ . Когда второе слагаемое задано дополнительным кодом, то после установки триггеров 22 в положение, соответствующее сумме чисел  $x$  и  $y$ , необходимо подать на вход 5 потенциал "Лог.0" (операция вычитания). При сложении двоичных операндов единица переноса поступает через элемент И 13 на мультиплексор 8 первого разряда, на входах 2 - "Лог.0". В режиме вычитания происходит вычитание единицы переноса из самого младшего разряда. С поступлением нового импульса считывания на выходах 7 получается результат суммирования в прямом коде. Для кодов с иррациональными основаниями в зависимости от знака соответствующей группы разрядов единица переноса поступает в соответствующий младший разряд, а при обоих отрицательных группах разрядов поступают две единицы переноса во второй и первый разряды. Это происходит аналогично переводу отрицательных чисел с иррациональным основанием  $\sqrt{2}$  в дополнительные коды.

#### Ф о р м у л а и з о б р е т е н и я

Параллельный накапливающий сумматор, содержащий  $n+2$  одноразрядных сумматоров ( $n$  - разрядность числа) и группу мультиплексоров, причем входы разрядов числа сумматора соединены с входами слагаемого соответствующих одноразрядных сумматоров, входы переносов которых соединены с выходами соответствующих мультиплексоров группы, управляющие входы которых объединены и соединены с входом задания вида основания сумматора, вход разрешения считывания которого соединен с соответствующими входами одноразрядных сумматоров с первого по  $(n+2)$ -й, выход переноса  $k$ -го одноразрядного сумматора ( $k = 1, \dots, n$ ) соединен с первым информационным входом  $(k+2)$ -го мультиплексора группы и с вторым информационным входом  $(k+1)$ -

го мультиплексора группы, выход переноса  $(n+1)$ -го одноразрядного сумматора соединен с вторым информационным входом  $(n+2)$ -го мультиплексора группы, первый информационный вход первого мультиплексора группы соединен с входом нулевого потенциала сумматора, вход задания вида операции которого соединен с соответствующими входами одноразрядных сумматоров с первого по  $(n+2)$ -й, отличающийся тем, что, с целью расширения функциональных возможностей за счет выполнения операций сложения и вычитания чисел в прямых, обратных и дополнительных кодах, он содержит группу элементов ИЛИ, первую и вторую группу элементов И, с первого по третий элементы И, первый и второй мультиплексоры, первый и второй триггеры знака, причем прямой и инверсный выходы первого триггера знака соединены соответственно с первыми входами четных элементов И второй и первой групп, прямой и инверсный выходы второго триггера знака соединены соответственно с первыми входами нечетных элементов И второй и первой групп, прямые и инверсные выходы сумм одноразрядных сумматоров с первого по  $(n+2)$ -й соединены с вторыми входами соответствующих элементов И соответственно первой и второй групп, выходы которых соединены с первыми и вторыми входами соответствующих элементов ИЛИ группы, выходы которых являются выходами

разрядов сумматора, прямые выходы первого и второго триггеров знака соединены соответственно с первыми входами первого и второго элементов И, вторые входы которых объединены и соединены с входом задания режима сумматора, вход задания вида основания которого соединен с управляющими входами первого и второго мультиплексоров и с первым входом третьего элемента И, второй вход и выход которого соединены соответственно с выходом первого элемента И и с первым информационным входом второго мультиплексора группы, выход второго элемента И соединен с вторым информационным входом первого мультиплексора группы, выход переноса  $(n+1)$ -го одноразрядного сумматора соединен с первым информационным входом второго мультиплексора, выход которого соединен с информационным входом второго триггера знака, выход переноса  $(n+2)$ -го одноразрядного сумматора соединен с вторым информационным входом второго мультиплексора и с первым и вторым информационными входами первого мультиплексора, выход которого соединен с информационным входом первого триггера знака, входы разрешения первого и второго триггеров знака соединены с входом разрешения считывания сумматора, входы разрядов установки знака которого соединены с входами установки в "1" соответствующих триггеров знака.



Фиг. 2