

RADIO ENGINEERING AND COMMUNICATION

THE PRINCIPLES OF CONTROL SYSTEM PARAMETERS BIT ERROR

*V. Kychak*¹

*V. Tromsyuk*²

The proposed and analyzed a block diagram of the control system bit error performance analyzer based on errors to control fallout and inserts bits of information and timing sequences. It was found that the bit error can be localized only defined error, which is defined as the birthplace of synchronization failure in the test sequence and parameters of the bit error. The presence of such errors must be taken into account in circuit implementation device.

Keywords: Bit error, analyzer errors, sequence information, FEC.

Введение

Высокую надежность передачи данных по дискретным каналам, которые имеют относительно высокий уровень ошибок, можно обеспечить, используя технологию FEC (Forward Error Correction), которая предусматривает исправление ошибок с помощью помехоустойчивых кодов [1-2]. Распространены помехоустойчивые коды и построенные на их основе системы FEC не дают нужного эффекта в каналах с битовыми ошибками без применения специальных средств их восстановления [2]. Для разработки систем FEC, которые ориентированы на каналы с битовыми ошибками, необходимо знать характеристики этих ошибок.

Рассмотрены методы выявления битовых ошибок могут быть использованы для определения некоторых параметров этих ошибок, например количества и длины вставок или выпадений бит. Однако в

¹Vasyl Kychak, Professor, director of the Faculty for Radio Engineering, Telecommunication and Electronic Instrument Engineering, Vinnitsa, Ukraine.

²Vladimir Tromsyuk, Post-Graduate Student the Chair of Telecommunication Systems and Television, Vinnitsa.

рассмотренных методах низкая точность локализации битовых ошибок при наличии фоно-вых битовых ошибок, поскольку они не ориентированы на анализ размещения вставок и выпадений в потоке данных и не могут быть использованы для определения характеристик группировки вставок и выпадений бит.

Таким образом, известные методы и устройства, которые позволяют выявлять битовые ошибки, не подходят для оперативной и достоверной обработки вставок и выпадений и не могут быть положены в основу устройств, которые смогут качественно вычислять характеристики битовых ошибок. Для решения подобных задач нужно сформировать базовую схему системы контроля характеристик битовых ошибок.

Проблемы выявления битовых ошибок

Основная проблема, которая возникает при обнаружении битовых ошибок и вызывает принципиальные трудности, заключается в том, что вставки и выпадения бит непосредственно наблюдать невозможно. Ситуация еще больше усложняется при наличии в рассматриваемом потоке данных фоновых аддитивных ошибок в пределах битовых ошибок.

Для подтверждения приведенных выше утверждений приведем следующий пример. Для этого рассмотрим Q дискретный канал при $Q=6$. Пусть в следующей двоичной последовательности произошло выпадение двух бит (1, 0) 1, 1, 1, 1, 0, 0, 1, 0, 1, 1, 1, 0, 0, 1... Как видно, в таком случае по виду принятой с канала последовательности невозможно сказать, где именно произошло выпадение двух битов, то есть определить точное размещение такой битовой ошибки в потоке: 1, 1, 1, 1, 0, 0,?, 0, 1,?, 1, 0, 0, 1...

Таким образом, ни о каком гарантированном определении всех битовых ошибок невозможно говорить. Битовую ошибку можно локализовать только с определенной погрешностью, которая определяется, как место возникновения сбоя синхронизации тестовой последовательности, так и параметрами самой битовой ошибки. Общая погрешность и максимальные размеры выявленных битовых ошибок зависят от типа применяемой тестовой последовательности, а также от уровня битовых ошибок в канале.

Наиболее подходящими последовательностями для использования их в качестве тестовых для выявления битовых ошибок являются псевдослучайные последовательности (ПВП), в связи с тем, что их автокорреляционная функция близка к дельта-функции [2]. Именно

последнее свойство делает возможным выявление проскальзываний последовательности на фоне наложенных аддитивных ошибок.

Структурная схема организации контроля параметров битовых ошибок

Вычислительная система контроля битовых ошибок может быть построена на основе структурной схемы, приведённой на рисунке 1.



Рис. 1. Структурная схема системы контроля битовых ошибок

Устройство вычисления параметров битовых ошибок построенное на основе такой структурной схемы (рис. 1): обрабатывает исходную последовательность, которая принята с дискретного канала, в реальном времени; вычисляет параметры ошибок (размещение ошибки в потоке, ее тип и длину); передает рассчитанные параметры в устройство обработки и регистрации параметров ошибок.

Устройство обработки и регистрации параметров ошибок: осуществляет предварительную обработку потока данных; проверяет наличие ошибок в обработанном потоке данных; осуществляет запись результатов в долговременную память (флеш-память); рассчитывает простые статистические характеристики ошибок (например, BER).

Анализатор ошибок предназначен для вычисления сложных статистических характеристик ошибок и построения гистограмм.

Устройство обработки и регистрации параметров ошибок и анализатор ошибок могут быть реализованы программно на специализированных ЭВМ.

Самым важным является первое устройство определения параметров битовых ошибок, поскольку от его алгоритмов определения параметров ошибок зависит погрешность расчета характеристик ошибок.

Выводы

Предложена и проанализирована структурная схема системы контроля характеристик битовых ошибок на базе анализатора ошибок для контроля выпадений и вставок бит в информационных и

синхронизирующих последовательностях. Выяснено, что битовую ошибку можно локализовать только с определенной погрешностью, определяется, как место возникновения сбоя синхронизации тестовой последовательности, так и параметрами самой битовой ошибки. При этом наличие такой погрешности должно быть учтено в схемной реализации устройства.

References

1. Бакланов И.Г. Методы измерений в системах связи / И.Г. Бакланов – М.: ЭКО-ТРЕНДЗ, 1999. 196 с.

2. A. Sudhir Babu and K.V. Sambasiva Rao "Evaluation of BER for AWGN, Rayleigh and Rician Fading Channels under Various Modulation Schemes" International Journal of Computer Applications (0975 – 8887) Volume 26 – No. 9 July 2011.