

ОСОБЛИВОСТІ ФОРМУВАННЯ ВХІДНОГО БІТОВОГО ПОТОКУ ДЛЯ ОЦІНКИ БІТОВИХ ПОМИЛОК В ДИСКРЕТНИХ КАНАЛАХ ЗВ'ЯЗКУ

*Кичак В. М., д.т. н, професор; Тромсюк В. Д., аспірант
Вінницький національний технічний університет, м. Вінниця, Україна*

Вступ

Якість дискретного каналу визначається швидкістю передачі даних і характеристиками помилок в каналі. Основною характеристикою помилок в дискретних каналах є коефіцієнт бітових помилок (Bit Error Ratio або BER), який виражає відносну частоту появи помилково прийнятих біт дискретного повідомлення [1, 2].

Оскільки поява помилок має випадковий характер, їх статистичні характеристики можуть бути знайдені з достатнім рівнем вірогідності тільки по результатам тривалих вимірювань. На практиці часто необхідно щоб визначення характеристики помилок при введенні в експлуатацію і при технічному обслуговуванні обладнання зв'язку здійснювалося на достатніх інтервалах часу вимірювання. Виходячи із цього, в рекомендаціях ITU G.821 [3] і G.826 [4] була запропонована однозначна обробка демодульованої бітової послідовності. Для забезпечення нормальної роботи пристрою контролю параметрів бітових помилок (ПКПБП) необхідно узгодити його із виходом демодулятора дискретних сигналів.

Формування вхідного бітового потоку

Довгі пакети бітових помилок на виходах демодуляторів дискретних сигналів мають складну структуру, яка залежить від використаного типу каналного коду [1]. Вставки/випадання бітів в загальному випадку призводить не тільки до появи зсувів демодульованої послідовності, але й до утворення довгого пакету адитивних помилок, які додатково спотворюють вихідний бітовий потік каналу. Зважаючи на це, при підключенні ПКПБП до дискретного каналу для оцінки параметрів його бітових помилок необхідно розмістити на вході пристрою додатковий блок для формування бітового потоку (ФБП). Входи цього блоку будуть з'єднані з виходами формувача (Ф) і блоком фазового автопідстроювання частоти (ФАПЧ) демодулятора (рис. 1).

Формувач бітового потоку призначений для усунення додаткових адитивних помилок, які спотворюють бітовий потік в складі демодульованої бітової послідовності. Ці спотворення обумовлені (d,k) -обмеженнями сучасних каналних кодів (КК) і зазвичай утворюються декодером каналного коду (ДКК). В більшості випадків вони мають детермінований характер і утворюються у відповідності із алгоритмом декодування каналного коду. При цьому вони можуть бути усунені тільки спеціальними алгоритма-

ми ФБП, який є узгоджуючим блоком для ПКПБП.

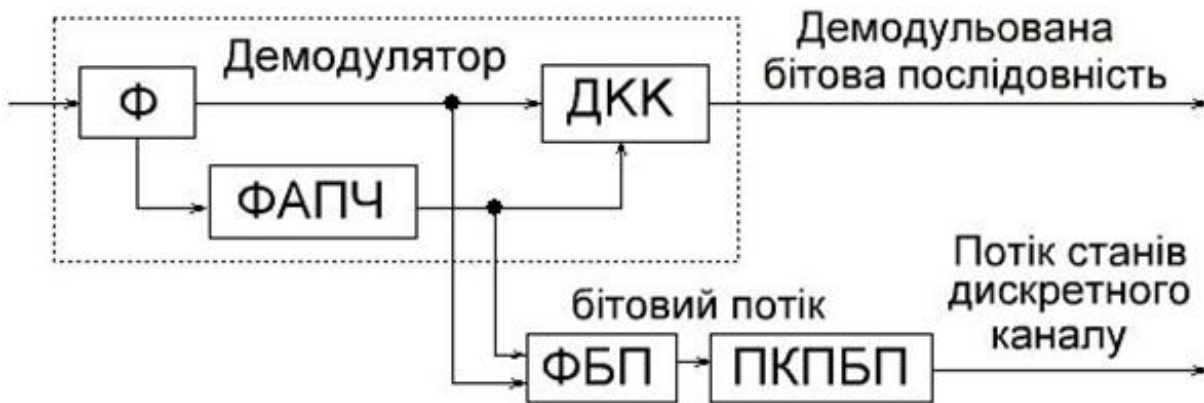


Рисунок 1. Схема підключення ПКПБП

Якщо такий спеціалізований блок, як ФБП буде відсутнім, то враховуючи те, що моделювання каналу буде здійснюватися спрощеною еталонною тестовою М-послідовністю, то виникає можливість обмежитися її передачею на найпростішому фазоманіпульованому каналному коді (двійковому коді), але із збереженням тактової частоти досліджуваного каналу. Декодер такого коду не буде викликати приведених вище додаткових детермінованих спотворень, які будуть викликатися через вставки і випадання біт в демодульованій послідовності. В такому випадку додатковий блок ФБП не потрібен. При цьому в якості досліджуваного бітового потоку може бути використана демодульована послідовність. Така заміна довільного каналного коду на найпростіший приведе до зменшення пропускної здатності каналу, але на практиці не буде впливати на значення обрахованих в ПКПБП.

ПКПБП може бути реалізований на сучасних ПЛІС (програмованих логічних інтегральних схемах). Найбільш підходящими для таких цілей є: Atmel, Altera, Xilinx Virtex, Xilinx Virtex-II – Xilinx Virtex-VII, PAIS, Statix та багато інших. Характеристики FPGA (Field Programmable Gate Array) є у вільному доступі. Базова комірка FPGA ПЛІС Xilinx Virtex-II представляється, як конфігурований логічний блок LCB (Configurable Logic Block), який складається із 4 логічних слайсів (slice). Кожний слайс містить в своєму складі 2 тригера і 2 логічних блоки табличного типу (LTU, Look-Up Table) на 4 виводи. Табличний блок являє собою блок перепрограмованої пам'яті, в якій можуть зберігатися логічні функції від 4-х аргументів.

Пристрої синтезовані на основі приведеної вище схеми (рис. 1) на типових функціональних вузлах можуть бути реалізовані на серійних мікросхемах, що дозволяє контролювати параметри бітових помилок в реальному масштабі часу, при тактовій частоті даного варіанта пристрою, який всього в два рази перевищує тактову частоту передачі вихідної бітової послідовності досліджуваного дискретного каналу. При реалізації таких пристроїв бажано використовувати ПЛІС або спеціалізованих ВІС, виконаних на замовлення. В пристроях відсутнє жорстке обмеження на максимальні

розміри виявлених бітових помилок.

Висновки

Запропонована схема під'єднання пристрою контролю параметрів бітових помилок, що дозволяє запобігти утворенню довгого пакету адитивних помилок, які додатково спотворюють вихідний бітовий потік дискретного каналу.

Запропоновані умови використання блока формування бітового потоку, який використовується для узгодження виходу демодулятора і входу пристрою контролю параметрів бітових помилок.

Запропоновані можливі варіанти реалізації пристрою контролю параметрів бітових помилок для побудови запропонованої схеми.

Перелік посилань

1. Бакланов И. Г. Методы измерений в системах связи / И.Г. Бакланов. — М.: ЭКО-ТРЕНДЗ, 1999. — 196 с.

2. Кичак В. М. Оцінювання бітових помилок при різних видах демодуляції дискретних сигналів / В. М. Кичак, В. Д. Тромсюк // Вісник Національного технічного університету України “КПІ”. — 2015. — № 63. — С. 55 – 63.

3. ITU Recommendation G.821 // Error performance of an international digital connection operating at a bit rate below the primary rate and forming part of an integrated services digital network ITU-T.

4 ITU Recommendation G.826 // Error performance parameters and objectives for international, constant bit rate digital paths at or above the primary rate. ITU-T. (www.itu.org).

Анотація

Представлена схема підключення ПКПБП до демодулятора, яка дозволяє запобігти утворенню довгого пакету адитивних помилок, які додатково спотворюють вихідний бітовий потік дискретного каналу.

Ключові слова: ПКПБП, ФБП, ПЛІС, бітова помилка, бітовий потік.

Аннотация

Представлена схема подключения УКПБО (устройства контроля параметров битовых ошибок) к демодулятору, которая позволяет предотвратить образованию длинного пакета аддитивных ошибок, которые дополнительно искажают исходный битовый поток дискретного канала.

Ключевые слова: УКПБО, ФБП, ПЛИС, битовая ошибка, битовый поток.

Abstract

The scheme DCPBE (device control parameters of bit errors) connection to the demodulator which prevents the formation of long additive package mistakes that further distort the output bit stream discrete channel.

Keywords: DCPBE, FBT, FPGA, bit errors, bit stream.