



ДЕРЖАВНА СЛУЖБА  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІ  
УКРАЇНИ

УКРАЇНА

(19) **UA** (11) **81610** (13) **U**  
(51) МПК  
**G06F 7/501** (2006.01)

## (12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

<p>(21) Номер заявки: <b>u 2012 14102</b></p> <p>(22) Дата подання заявки: <b>11.12.2012</b></p> <p>(24) Дата, з якої є чинними права на корисну модель: <b>10.07.2013</b></p> <p>(46) Публікація відомостей про видачу патенту: <b>10.07.2013, Бюл.№ 13</b></p>	<p>(72) Винахідник(и): <b>Ліщинська Людмила Броніславівна (UA), Філінюк Микола Антонович (UA), Лазарєв Олександр Олександрович (UA), Фурса Світлана Євгенівна (UA), Покотиліюк Леся Ігорівна (UA)</b></p> <p>(73) Власник(и): <b>ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)</b></p>
--	--

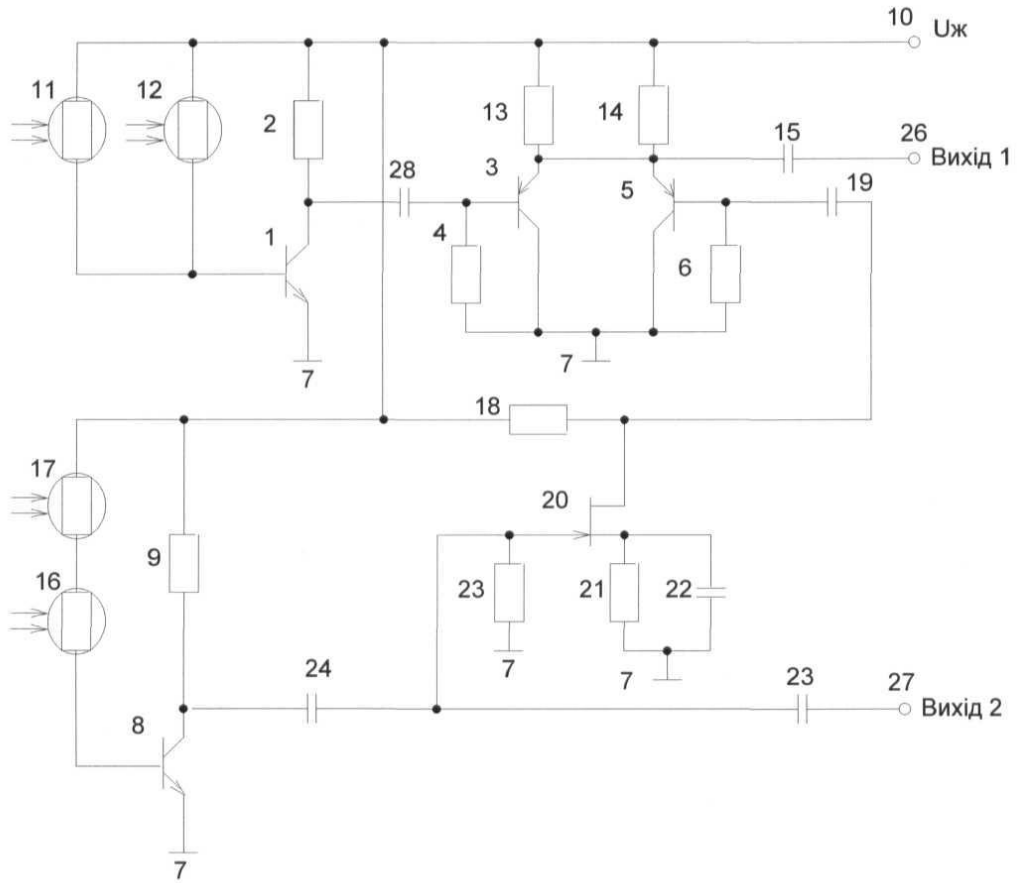
## (54) ОПТОІМІТАНСНИЙ ПІВСУМАТОР

### (57) Реферат:

Оптоімітансний півсуматор містить шину живлення, два виходи, біполярні транзистори, резистори, колектори, фоторезистори, емітери, розділові ємності, стік польового транзистора, витік польового транзистора та затвор польового транзистора.

UA 81610 U

UA 81610 U



Корисна модель належить до обчислювальної техніки.

Відомий півсуматор, який містить першу вхідну клему, яка з'єднана з першим входом логічного елемента "І" і першим входом логічного елемента "АБО", другу вхідну клему, яка з'єднана з другим входом логічного елемента "І" і другим входом логічного елемента "АБО", першу вихідну клему, яка з'єднана з виходом логічного елемента "І", другу вихідну клему, яка з'єднана з виходом логічного елемента "АБО" [Цифрова схемотехніка: у 3 книгах. / В.І. Бойко, А.М. Гуржій, В.Я. Жуйков та ін.-2-ге вид., допов. і переробл. - К.: Вища школа, 2004. - Книга 2.-423 с.].

Недоліком даного пристрою є неспроможність працювати з імітансними логічними рівнями, що обмежує його функціональні можливості.

Найбільш близьким до запропонованого пристрою є півсуматор, який містить перший біполярний транзистор, база якого з'єднана з першим виводом першого резистора, першим входом, емітером другого біполярного транзистора і базою третього біполярного транзистора, емітер першого біполярного транзистора з'єднаний з першим виводом другого резистора, другим входом і базою четвертого біполярного транзистора, колектори першого і другого біполярного транзисторів з'єднані з загальною шиною і першим виводом третього резистора, другий вивід другого резистора з'єднаний з першим виходом, другими выводами другого і третього резисторів та першими выводами четвертого і п'ятого резисторів, колектори третього і четвертого біполярних транзисторів з'єднані з другим виводом четвертого резистора і базою п'ятого біполярного транзистора, емітери третього, четвертого і п'ятого біполярних транзисторів з'єднані з шиною живлення, колектор п'ятого біполярного транзистора з'єднаний з другим виводом п'ятого резистора і другим виходом. [Ринский В. Элементы цифровой техники / В. Ринский // В помощь радиолюбителю.-1982. - № 76.-14 с.].

Недоліком даного пристрою є неспроможність працювати з імітансними логічними рівнями, що обмежує його функціональні можливості.

В основу корисної моделі поставлена задача створення такого оптоімітансного півсуматора, в якому за рахунок введення нових елементів і зв'язків між ними забезпечується робота з імітансними логічними рівнями, що дозволяє підвищити швидкість і завадозахищеність.

Поставлена задача вирішується тим, що в оптоімітансному півсуматорі, який містить шину живлення, два виходи, п'ять резисторів, перший біполярний транзистор, до колектора якого під'єднаний перший вивід першого резистора, другий біполярний транзистор, до бази якого під'єднаний перший вивід другого резистора, третій біполярний транзистор, до бази якого під'єднаний перший вивід третього резистора, колектори другого і третього біполярного транзистора з'єднані з загальною шиною, четвертий біполярний транзистор, до колектора якого під'єднаний перший вивід четвертого резистора, причому шина живлення з'єднана з першим виводом першого і другого фоторезисторів та першим виводом п'ятого і шостого резисторів, другі виводи першого і другого фоторезисторів з'єднані з базою першого біполярного транзистора, другі виводи п'ятого і шостого резисторів та емітери другого і третього біполярних транзисторів з'єднані з першим виводом першої розділової ємності, база четвертого біполярного транзистора з'єднана з першим виводом третього фоторезистора, другий вивід третього фоторезистора з'єднаний з першим виводом четвертого фоторезистора, другий вивід четвертого фоторезистора з'єднаний з другим виводом четвертого резистора, шиною живлення і першим виводом сьомого резистора, другий вивід сьомого резистора з'єднаний з першим виводом другої розділової ємності і стоком польового транзистора, витік польового транзистора з'єднаний з першим виводом восьмого резистора і першим виводом першої ємності, затвор польового транзистора з'єднаний з першим виводом дев'ятого резистора, першими выводами третьої і четвертої розділових ємностей, другий вивід першої розділової ємності з'єднаний з першим виходом, другий вивід третьої розділової ємності з'єднаний з колектором третього біполярного транзистора і першим виводом четвертого резистора, другий вивід четвертої розділової ємності з'єднаний з другим виходом, перший вивід п'ятої розділової ємності з'єднаний з колектором першого біполярного транзистора і першим виводом першого резистора, другий вивід п'ятої розділової ємності з'єднаний з базою другого біполярного транзистора і першим виводом другого резистора, емітери першого і четвертого біполярних транзисторів, другі виводи другого, третього, восьмого і дев'ятого резисторів, другий вивід першої ємності з'єднані з загальною шиною.

На кресленні наведено схему електричну принципову оптоімітансного півсуматора.

Пристрій містить перший біполярний транзистор 1, до колектора якого під'єднаний перший вивід першого резистора 2, другий біполярний транзистор 3, до бази якого під'єднаний перший вивід другого резистора 4, третій біполярний транзистор 5, до бази якого під'єднаний перший вивід третього резистора 6, колектори другого 3 і третього 5 біполярного транзистора з'єднані з

загальною шиною 7, четвертий біполярний транзистор 8, до колектора якого під'єднаний перший вивід четвертого резистора 9 відрізняється тим, що шина живлення 10 з'єднана з першим виводом першого 11 і другого 12 фоторезисторів та першим виводом п'ятого 13 і шостого 14 резисторів, другі виводи першого 11 і другого 12 фоторезисторів з'єднані з базою першого біполярного транзистора 1, другі виводи п'ятого 13 і шостого 14 резисторів та емітери другого 3 і третього 5 біполярних транзисторів з'єднані з першим виводом першої розділової ємності 15, база четвертого біполярного транзистора 8 з'єднана з першим виводом третього фоторезистора 16, другий вивід третього фоторезистора 16 з'єднаний з першим виводом четвертого фоторезистора 17, другий вивід четвертого фоторезистора 17 з'єднаний з другим виводом четвертого резистора 9, шиною живлення 10 і першим виводом сьомого резистора 18, другий вивід сьомого резистора 18 з'єднаний з першим виводом другої розділової ємності 19 і стоком польового транзистора 20, витік польового транзистора 20 з'єднаний з першим виводом восьмого резистора 21 і першим виводом першої ємності 22, затвор польового транзистора 20 з'єднаний з першим виводом дев'ятого резистора 23, першими виводами третьої 24 і четвертої 25 розділових ємностей, другий вивід першої розділової ємності 15 з'єднаний з першим виходом 26, другий вивід третьої розділової ємності 24 з'єднаний з колектором третього біполярного транзистора 5 і першим виводом четвертого резистора 9, другий вивід четвертої розділової ємності 25 з'єднаний з другим виходом 27, перший вивід п'ятої розділової ємності 28 з'єднаний з колектором першого біполярного транзистора 1 і першим виводом першого резистора 2, другий вивід п'ятої розділової ємності 28 з'єднаний з базою другого біполярного транзистора 3 і першим виводом другого резистора 4, емітери першого 1 і четвертого 8 біполярних транзисторів, другі виводи другого 4, третього 6, восьмого 21 і дев'ятого 23 резисторів, другий вивід першої ємності 22 з'єднані з загальною шиною 7.

Пристрій працює наступним чином при відсутності оптичного потоку на першому 11 і другому 12 фоторезисторах на виході логічного елемента "АБО", реалізованого на першому біполярному транзисторі 1 є ємнісний імітанс, що відповідає логічному нулю. Перший резистор 2 забезпечує пряму навантаження першого біполярного транзистора 1. При відсутності оптичного потоку на третьому 16 і четвертому 17 фоторезисторах на виході логічного елемента "І" є ємнісний імітанс, який відповідає логічному нулю. Четвертий резистор 9 забезпечує пряму навантаження четвертого біполярного транзистора 8. Ємності 15, 19, 24, 25, 28 - розділові. Другий 4 і третій 6 резистори забезпечують робочу точку другого 3 і третього 5 біполярних транзисторів, що утворюють логічний елемент "І". П'ятий 13 і шостий 14 резистори забезпечують пряму навантаження другого 3 і третього 5 біполярних транзисторів. Ємнісний імітанс, що відповідає логічному нулю з колектора першого біполярного транзистора 1 через шосту розділову ємність 28 потрапляє на перший вхід логічного елемента "І" - базу другого біполярного транзистора 3. Ємнісний імітанс, що відповідає логічному нулю з колектора четвертого біполярного транзистора 8 через четверту розділову ємність 24 потрапляє на вхід інвертора, реалізованого на польовому транзисторі 20. Ємність 22, восьмий 21 і дев'ятий 23 резистори забезпечують робочу точку польового транзистора 20. Сьомий резистор 18 обмежує струм стоку. З витоку польового транзистора 20 індуктивний імітанс, що відповідає логічній одиниці через розділову ємність 19 потрапляє на другий вхід логічного елемента "І" - базу третього біполярного транзистора 5. В цьому випадку на другому виході 26 маємо ємнісний імітанс, що відповідає логічному нулю і на першому виході 27 також ємнісний імітанс, що відповідає логічному нулю. При наявності одного з оптичних потоків на першому 11 або другому 12 фоторезисторах, відповідно на третьому 16 або четвертому 17 фоторезисторах на колекторі першого біполярного транзистора 1 з'являється індуктивний імітанс, що відповідає логічній одиниці, а на колекторі четвертого біполярного транзистора 8 з'являється ємнісний імітанс, що відповідає логічному нулю. В цьому випадку на другому виході 27 маємо ємнісний імітанс, що відповідає логічному нулю, а на другому виході 26 маємо індуктивний імітанс, що відповідає логічній одиниці. При наявності двох оптичних потоків на першому 11, другому 12, третьому 16 і четвертому 17 фоторезисторах на першому виході 27 маємо індуктивний імітанс, на другому виході 26 маємо ємнісний імітанс. Таким чином робота даного півсуматора описується таблицею істинності.

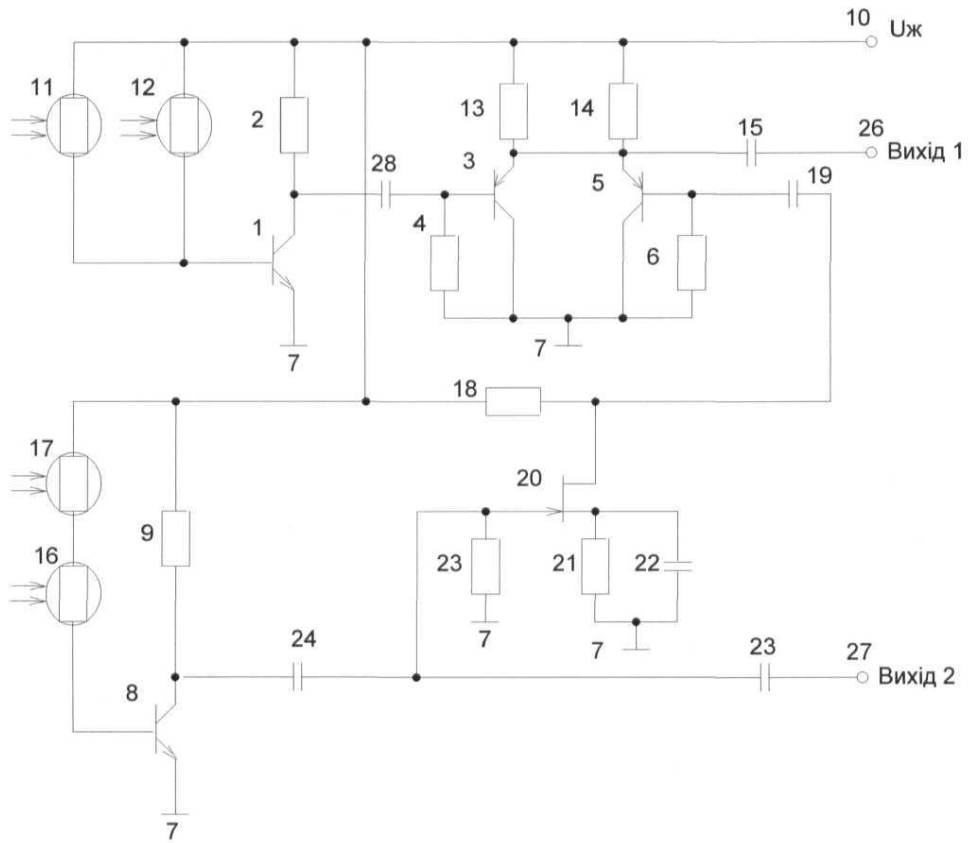
Таблиця

Вхід 1	Вхід 2	Вихід 1	Вихід 2
$\Phi=0/0$	$\Phi=0/0$	C/0	C/0
$\Phi\neq 0/1$	$\Phi=0/0$	C/0	L/1
$\Phi=0/0$	$\Phi\neq 0/1$	C/0	L/1
$\Phi\neq 0/1$	$\Phi\neq 0/1$	L/1	C/0

## ФОРМУЛА КОРИСНОЇ МОДЕЛІ

5

Оптоімітансний півсуматор, який містить шину живлення, два виходи, перший біполярний транзистор, п'ять резисторів, до колектора якого під'єднаний перший вивід першого резистора, другий біполярний транзистор, до бази якого під'єднаний перший вивід другого резистора, третій біполярний транзистор, до бази якого під'єднаний перший вивід третього резистора, колектори другого і третього біполярного транзистора з'єднані з загальною шиною, четвертий біполярний транзистор, до колектора якого під'єднаний перший вивід четвертого резистора, який **відрізняється** тим, що шина живлення з'єднана з першим виводом першого і другого фоторезисторів та першим виводом п'ятого і шостого резисторів, другі виводи першого і другого фоторезисторів з'єднані з базою першого біполярного транзистора, другі виводи п'ятого і шостого резисторів та емітери другого і третього біполярних транзисторів з'єднані з першим виводом першої розділової ємності, база четвертого біполярного транзистора з'єднана з першим виводом третього фоторезистора, другий вивід третього фоторезистора з'єднаний з першим виводом четвертого фоторезистора, другий вивід четвертого фоторезистора з'єднаний з другим виводом четвертого резистора, шиною живлення і першим виводом сьомого резистора, другий вивід сьомого резистора з'єднаний з першим виводом другої розділової ємності і стоком польового транзистора, витік польового транзистора з'єднаний з першим виводом восьмого резистора і першим виводом першої ємності, затвор польового транзистора з'єднаний з першим виводом дев'ятого резистора, першими виводами третьої і четвертої розділових ємностей, другий вивід першої розділової ємності з'єднаний з першим виходом, другий вивід третьої розділової ємності з'єднаний з колектором третього біполярного транзистора і першим виводом четвертого резистора, другий вивід четвертої розділової ємності з'єднаний з другим виходом, перший вивід п'ятої розділової ємності з'єднаний з колектором першого біполярного транзистора і першим виводом першого резистора, другий вивід п'ятої розділової ємності з'єднаний з базою другого біполярного транзистора і першим виводом другого резистора, емітери першого і четвертого біполярних транзисторів, другі виводи другого, третього, восьмого і дев'ятого резисторів, другий вивід першої ємності з'єднані з загальною шиною.




---

Комп'ютерна верстка С. Чулій

---

Державна служба інтелектуальної власності України, вул. Урицького, 45, м. Київ, МСП, 03680, Україна

---

ДП "Український інститут промислової власності", вул. Глазунова, 1, м. Київ – 42, 01601