



УКРАЇНА

(19) **UA** (11) **72248** (13) **U**
(51) МПК
Н03М 1/48 (2006.01)

ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

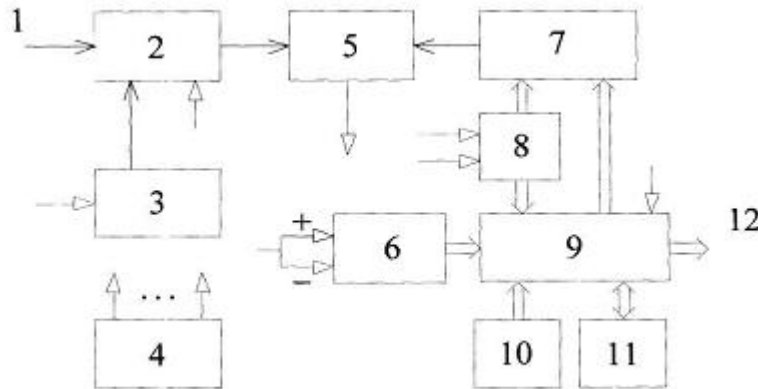
(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: u 2012 01482	(72) Винахідник(и): Азаров Олексій Дмитрович (UA), Дудник Олександр Вікторович (UA)
(22) Дата подання заявки: 13.02.2012	(73) Власник(и): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)
(24) Дата, з якої є чинними права на корисну модель: 10.08.2012	
(46) Публікація відомостей про видачу патенту: 10.08.2012, Бюл.№ 15	

(54) АНАЛОГОВО-ЦИФРОВИЙ ПЕРЕТВОРЮВАЧ

(57) Реферат:

Аналогово-цифровий перетворювач містить вхідну шину аналогово-цифрового, схему порівняння, блок керування, цифро-аналоговий перетворювач із ваговою надлишковістю, інформаційний вихід аналогово-цифрового перетворювача, вихід цифро-аналогового перетворювача із ваговою надлишковістю. Також містить генератор калібрувального сигналу, аналоговий комутатор, регістр послідовного наближення, лічильник у двійковій системі числення, цифровий обчислювальний пристрій, блок постійної пам'яті, блок оперативної пам'яті.



UA 72248 U

Корисна модель належить до імпульсної техніки і може бути використана для перетворення аналогових сигналів у цифрові.

Відомо аналогово-цифровий перетворювач (Гитис Э.И. Преобразователи информации для электронных цифровых вычислительных устройств. - М. "Энергия", 1975, с. 292, рис. 7-5), що містить блок керування, вихід якого є виходом аналогово-цифрового перетворювача та з'єднано з входом перетворювача код-аналог, вихід якого з'єднано з першим виходом компаратора, другий вхід якого є входом аналогово-цифрового перетворювача, вихід компаратора з'єднано з входом блока керування.

Недоліком пристрою є низька точність перетворення.

За найближчого аналога вибрано аналогово-цифровий перетворювач (А.с. СРСР № 911720, м. кл. Н03К13/02, бюл. № 9, 1982), який містить вхідну шину аналогово-цифрового перетворювача, схему порівняння, блок керування, блок контролю, блок згортки коду, блок аналізу коду, цифро-аналоговий перетворювач із ваговою надлишковістю, інформаційний вихід аналогово-цифрового перетворювача та контрольний вихід аналогово-цифрового перетворювача, причому перший вхід схеми порівняння з'єднано з вхідною шиною аналогово-цифрового перетворювача із ваговою надлишковістю, вихід схеми порівняння з'єднано з першим входом блока керування та першим входом блока контролю, вихід блока контролю являється контрольним виходом аналогово-цифрового перетворювача, перший, другий і третій виходи блока керування з'єднано з першим входом блока згортки коду, з другим входом блока аналізу коду та з другим входом блока контролю відповідно, вихід блока згортки коду являється інформаційним виходом аналогово-цифрового перетворювача, який з'єднаний з входом цифро-аналогового перетворювача із ваговою надлишковістю та з першим входом блока аналізу коду, вихід цифро-аналогового перетворювача із ваговою надлишковістю з'єднано з другим входом схеми порівняння.

Недоліком найближчого аналога є низька точність роботи.

В основу корисної моделі поставлено задачу створення аналогово-цифрового перетворювача, в якому за рахунок введення нових елементів та зв'язків між ними підвищуються точність роботи, що розширює галузь використання пристрою.

Поставлена задача досягається тим, що в аналогово-цифровий перетворювач, який містить вхідну шину аналогово-цифрового перетворювача, схему порівняння, блок керування, цифро-аналоговий перетворювач із ваговою надлишковістю, інформаційний вихід аналогово-цифрового перетворювача, вихід цифро-аналогового перетворювача із ваговою надлишковістю, який з'єднано з другим входом схеми порівняння, введено генератор калібрувального сигналу, аналоговий комутатор, регістр послідовного наближення, лічильник у двійковій системі числення, цифровий обчислювальний пристрій, блок постійної пам'яті, блок оперативної пам'яті, причому вхідну шину аналогово-цифрового перетворювача з'єднано з першим входом аналогового комутатора, другий вхід аналогового комутатора з'єднано з виходом генератора калібрувального сигналу, вихід аналогового комутатора з'єднано з першим входом схеми порівняння, вихід схеми порівняння з'єднано з входом регістра послідовного наближення, а також прямим та реверсивним входами лічильника в двійковій системі числення, перший вхід цифро-аналогового перетворювача із ваговою надлишковістю з'єднано з першим виходом регістра послідовного наближення, другий вхід цифро-аналогового перетворювача із ваговою надлишковістю з'єднано з першим виходом цифрового обчислювального пристрою, вихід лічильника в двійковій системі числення з'єднано з першим входом цифрового обчислювального пристрою, другий вихід регістра послідовного наближення з'єднано з другим входом цифрового обчислювального пристрою, третій вхід цифрового обчислювального пристрою з'єднано з виходом блока постійної пам'яті, четвертий вхід цифрового обчислювального пристрою з'єднано з блоком оперативної пам'яті, другий вихід цифрового обчислювального пристрою з'єднано з інформаційним виходом аналогово-цифрового перетворювача, третій вихід цифрового обчислювального пристрою з'єднано з входом блока оперативної пам'яті.

На кресленні представлено принципову схему аналогово-цифрового перетворювача.

Пристрій містить вхідну шину 1 аналогово-цифрового перетворювача, яку з'єднано з першим входом аналогового комутатора 2, вихід цифро-аналогового перетворювача із ваговою надлишковістю 7 з'єднано з другим входом схеми порівняння 5, другий вхід аналогового комутатора 2 з'єднано з виходом генератора калібрувального сигналу 3, третій вхід аналогового комутатора 2 з'єднано з виходом блока керування 4, вихід аналогового комутатора 2 з'єднано з першим входом схеми порівняння 5, вихід схеми порівняння 5 з'єднано з першим входом регістра послідовного наближення 8, а також прямим та реверсивним входами лічильника в двійковій системі числення 6, другий вхід регістра послідовного наближення 8 з'єднано з

виходом блоку керування 4, перший вхід цифро-аналогового перетворювача із ваговою надлишковістю 7 з'єднано з першим виходом регістра послідовного наближення 8, другий вхід цифро-аналогового перетворювача із ваговою надлишковістю 7 з'єднано з першим виходом цифрового обчислювального пристрою 9, вихід лічильника в двійковій системі числення 6 з'єднано з першим входом цифрового обчислювального пристрою 9, другий вихід регістра послідовного наближення 8 з'єднано з другим входом цифрового обчислювального пристрою 9, третій вхід цифрового обчислювального пристрою 9 з'єднано з виходом блоку постійної пам'яті 10, четвертий вхід цифрового обчислювального пристрою 9 з'єднано з блоком оперативної пам'яті 11, п'ятий вхід цифрового обчислювального пристрою 9 з'єднано з виходом блоку керування 4, другий вихід цифрового обчислювального пристрою 9 з'єднано з інформаційним виходом аналогово-цифрового перетворювача 12, третій вихід цифрового обчислювального пристрою 9 з'єднано з входом блоку оперативної пам'яті 11.

Пристрій працює таким чином.

Пристрій працює у режимі основного перетворення і самокалібрування. Перед початком самокалібрування по команді блоку керування 4 комутатор 2 підключає вихід генератора калібрувальних сигналів 3 до першого входу схеми порівняння 5, а регістр послідовного наближення 8 встановлюється у нульовий стан сигналом блоку керування 4. Процес самокалібрування здійснюється послідовно від молодших розрядів до старших. Блок постійної пам'яті 10 використовується для зберігання номінальних значень ваг розрядів. На наступному етапі за допомогою генератора калібрувальних сигналів 3, схеми порівняння 5, цифро-аналогового перетворювача із ваговою надлишковістю 7 та регістра послідовного наближення 8 формується таблиця перетворення $K_{ВХ} \rightarrow N_P$, що зберігається в блоку оперативної пам'яті 11. Вказана таблиця являє собою сукупність усіх можливих пар кодових слів у двійковій системі числення $(K_{ВХ})$ та відповідних їм кодових комбінацій у системі числення із ваговою надлишковістю (N_P) .

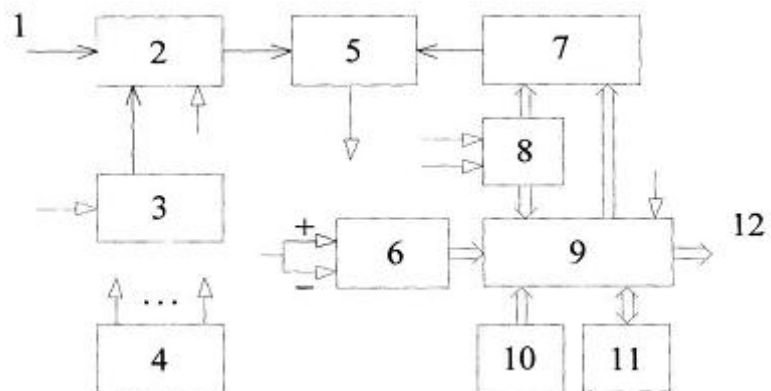
На етапі основного перетворення по команді блоку керування 4 комутатор 2 підключає вхідну шину 1 аналогово-цифрового перетворювача до першого входу схеми порівняння 5. На другий вхід схеми порівняння подається сигнал з виходу цифро-аналогового перетворювача із ваговою надлишковістю 7.

На кожному кроці перетворення значення лічильника в двійковій системі числення 6 подається на вхід цифрового обчислювального пристрою 9. Дані з виходу цифрового обчислювального пристрою 9 подаються на вхід цифро-аналогового перетворювача із ваговою надлишковістю 7. Вихідний код роботи перетворювача формується у цифровому обчислювальному пристрою 9 та потрапляє на інформаційний вихід аналогово-цифрового перетворювача 12.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Аналогово-цифровий перетворювач, що містить вхідну шину аналогово-цифрового перетворювача, схему порівняння, блок керування, цифро-аналоговий перетворювач із ваговою надлишковістю, інформаційний вихід аналогово-цифрового перетворювача, вихід цифро-аналогового перетворювача із ваговою надлишковістю, що з'єднано з другим входом схеми порівняння, який **відрізняється** тим, що в нього введено генератор калібрувального сигналу, аналоговий комутатор, регістр послідовного наближення, лічильник у двійковій системі числення, цифровий обчислювальний пристрій, блок постійної пам'яті, блок оперативної пам'яті, причому вхідну шину аналогово-цифрового перетворювача з'єднано з першим входом аналогового комутатора, другий вхід аналогового комутатора з'єднано з виходом генератора калібрувального сигналу, вихід аналогового комутатора з'єднано з першим входом схеми порівняння, вихід схеми порівняння з'єднано з входом регістра послідовного наближення, а також прямим та реверсивним входами лічильника в двійковій системі числення, перший вхід цифро-аналогового перетворювача із ваговою надлишковістю з'єднано з першим виходом регістра послідовного наближення, другий вхід цифро-аналогового перетворювача із ваговою надлишковістю з'єднано з першим виходом цифрового обчислювального пристрою, вихід лічильника в двійковій системі числення з'єднано з першим входом цифрового обчислювального пристрою, другий вихід регістра послідовного наближення з'єднано з другим входом цифрового обчислювального пристрою, третій вхід цифрового обчислювального пристрою з'єднано з виходом блоку постійної пам'яті, четвертий вхід цифрового обчислювального пристрою з'єднано з блоком оперативної пам'яті, другий вихід цифрового обчислювального пристрою з'єднано з інформаційним виходом аналогово-цифрового

перетворювача, третій вихід цифрового обчислювального пристрою з'єднано з входом блока оперативної пам'яті.



Комп'ютерна верстка В. Мацело

Державна служба інтелектуальної власності України, вул. Урицького, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут промислової власності", вул. Глазунова, 1, м. Київ – 42, 01601