

Організація та структура матриць пам'яті на базі ХСН

Вінницький національний технічний університет

Анотація

Розглянуто проблеми створення енергонезалежних цифрових пристроїв зберігання інформації на базі халькогенідного склоподібного напівпровідника. Запропоновано структурні схеми двовимірної та тривимірної матриці пам'яті. Вказані недоліки та переваги кожного виду матриці. Описано режим роботи тривимірної матриці, яку рекомендовано до застосування у реальних пристроях.

Ключові слова: цифрова пам'ять, халькогенідний склоподібний напівпровідник, матриці пам'яті.

Abstract

In this paper the problems of creating nonvolatile digital storage devices based on chalcogenide vitreous semiconductor are discussed. A structural scheme of two-dimensional and three-dimensional matrix of memory are offered. Advantages and disadvantages of each type of matrix are considered also. We describe three-dimensional matrix mode, which is recommended for use in real devices.

Keywords: digital memory, chalcogenide glassy semiconductor, memory matrix.

Вступ

Запам'ятовуючий матеріал комірки пам'яті (КП), що є монолітною, однорідною структурою, сформованою з халькогенідних матеріалів, що містять хімічні елементи: телур (Te), селен (Se), сурма (Sb), нікель (Ni), і германій (Ge). Використання таких хімічних елементів зводить до мінімуму радіаційну та електромагнітну залежність КП на базі халькогенідного склоподібного напівпровідника (ХСН). Такий пристрій може перемикатися між двома різними фазовими станами провідності за наносекунди у відповідь на прикладення невеликої кількості електричної енергії вимірюваної пікоджоулями. Досліди показують, що вплив жорсткого електромагнітного випромінювання наближеного до космічного практично не вносять змін до фазового стану КП. Також даний тип пам'яті дійсно енергонезалежний і може зберігати інформацію без необхідності періодичного її оновлення, як, наприклад, у flash-технології. Більш того, записана інформація зберігається навіть при відключенні живлення безпосередньо від КП на базі ХСН [1].

Метою даної праці є створення матриць доступу до цифрової енергонезалежної пам'яті на базі халькогенідного склоподібного напівпровідника.

Матриці пам'яті на базі ХСН

Як відомо [2], щоб окремі КП можна було об'єднувати у запам'ятовуючі матриці необхідно мати розв'язуючі елементи, якими найчастіше служать діодні структури чи транзистори. Найпростіший варіант виконання матричного пристрою постійної пам'яті із можливістю перезапису (РПЗП) використовуючи КП на базі ХСН має двовимірну структуру 2D [3], де у якості розв'язки використовують діоди. Принцип побудови такої матриці показаний на рисунку 1.

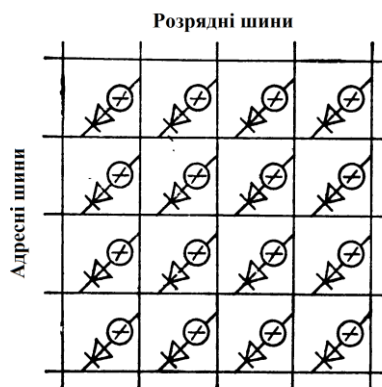


Рисунок 1 – Двовірна матриця РПЗП 2D

Адресні шини з'єднують катоди чи аноди діодів, а розрядні шини – контакти КП. Інформаційна ємність такої матричної РПЗП розраховується за формулою 1.

$$V = N \cdot n, \quad (1)$$

де, N – число адрес, n – число розрядів.

Кількість виводів матриці відповідає кількості контактів: $l = N + n$. Очевидно, що мінімальне число l при наперед заданому числу V буде мати матриця у якій рівні сторони, тобто $N = n$, при цьому $l = 2\sqrt{N}$.

Для побудови тривимірної матриці 3D РПЗП у якості розв'язки використовується транзистор [2]. Принципова схема тривимірної РПЗП зображена на рисунку 2.

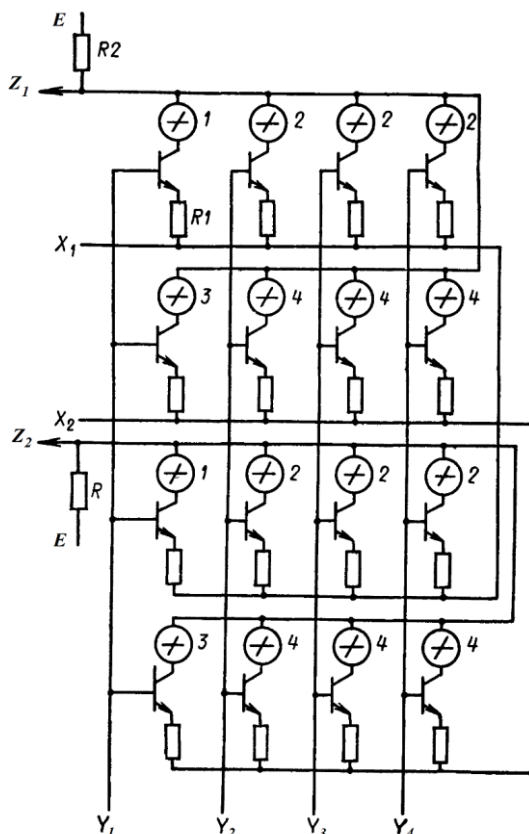


Рисунок 2 – Тривимірна матриця РПЗП 3D

Один із контактів КП підключений до колекторів транзисторів, а інший контакт – до розрядної шини. Емітери транзисторів підключені до однієї із адресних шин, а бази до іншої. В емітерному колі резистори використовуються для забезпечення режиму генератора струму. Основна відмінність 3D структури від 2D матричного РПЗП полягає в наявності двох адресних шин X і Y та однієї розрядної Z .

Загальний об'єм матриці обчислюється аналогічно до 2D структури за формулою $V = Nn$, де $N = N_x N_y$, де в свою чергу N_x – число шин по координаті X , а N_y – число шин по координаті Y . Для 3D системи: $N_x = N_y = \sqrt{N}$. Число контактів пам'яті відповідає числу виводів матриці l , де $l = 2\sqrt{N} + n$. Мінімальне число контактів пам'яті при наперед заданому V буде мати матриця квадратної форми із однаковою кількістю шин по обох координатах: $N_x = N_y = n$. Отже, $l = 3\sqrt[3]{V}$. Проаналізувавши вирази очевидно, що для 3D конструкції пам'яті число виводів буде значно меншим, ніж у 2D конструкції. Для зменшення числа контактів двовимірної конструкції матриці пам'яті доцільно розмішувати на кристалі останню ступінь адресних дешифраторів, які керують адресними формувачами струмів. Недоліком такого підключення є виникнення точок перегріву підкладки кристалу пам'яті у місцях концентрації шин підключення формувача адресних дешифраторів. Це

пов'язано із виділенням тепла від струму, що протікає через тонкий перехід контактів. А це в свою чергу обмежує степінь інтеграції комірок пам'яті та їх об'єм. Тому рекомендується або зменшувати керуючі струми, або використовувати тривимірну модель матриці доступу, для якої немає точок концентрації перегріву за рахунок рівномірного розподілу тепла по всьому об'єму кристала. Також перевагою 3D моделі є спрощені вимоги до електроніки керування так, як у матриці є активні елементи, що дозволяють реалізувати останню ступінь дешифрування адреси.

Спираючись на рисунок 2 проведемо опис роботи тривимірної матриці РПЗП. На вибрану шину X та невикористану шину Y подається нульовий потенціал, а на невикористану X та вибрану Y – деяке значення напруги U . Для того, щоб записати у пам'ять логічну «1» на відповідний розрядний вивід (P_1, P_2) подається напруга запису U_3 протягом часу τ_3 . Режим стирання забезпечується подачею напруги U_c протягом часу τ_c . Режим зчитування забезпечується підключенням через резистор R_2 до розрядних виводів матриці джерела живлення E . Під час зчитування формувачі даних потенціалів не повинні здійснювати вплив на розрядні виводи. Доцільно розбити всі комірки пам'яті на чотири групи. Перша група КП, що позначена 1, є вибраними елементами, друга (2) – невикористані КП, третя (3) – невикористані КП, але які з'єднані із вибраною шиною, четверті (4) – решта КП. Так як у групах 2 та 3 напруга $U_{e0} = 0$, то у будь-якому режимі всі вибрані транзистори закриті. Для решти КП групи 4, що має послідовно з'єднаний резистор R_1 та перехід база-емітер підводиться від'ємна напруга U . При зчитуванні «1» із вибраної КП транзистор знаходиться у активному режимі для якого струм через R_2 визначається так: $I_{n1} \approx I_e = U/R_1$. При зчитуванні логічного «0» транзистор знаходиться у насиченому стані, тому струм I_{n0} через R_2 буде значно меншим за I_{n1} , а напруга на розрядній шині визначатиметься так: $U_{n0} = E - I_{n0}R_2$. Аналогічно при зчитуванні «1»: $U_{n1} = E - I_{n1}R_2$. Очевидно, що сигнали для зчитування «0» та «1» значно відрізняються по амплітуді. Режими запису та стирання вимагають подачі на розрядні виводи напруги $U_3 \geq U + U_{n1}$ та $U_c \geq U + U_{n0}$ відповідно, де U - напруга входу транзистора, а U_{n0} та U_{n1} - напруги на КП у станах «0» та «1» відповідно. Очевидно, що при запису $U_3 \approx I_3R_1$ та при стиранні $U_c \approx I_cR_1$.

Висновки

Описано роботу тривимірної матриці, яку було обрано у якості основної моделі для створення РПЗП, так як вона має ряд переваг над двовимірною моделлю. Таким чином, тривимірна матриця пам'яті забезпечує зчитування та запис для доступу до однієї КП на базі ХСН з більш високою швидкістю та можливістю паралельної обробки. Хоча для ілюстрації даного пристрою показано лише частину матриці, слід розуміти, що тривимірна модель може бути розширена до потрібних розмірів шляхом каскадування та збільшення числа КП в одному сегменті.

СПИСОК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ

1. Слободян І.В. Швидкість програмування енергонезалежної пам'яті на базі ХСН [Електронний ресурс]: Наукові праці Вінницького національного технічного університету. – 2014. – №3. – С. 1–10. – Режим доступу до статті : <http://praci.vntu.edu.ua/article/view/3753>.
2. Новосядлий С. П. Конструкторсько-технологічні особливості формування субмікронних структур адресних схем пам'яті / С. П. Новосядлий, Р. І. Запужляк // Фізика і хімія твердого тіла. – 2003. – Т.3, №4. – С. 568-582.
3. Попович А. Халькогенидна енергонезависима пам'ять СРАМ / Александр Попович // Компоненты и технологии. – 2010. – № 2 (103). – С. 52-54.

Іван Володимирович Слободян – асистент кафедри телекомунікаційних систем та телебачення, Вінницький національний технічний університет, e-mail: slobodyan.i.v@vntu.edu.ua.

Науковий керівник: **Василь Мартинович Кучак** — д-р техн. наук, професор, декан факультету інфокомунікацій, радіоелектроніки та наносистем, Вінницький національний технічний університет.

Ivan Slobodyan – Assistant of Department of Telecommunication Systems and Television, Vinnytsia National Technical University, e-mail: slobodyan.i.v@vntu.edu.ua.

Supervisor: **Vasyl Kychak** — Dr. Sc. (Eng.), Professor, Dean of the Faculty infocommunications, radioelectronics and nanosystems, Vinnytsia National Technical University, Vinnytsia.