



МІНІСТЕРСТВО  
ЕКОНОМІЧНОГО  
РОЗВИТКУ І ТОРГІВЛІ  
УКРАЇНИ

УКРАЇНА

(19) **UA** (11) **123753** (13) **U**  
(51) МПК  
**G05F 1/08** (2006.01)

## (12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

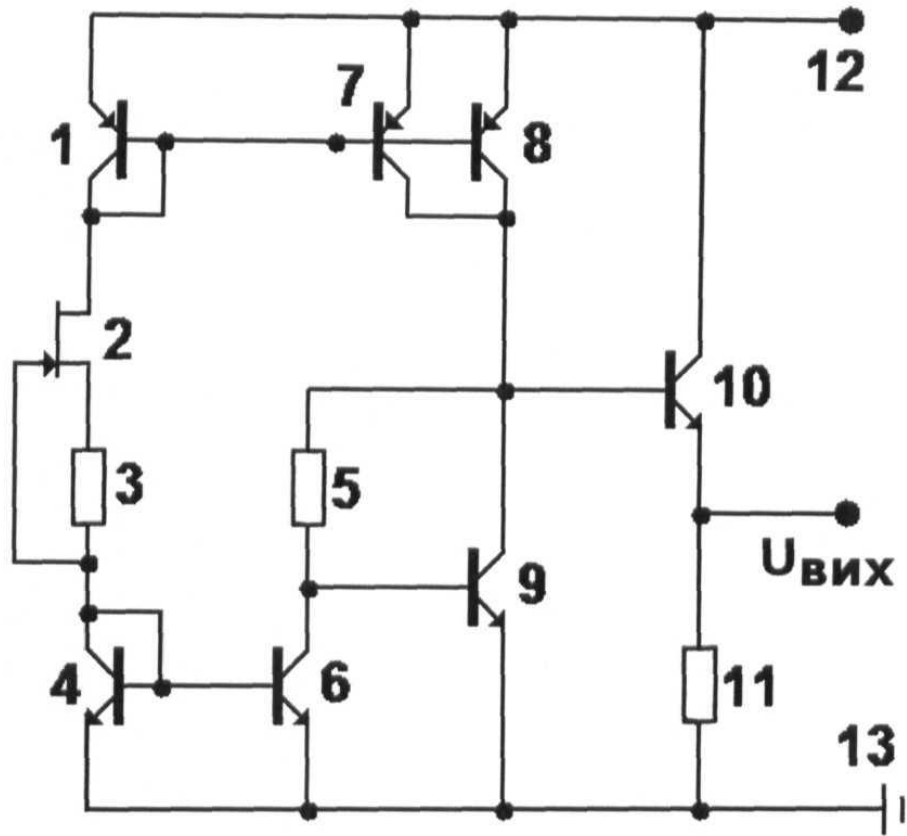
(21) Номер заявки: <b>u 2017 08500</b>	(72) Винахідник(и): <b>Азаров Олексій Дмитрович (UA), Обертюх Максим Романович (UA), Тарасова Ольга Миколаївна (UA)</b>
(22) Дата подання заявки: <b>19.08.2017</b>	(73) Власник(и): <b>ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)</b>
(24) Дата, з якої є чинними права на корисну модель: <b>12.03.2018</b>	
(46) Публікація відомостей про видачу патенту: <b>12.03.2018, Бюл.№ 5</b>	

## (54) ДЖЕРЕЛО СТАБІЛІЗОВАНОЇ НАПРУГИ

### (57) Реферат:

Джерело стабілізованої напруги містить шину живлення, шину нульового потенціалу два транзистора, три резистора. Введено п'ять транзисторів, JFET-транзистор, перше струмове дзеркало на першому і четвертому транзисторах, друге струмове дзеркало на третьому, п'ятому і другому транзисторах, формувач опорної напруги на шостому і сьомому транзисторах та другому і третьому резисторах, джерело струму на JFET-транзисторі і першому резисторі, причому третій, п'ятий, другий транзистори з'єднані емітерами з шиною живлення, JFET-транзистор з'єднаний стоком з базою і колектором третього транзистора і з базами п'ятого і другого транзисторів, перший резистор першим виходом з'єднаний з витком JFET-транзистора і другим виходом з затвором JFET-транзистора, з базою і колектором першого транзистора і базою четвертого транзистора, перший, четвертий і шостий транзистори з'єднані емітерами з шиною нульового потенціалу, другий резистор з'єднаний першим виходом з колекторами п'ятого, другого, шостого транзисторів і базою сьомого транзистора, а другим виходом з колектором четвертого транзистора і базою шостого транзистора, третій резистор з'єднаний першим виходом з емітером сьомого транзистора і другим виходом з шиною нульового потенціалу, сьомий транзистор з'єднаний з колектором шиною живлення.

UA 123753 U



Корисна модель належить до галузі аналогової техніки і може бути використана при створенні джерел стабільної напруги постійного струму.

Відоме джерело живлення Вільямса "з подвійним кільцем" [Джонс М.Х. Электроника практический курс // М.Х. Джонс. - М.: Техносфера, 2006. - С. 229], яке містить шину живлення, шину нульового потенціалу, два транзистори, два стабілітрони і два резистори, причому перший стабілітрон сполучений катодом з шиною живлення і анодом з колектором першого транзистора і базою другого транзистора, другий стабілітрон сполучений катодом з базою першого транзистора і колектором другого транзистора і анодом з шиною нульового потенціалу, перший резистор сполучений першим виходом з емітером першого транзистора і другим виходом з шиною нульового потенціалу, другий резистор сполучений першим виходом з емітером другого транзистора і другим виходом з шиною живлення.

Недоліком цього технічного рішення є низька ефективність використання напруги живлення, низька навантажувальна здатність, обмежені функціональні можливості.

Найближчим технічним рішенням є кільцевий стабілізатор опорної напруги [Горошков Б.И. Радиоэлектронные устройства: Справочник // Б.И. Горошков. - М.: Радио и связь, 1984. - С. 362], який містить шину живлення, шину нульового потенціалу, два транзистори, два стабілітрони і три резистори, причому перший стабілітрон сполучений катодом з шиною живлення, а анодом з колектором першого транзистора і базою другого транзистора, другий стабілітрон сполучений катодом з базою першого транзистора, колектором другого транзистора, першим виходом третього резистора і анодом з шиною нульового потенціалу, третій резистор сполучений другим виходом з шиною живлення, перший резистор сполучений першим виходом з емітером першого транзистора і другим виходом з шиною нульового потенціалу, другий резистор сполучений першим виходом з шиною живлення, а другим виходом з емітером другого транзистора.

Недоліком цього технічного рішення є низька ефективність використання напруги живлення, низька навантажувальна здатність, обмежені функціональні можливості.

В основу корисної моделі поставлено задачу створення джерела стабілізованої напруги, в якому за рахунок введення нових елементів і зв'язків між ними підвищується навантажувальна здатність, що сприяє підвищенню точності роботи схеми, зростають функціональні можливості, а саме з'являється можливість регулювання напруги стабілізації, що розширює область використання пристрою, та спрощує його застосування, зменшується напруга живлення, що зменшує використовувану потужність.

Поставлена задача вирішується тим, що в джерело стабілізованої напруги, що містить шину живлення, шину нульового потенціалу два транзистора, три резистора введено п'ять транзисторів, JFET-транзистор, перше струмове дзеркало на першому і четвертому транзисторах, друге струмове дзеркало на третьому, п'ятому і другому транзисторах, формувач опорної напруги на шостому і сьомому транзисторах та другому і третьому резисторах, джерело струму на JFET-транзисторі і першому резисторі, причому третій, п'ятий, другий транзистори з'єднані емітерами з шиною живлення, JFET-транзистор з'єднаний стоком з базою і колектором третього транзистора і з базами п'ятого і другого транзисторів, перший резистор першим виходом з'єднаний з витоком JFET-транзистора і другим виходом з затвором JFET-транзистора, з базою і колектором першого транзистора і базою четвертого транзистора, перший, четвертий і шостий транзистори з'єднані емітерами з шиною нульового потенціалу, другий резистор з'єднаний першим виходом з колекторами п'ятого, другого, шостого транзисторів, базою сьомого транзистора і другим виходом з колектором четвертого транзистора і базою шостого транзистора, третій резистор з'єднаний першим виходом з емітером сьомого транзистора і другим виходом з шиною нульового потенціалу, сьомий транзистор з'єднаний з колектором шиною живлення.

Корисна модель пояснюється кресленням, на якому зображена схема джерела стабілізованої напруги.

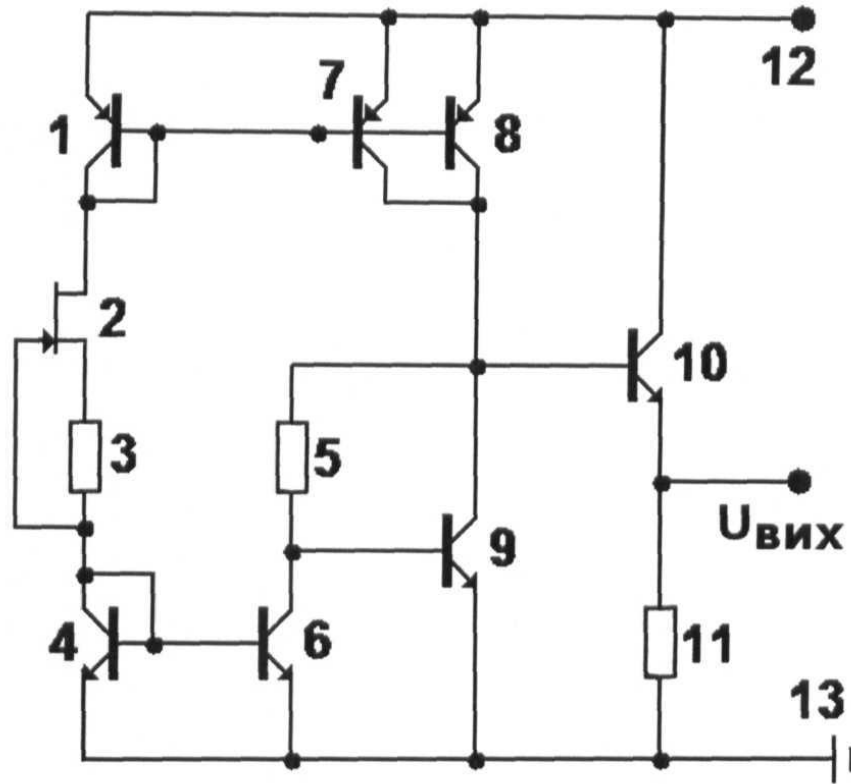
Джерело стабілізованої напруги містить шину живлення 12, шину нульового потенціалу 13, третій 1, п'ятий 7, другий 8 транзистори з'єднані емітерами з шиною живлення 12, JFET-транзистор 2 з'єднаний стоком з базою і колектором третього транзистора 1 і з базами п'ятого 7 і другого 8 транзисторів, перший резистор 3 першим виходом з'єднаний з витоком JFET-транзистора 2 і другим виходом з затвором JFET-транзистора 2 з базою і колектором першого транзистора 4 і базою четвертого транзистора 6, перший 4, четвертий 6 і шостий 9 транзистори з'єднані емітерами з шиною нульового потенціалу 13, другий резистор 5 з'єднаний першим виходом з колекторами п'ятого 7, другого 8, шостого 9 транзисторів і базою сьомого транзистора 10 і другим виходом з колектором четвертого транзистора 6 і базою шостого транзистора 9, третій резистор 11 з'єднаний першим виходом з емітером сьомого транзистора

10 і другим виходом з шиною нульового потенціалу 13, сьомий транзистор 10 з'єднаний з колектором шиною живлення 12.

Працює пристрій таким чином: в працюючому стані на шині нульового потенціалу 13 нульовий потенціал, на шині живлення 12 напруга  $U_{ж}$ , у працюючому стані всі біполярні транзистори схеми функціонують в лінійній зоні, JFET-транзистор 2 знаходиться в режимі насичення, струм  $I_{оп}$  що протікає через нього залежить від напруги затвор-витік  $U_{зв.т2}$ , яка становить  $I_{оп} \cdot R3$ , тобто регулюється першим резистором 3, транзистори третій 1 і перший 4 підключені в діодному включенні і через них протікає однаковий струм  $I_{оп}$ , перший 4 і четвертий 6 транзистори утворюють перше струмове дзеркало, з-за того, що напруги на їх р-n переходах база-емітер рівні  $U_{BE.т4}=U_{BE.т6}$  струми, що протікають через них однакові і становлять  $I_{оп}$ , звідки через другий резистор 5 також протікає струм  $I_{оп}$ , і на ньому формується напруга  $U_{R5}=I_{оп} \cdot R5$ , де R5 - значення опору другого резистор 5. Друге струмове дзеркало складається з третього 1, п'ятого 7 і другого 8 транзисторів, напруги на їх р-n переходах база-емітер також рівні  $U_{BE.т1}=U_{BE.т7}=U_{BE.т8}$  і рівні струми протікають через них і становлять  $I_{оп}$ , з вищевказаного випливає, що сумарний струм через п'ятий 7 і другий 8 транзистори буде дорівнювати  $2 \cdot I_{оп}$ , а струм через шостий транзистор 9 також становить  $I_{оп}$ , і напруга на його р-n переході база-емітер  $U_{BE.т9}=U_{BE.т4}$ , звідки напруга на р-n переході база-колектор четвертого транзистора 6 становитиме  $U_{БК.т6}=U_{BE.т6}-U_{BE.т9}=0=U_{БК.т4}$ , що підвищує точність першого струмового дзеркала. Величина струму через третій резистор 11, задається рівною  $I_{оп}$ , звідки напруги на р-n переходах база-емітер сьомого 10 і шостого 9 транзисторів рівні  $U_{BE.т10}=U_{BE.т9}$  і значення вихідної напруги та третього резистора 11 будуть складати  $U_{вих}=U_{BE.т9}+I_{оп} \cdot R5-U_{BE.т10}=I_{оп} \cdot R5$ ,  $R11=U_{вих}/I_{оп}=R5$ , тобто за допомогою R5 можна регулювати рівень вихідної напруги. Каскад з третього резистора 11 і сьомого транзистора 10 також підвищує навантажувальну здатність схеми, вихідний струм проходить через ланцюг колектор-емітер сьомого транзистора 10 і мало впливає на іншу схему і вихідну напругу.

#### ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Джерело стабілізованої напруги, що містить шину живлення, шину нульового потенціалу два транзистора, три резистора, яке **відрізняється** тим, що введено п'ять транзисторів, JFET-транзистор, перше струмове дзеркало на першому і четвертому транзисторах, друге струмове дзеркало на третьому, п'ятому і другому транзисторах, формувач опорної напруги на шостому і сьомому транзисторах та другому і третьому резисторах, джерело струму на JFET-транзисторі і першому резисторі, причому третій, п'ятий, другий транзистори з'єднані емітерами з шиною живлення, JFET-транзистор з'єднаний стоком з базою і колектором третього транзистора і з базами п'ятого і другого транзисторів, перший резистор першим виходом з'єднаний з витоком JFET-транзистора і другим виходом з затвором JFET-транзистора, з базою і колектором першого транзистора і базою четвертого транзистора, перший, четвертий і шостий транзистори з'єднані емітерами з шиною нульового потенціалу, другий резистор з'єднаний першим виходом з колекторами п'ятого, другого, шостого транзисторів і базою сьомого транзистора, а другим виходом з колектором четвертого транзистора і базою шостого транзистора, третій резистор з'єднаний першим виходом з емітером сьомого транзистора і другим виходом з шиною нульового потенціалу, сьомий транзистор з'єднаний з колектором шиною живлення.




---

Комп'ютерна верстка Г. Паяльніков

---

Міністерство економічного розвитку і торгівлі України, вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

---

ДП "Український інститут промислової власності", вул. Глазунова, 1, м. Київ – 42, 01601