



УКРАЇНА

(19) UA (11) 7116 (13) U

(51) 7 G06F7/50

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІОПИС
ДО ДЕКЛАРАЦІЙНОГО ПАТЕНТУ
НА КОРИСНУ МОДЕЛЬвидається під
відповідальність
власника
патенту

(54) КОНВЕЕРНИЙ ПРИСТРІЙ

1

2

(21) 20040807017

(22) 21.08.2004

(24) 15.06.2005

(46) 15.06.2005, Бюл. № 6, 2005 р.

(72) Мартинюк Тетяна Борисівна, Кожем'яко Андрій Вікторович, Балашов Костянтин Анатолійович, Расенко Роман Анатолійович

(73) ВІННИЦЬКИЙ ДЕРЖАВНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ

(57) Конвеєрний пристрій, який містить n входів та n комірок, крім того, i -та комірка містить блок порівняння, суматор, вузол виділення загальної частини операндів, три регістри, D-тригер, мультиплексор і блок логічних елементів l , причому перший вхід i -ої комірки з'єднаний з першим входом мультиплексора, вихід якого підключений до входу першого регістра, вихід якого з'єднаний з першим входом блока порівняння та першим входом вузла виділення загальної частини операндів, вихід якого з'єднаний з третім регістром, а вихід другого регістра з'єднаний з першим входом блока елементів l та другим входом блока порівняння, перший вихід якого з'єднаний з другим входом мультиплексора, а другий вихід з'єднаний з D-входом D-тригера, R-вхід якого підключений до входу установлення в початковий стан пристрою, інверсний вихід D-тригера підключений до другого входу блока елементів l , вихід якого є першим виходом i -ої комірки, другий вхід вузла виділення загальної частини операндів i -ої комірки з'єднаний з другим виходом $(i-1)$ -ої комірки, перший вхід суматора i -ої комірки з'єднаний з третім виходом $(i-1)$ -ої комірки, другий вхід з'єднаний з першим виходом $(i+1)$ -ої комірки, а вихід суматора є третім виходом i -ої комірки, вихід третього регістра є другим виходом i -ої комірки, керувальний вхід мультиплексора підключений до керувального входу пристрою, вхід другого регістра є другим входом i -ої комірки, крім того, через відсутність в першій комірці вузла виділення загальної частини операндів та третього

регістра, вихід першого регістра є другим виходом першої комірки, а перший вхід суматора з'єднаний з виходом блока елементів l , при цьому в n -ій комірці вхід третього регістра з'єднано з виходом суматора, а вихід з'єднаний з другим входом суматора, вихід вузла виділення загальної частини операндів з'єднаний з входом другого регістра, а також підключений до другого входу $(n-1)$ -х комірок, третій вихід n -ої комірки є виходом пристрою, блок логічних елементів містить m елементів l , де m - розрядність вхідних величин, перші входи яких з'єднані з першим входом блока, другі входи з'єднані з другим входом блока, а виходи з'єднані з виходами блока елементів l , який відрізняється тим, що він містить у кожній комірці четвертий і п'ятий регістри, другий блок логічних елементів l і елемент l , причому вхід четвертого регістра i -ої комірки з'єднаний з першим входом цієї комірки, а вихід з'єднаний з першим входом другого блока логічних елементів l , вхід дозволу пристрою і вихід п'ятого регістра через елемент l з'єднані з другим входом другого блока логічних елементів l , вихід якого є четвертим виходом i -ої комірки, інформаційний вхід п'ятого регістра з'єднаний з виходом ознаки нуля блока порівняння i -ої комірки, а його вхід зсуву з'єднаний з входом зсуву пристрою, причому другий блок логічних елементів містить m елементів l , перші входи яких з'єднані з першим входом другого блока, другі входи з'єднані з другим входом другого блока, а виходи з'єднані з виходами другого блока логічних елементів l , перший і другий знакові входи вузла виділення загальної частини операндів i -ої комірки з'єднані відповідно з другим виходом блока порівняння i -ої комірки і п'ятим виходом $(i-1)$ -ої комірки, причому у всіх комірках, крім першої і n -ої, знаковий вихід третього регістра є п'ятим виходом цієї комірки, а у першій комірці другий вихід блока порівняння є п'ятим виходом першої комірки.

Корисна модель відноситься до автоматики та обчислювальної техніки та може бути використана при розв'язанні задач паралельного підсумовування та сортування вхідного масиву даних при побу-

дові спеціалізованих обчислювальних систем.

Відомий пристрій для підсумовування n -розрядних чисел масиву [а.с. 554537, кл. G06F 7/385, 1977 р.], що містить суматор з зсувом, n

(19) UA (11) 7116 (13) U

лічильників з m розрядами кожний, вхід кожного лічильника з'єднаний з виходом відповідного вхідного вентиля, входи всіх вхідних лічильників з'єднані з виходом блока керування, вихід кожного i -го розряду ($1 < i < n$) кожного j -го лічильника ($1 < j < n-1$) з'єднаний через відповідний вентиль з виходом i -го розряду ($j+1$) лічильника, вихід кожного i -го розряду n -го лічильника з'єднаний через відповідний вентиль з виходом i -го розряду суматора, входи всіх вентилів і нульові входи розрядів першого лічильника з'єднані з виходом блока керування, n -розрядний регістр, вихід кожного q -го розряду якого ($1 < q < n$) з'єднаний з виходом q -го додаткового вентиля, причому вихід старшого розряду кожного q -го лічильника з'єднаний з виходом q -го розряду регістра, вихід q -го додаткового вентиля з'єднаний з виходом $(q+m)$ -го розряду суматора, входи всіх додаткових вентилів та нульові входи регістра з'єднані з виходом блока керування.

Недоліком даного пристрою є вузькі функціональні можливості через неможливість сортування чисел масиву.

Відомий пристрій для одночасного виконання операцій додавання над множиною чисел [а.с.558276, кл. G06F 7/385, 1977 р.], що містить однотипні блоки, причому кожний i -й блок містить регістр часткового результату, вузол формування часткового результату, тригер зберігання молодшого розряду часткового результату, тригер формування кінцевого результату, елемент I , виходи старших розрядів вузла формування часткового результату з'єднані з входами регістра часткового результату $(i+1)$ -го блока, одиничний вихід тригера зберігання молодшого розряду часткового результату з'єднаний з першим входом елемента I , другий вхід якого з'єднаний з одиничним входом тригера формування кінцевого результату $(i-1)$ -го блока, вихід молодшого розряду вузла формування часткового результату підключений до одиничного входу тригера зберігання молодшого розряду часткового результату, нульові входи тригерів зберігання молодшого розряду часткового результату, формування кінцевого результату та регістра часткового результату підключені до шини тактових імпульсів, причому в i -й блок пристрою введені регістр порядку, вузол формування порядку, елемент АБО та два логічних вузли, причому виходи регістра порядку з'єднані з входами вузла формування порядку, виходи якого підключені до входів регістра порядку $(i+1)$ -го блока, крім того виходи регістра порядку з'єднані з входами елемента АБО, вихід якого з'єднаний з підсумовуючим входом вузла формування порядку, а також з керуючими входами логічних вузлів, виходи регістра часткового результату з'єднані з входами логічних вузлів, виходи першого логічного вузла підключені до входів n старших розрядів вузла формування часткового результату, а виходи другого логічного вузла підключені до входів $(n+1)$ -го розряду вузла формування часткового результату, причому n -ий вихід другого логічного вузла підключений до n -го та $(n+1)$ -го входів вузла формування часткового результату, до підсумовуючого входу якого підключений одиничний вихід тригера зберігання молодшого розряду часткового результату, вихід елемента I з'єднаний з $(n-1)$ -им розрядом регістра

часткового результату $(i+1)$ -го блока.

Недоліком даного пристрою є обмежені функціональні можливості, оскільки в процесі додавання відсутня можливість сортування вхідної множини чисел.

Найбільш близьким по технічній суті є конвеєрний підсумовуючий пристрій [патент України №46877, МПК7 G06G 7/14, G06F 7/50, 2002], а подальшому поіменованій як конвеєрний пристрій, який містить n входів і n комірок, крім того, i -та комірка містить блок порівняння, суматор, вузол виділення загальної частини операндів, три регістри, D-тригер, мультиплексор і блок логічних елементів I , причому перший вхід i -ої комірки з'єднаний з першим входом мультиплексора, вихід якого підключений до входу першого регістра, вихід якого з'єднаний з першим входом блока порівняння та першим входом вузла виділення загальної частини операндів, вихід якого з'єднаний з третім регістром, а вихід другого регістра з'єднаний з першим входом блока елементів I та другим входом блока порівняння, перший вихід якого з'єднаний з другим входом мультиплексора, а другий вихід - з D-входом D-тригера, R-вхід якого підключений до входу установаження в початковий стан пристрою, інверсний вихід D-тригера підключений до другого входу блока елементів I , вихід якого є першим виходом i -ої комірки, другий вхід вузла виділення загальної частини операндів i -ої комірки з'єднаний з другим виходом $(i-1)$ -ої комірки, перший вхід суматора i -ої комірки з'єднаний з третім виходом $(i-1)$ -ої комірки, другий вхід - з першим виходом $(i+1)$ -ої комірки, а вихід суматора є третім виходом i -ої комірки, вихід третього регістра є другим виходом i -ої комірки, керувальний вхід мультиплексора підключений до керувального входу пристрою, вхід другого регістра є другим входом i -ої комірки, крім того, через відсутність в першій комірці вузла виділення загальної частини операндів та третього регістра, вихід першого регістра є другим виходом першої комірки, а перший вхід суматора з'єднаний з виходом блока елементів I , при цьому в n -ій комірці вхід третього регістра з'єднаний з виходом суматора, а вихід - з другим входом суматора, вихід вузла виділення загальної частини операндів з'єднаний з виходом другого регістра, а також підключений до другого входу $(n-1)$ -х комірок, третій вихід n -ої комірки є виходом пристрою, блок логічних елементів містить m елементів I , де m - розрядність вхідних величин, перші входи яких з'єднані з першим входом блока, другі входи - з другим входом блока, а виходи - з виходами блока елементів I .

Недоліком цього пристрою є те, що в процесі обробки в ньому відсутня можливість одночасного сортування разом із підсумовування чисел масиву.

В основу корисної моделі поставлена задача створення конвеєрного пристрою, в якому введення нових блоків та нових зв'язків дає можливість разом із формуванням суми відсортувати числа вхідного масиву, що призводить до розширення функціональних можливостей пристрою.

Поставлена задача досягається тим, що в конвеєрний пристрій, який містить n входів та n комірок, крім того, i -та комірка містить блок порівняння, суматор, вузол виділення загальної части-

ни операндів, три регістри, D-тригер, мультиплексор і блок логічних елементів I, причому перший вхід i-ої комірки з'єднаний з першим входом мультиплексора, вихід якого підключений до входу першого регістра, вихід якого з'єднаний з першим входом блока порівняння та першим входом вузла виділення загальної частини операндів, вихід якого, з'єднаний з третім регістром, а вихід другого регістра з'єднаний з першим входом блока елементів I та другим входом блока порівняння, перший вихід якого з'єднаний з другим входом мультиплексора, а другий вихід з'єднаний з D-входом D-тригера, R-вхід якого підключений до входу установлення в початковий стан пристрою, інверсний вихід D-тригера підключений до другого входу блока елементів I, вихід якого є першим входом i-ої комірки, другий вхід вузла виділення загальної частини операндів i-ої комірки з'єднаний з другим виходом (i-1)-ої комірки, перший вхід суматора i-ої комірки з'єднаний з третім виходом (i-1)-ої комірки, другий вхід з'єднаний з першим виходом (i+1)-ої комірки, а вихід суматора є третім виходом i-ої комірки, вихід третього регістра є другим виходом i-ої комірки, керувальний вхід мультиплексора підключений до керувального входу пристрою, вхід другого регістра є другим входом i-ої комірки, крім того, через відсутність в першій комірці вузла виділення загальної частини операндів та третього регістра, вихід першого регістра є другим виходом першої комірки, а перший вхід суматора з'єднаний з виходом блока елементів I, при цьому в n-ій комірці вхід третього регістра з'єднано з виходом суматора, а вихід з'єднаний з другим входом суматора, вихід вузла виділення загальної частини операндів з'єднаний з входом другого регістра, а також підключений до другого входу (n-1)-х комірок, третій вихід n-ої комірки є виходом пристрою, блок логічних елементів містить m елементів I, де m - розрядність вхідних величин, перші входи яких з'єднані з першим входом блока, другі входи з'єднані з другим входом блока, а виходи з'єднані з виходами блока елементів I, введені в кожну комірку четвертий і п'ятий регістри, другий блок логічних елементів I і елемент I, причому вхід четвертого регістра i-ої комірки з'єднаний з першим входом цієї комірки, а вихід з'єднаний з першим входом другого блока логічних елементів I, вхід дозволу пристрою і вихід п'ятого регістра через елемент I з'єднані з другим входом другого блока логічних елементів I, вихід якого є четвертим виходом i-ої комірки, інформаційний вхід п'ятого регістра з'єднаний з виходом ознаки нуля блока порівняння i-ої комірки, а його вхід зсуву з'єднаний з входом зсуву пристрою, причому другий блок логічних елементів містить m елементів I, перші входи яких з'єднані з першим входом другого блока, другі входи з'єднані з другим входом другого блока, а виходи з'єднані з виходами другого блока логічних елементів I, перший і другий знакові входи вузла виділення загальної частини операндів i-ої комірки з'єднані відповідно з другим виходом блока порівняння i-ої комірки і п'ятим виходом (i-1)-ої комірки, причому у всіх комірках, крім першої і n-ої, знаковий вихід третього регістра є п'ятим виходом цієї комірки, а у першій комірці другий вихід блока порівняння є п'ятим виходом першої комірки.

На кресленні зображена функціональна схема першої, i-ої та n-ої комірок пристрою. Конвеєрний пристрій містить n комірок 1, причому i-та комірка 1 містить блок порівняння, в якості якого використовується арифметично-логічний пристрій (АЛП) 2, суматор 3, вузол 4 виділення загальної частини операндів (крім першої комірки), регістри 5, 6 і регістр 7 (крім першої і n-ої комірки), мультиплексор 8, блок 9 елементів I, D-тригер 10. Вихід мультиплексора 8 i-ої комірки 1 підключений до входу 11 регістра 5, у якого вихід з'єднаний з входом 12 АЛП 2 та входом 13 вузла 4 виділення загальної частини операндів. Вихід регістра 6 з'єднаний з інформаційним входом блока 9 елементів I та входом 14 АЛП 2, вихід 15 якого з'єднаний з другим інформаційним входом мультиплексора 8, а вихід 16 ознаки від'ємного результату АЛП 2 з'єднаний з D-входом D-тригера 10, R-вхід якого підключений до входу 17 установлення в початковий стан пристрою. Інверсний вихід D-тригера 10 підключений до керувального входу блока 9 елементів I, вихід якого підключений до виходу 18 i-ої комірки 1.

Крім того, вхід 19 вузла 4 виділення загальної частини операндів (i+1)-ої комірки 1 з'єднаний з виходом 20 i-ої комірки 1, вхід 21 суматора 3 i-ої комірки 1 з'єднаний з виходом 22 (i-1)-ої комірки 1, а вихід суматора 3 є виходом 22 i-ої комірки 1. Вхід регістра 6 підключено до входу 23 i-ої комірки 1 (крім n-ої), вихід вузла 4 виділення загальної частини операндів з'єднаний з входом регістра 7, інформаційний вихід якого є виходом 20 i-ої комірки 1. Перший інформаційний вхід мультиплексора 8 з'єднаний з входом 24 i-ої комірки 1, керувальний вхід з'єднаний з керувальним входом 25 пристрою, а вхід 26 суматора 3 i-ої комірки 1 підключено до виходу 18 (i+1)-ої комірки 1.

У першій комірці 1 вихід регістра 5 є виходом 20 першої комірки 1, а вхід 21 суматора 3 з'єднаний з виходом блока 9 елементів I цієї комірки. Остання n-а комірка 1 містить регістр 27, вхід якого підключений до виходу суматора 3 n-ої комірки 1, а вихід підключений до входу 26 цього ж суматора 3, вихід вузла 4 виділення загальної частини операндів з'єднаний з входом регістра 6 цієї комірки 1, а також з входом 23 всіх молодших (n-1)-х комірок 1, вихід 22 n-ої комірки 1 є виходом пристрою. Знакові входи 28 і 29 вузла 4 виділення загальної частини операндів i-ої комірки 1 з'єднані відповідно з виходом 16 АЛП 2 i-ої комірки 1 і виходом 30 (i-1)-ої комірки 1, причому в усіх комірках 1, крім першої і n-ої, знаковий вихід регістра 7 є виходом 30 цієї комірки 1, а у першій комірці 1 вихід 16 АЛП 2 є виходом 30 цієї комірки 1.

Крім того, i-а комірка 1 містить регістри 31, 32, блок 33 елементів I і елемент I 34, причому вхід регістра 31 з'єднаний з входом 24 i-ої комірки, а вихід з'єднаний з інформаційним входом блока 33 елементів I, вхід 35 дозволу пристрою і вихід регістра 32 через елемент I 34 з'єднані з керувальним входом блока 33 елементів I, вихід якого є виходом 36 i-ої комірки. Інформаційний вхід 37 регістра 32 з'єднаний з виходом ознаки нуля АЛП 2, а вхід зсуву з'єднаний з входом 38 зсуву пристрою. Блоки 9, 33 елементів I містять m елементів I, де m - розрядність операндів вхідного масиву, причому перші входи елементів I з'єднані з інформаційними

входами блоків 9, 33 елементів I, другі входи з'єднані з відповідним керувальним входом блоків 9, 33 елементів I, а виходи підключені до відповідних інформаційних виходів блоків 9, 33 елементів I.

Пристрій працює таким чином. Процеси підсумовування і сортування виконуються в такий спосіб.

Крок 1. Визначається загальна значуща частина всіх доданків у j -му циклі, тобто

$$q_j = \min\{a_{i,j-1}\}_{i=1}^n, \quad (1)$$

де $a_{i,0}$ - i -й доданок на вході 24 пристрою; $1 \leq j \leq n$.

Крок 2. Виділяється зріз різниць A_j , тобто сукупність величин різниці всіх доданків j -го циклу з їхньою загальною частиною q_j , тобто

$$A_j = \{a_{i,j}\}_{i=1}^n = \{a_{i,j-1} - q_j\}_{i=1}^n. \quad (1)$$

В подальшому отриманий зріз різниць A_j є вхідною множиною доданків для наступного ($j+1$)-го циклу. Формуються бінарні маски F_j , G_j елементи яких визначаються таким чином:

$$f_{i,j} = \begin{cases} 1, \text{ якщо } a_{i,j} \geq 0, \\ 0, \text{ якщо } a_{i,j} < 0. \end{cases} \quad (3)$$

$$g_{i,j} = \begin{cases} 1, \text{ якщо } a_{i,j} = 0, \\ 0, \text{ якщо } a_{i,j} \neq 0. \end{cases} \quad (4)$$

Крок 3. Формується часткова сума S_j , де кратність p_j визначається кількістю додатних доданків j -го циклу, тобто

$$S_j = q_j p_j = q_j \sum_{i=1}^n f_{i,j}. \quad (5)$$

На цьому ж кроці підсумовуються часткові суми S_1, \dots, S_{j-1} , які отримані на попередніх ($j-1$)-х циклах, тобто

$$S_k = \sum_{j=1}^k S_j = \sum_{j=1}^k q_j p_j, \quad k = \overline{1, N}. \quad (5)$$

Повторюються кроки 1-3.

Таким чином, остаточний результат формується в процесі накопичення часткових сум всіх N циклів, причому $N_{\max} = n$, а середнє значення кількості циклів визначається за формулою

$$N = n - \sum_{r=1}^R (m_r - 1), \quad (7)$$

де R - кількість груп з кількістю m_r повторюваних чисел у початковому масиві даних.

Крім того, по закінченню N циклів обробки формується бінарна матриця масок G вигляду

$$G = (G_1 \dots G_r \dots G_N). \quad (8)$$

Послідовний аналіз стовпців матриці G , починаючи зі старшого (молодшого) дозволяє відсортувати елементи початкового масиву за зростанням (за спаданням).

Отже, на вхід 24 i -ої комірки 1 надходить i -ий операнд $a_{i,0}$ з масиву операндів A_0 , розмірність якого дорівнює n . Запис операндів $a_{i,0}$ в комірки 1 виконується паралельно. Через мультиплексор 8 i -ий операнд $a_{i,0}$ надходить в регістр 5 i -ої комірки 1. Після цього виконується послідовне виділення загальної частини двох операндів - ($i-1$)-го та i -го вузлом 4 за інформацією, що подається на інформаційні входи 13 і 19 та знакові входи 28 і 29 вузла 4 і запис результату в регістр 7. Ця операція вико-

нується послідовно, починаючи з другої комірки 1, згідно із виразом (1) на 1-му кроці обробки. Кінцевий результат виділення загальної частини q_j всіх n операндів виду (1) формується в n -ій комірці 1 і з виходу вузла 4 цієї комірки 1 мінімальна складова q_j (загальна частина всіх операндів) записується в регістри 6 всіх n комірок 1 паралельно. Після цього відбувається порівняння в АЛП 2 i -го операнда, що надходить з регістра 5, та загальної частини всіх операндів, що надходить з регістра 6. Порівняння відбувається в процесі віднімання від величини операнда $a_{i,0}$ загальної частини q_j всіх операндів, згідно із виразом (2) на 2-му кроці обробки і ця різниця записується з виходу 15 АЛП 2 через мультиплексор 8 в регістр 5. При цьому з виходу 16 ознака від'ємного результату різниці, тобто сигнал $f_{i,1}$ (3) записується в D-тригер 10, який перед початком роботи пристрою був занулений сигналом по входу 17 пристрою. Одночасно з виходу ознаки нуля АЛП2 у регістр 32 i -ої комірки 1 по його входу 37 записується відповідний сигнал $g_{i,1}$ (4). Перед початком роботи регістри 5, 6, 7, 31, 32 всіх комірок 1 занулені, а на вході 35 дозволу пристрою присутній нульовий сигнал. При відсутності одиничного сигналу ознаки від'ємного результату одиничний сигнал $f_{i,1}$ з інверсного виходу D-тригера 10 дозволяє проходження через блок 9 елементів I загальної частини операндів q_j з регістра 6 в суматор 3, де відбувається формування часткових сум S_j виду (5) за всі N цикли підсумовування операндів.

В першій комірці 1 величина q_1 з регістра 6 проходить на вхід 21 суматора 3 через блок 9 елементів I. У випадку, якщо на виході 16 АЛП 2 i -ої комірки 1 з'явиться одиничний сигнал ознаки від'ємного результату, то нульовий сигнал $f_{i,1}$ з інверсного виходу D-тригера 10 заборонить проходження величини q_1 в даному циклі обробки через блок 9 елементів I на вхід 26 суматора 3 ($i-1$)-ої комірки 1.

Таким чином, в суматорах 3 кожної комірки 1 відбувається послідовне підсумовування величин q_1 , а в результаті на виході 22 суматора 3 n -ої комірки 1 формується часткова сума S_j операндів згідно з виразом (5) на 3-му кроці обробки, а в перших розрядах регістрів 32 всіх комірок 1 фіксується величина G_j . Так виконується 1-ий цикл обробки. Після кожного циклу виконується зсув вмісту регістрів 32 у всіх комірках 1 у бік старших розрядів за сигналом на вході 38 зсуву пристрою. Далі цикли повторюються і кількість їх в середньому дорівнює величині (7). Після виконання всіх циклів N обробки на виході 22 суматора 3 n -ої комірки 1 формується остаточна сума S виду (5), а в регістрі 32 i -ої комірки 1 фіксується транспонований i -ий рядок бінарної матриці масок G (8). У таблиці наведено приклад формування суми чисел: 11, 3, 5, 8, 15, а також двох бінарних матриць масок F і G , причому рискою позначені від'ємні елементи $a_{i,1}$.

Для виконання сортування елементів початкового масиву A_0 необхідно на вхід 35 дозволу пристрою подати одиничний сигнал і виконати одночасно зсув на один розряд вмісту у регістрах 32 всіх комірок 1. Якщо зсув виконувати у бік старших (молодших) розрядів, то буде виконуватись сорту-

вання за зростанням (за спаданням) значень елементів масиву A_0 . Одиничний сигнал на виході елемента І 34 і-ої комірки 1 з'явиться тільки тоді, коли при наявності одиничного сигналу на вході 35 дозволу пристрою одиничний сигнал буде на виході регістра 32. Причому молодший елемент $g_{i,1}$ знаходиться у старшому N-му розряді регістра 32, а старший елемент $g_{i,N}$ - у першому розряді. Для наведеного в таблиці прикладу при зсуві у бік старших розрядів першим з'явиться одиничне значення на вході елемента І 34 другої комірки 1, яке

подається на керувальний вхід блока 33 елементів І і дозволить проходження на вихід 36 цієї комірки 1 значення операнда $a_{2,0}$, який є найменшим у вхідному масиві. Далі знов виконується зсув на один розряд у бік старших розрядів вмісту регістрів 32 всіх комірок 1. Тепер одиничний сигнал з'явиться на виході елемента І 34 третьої комірки, що дозволить проходження на вихід 36 цієї комірки 1 значення операнда $a_{3,0}$, тобто виконується сортування за зростанням.

Таблиця

Групи A_j Елементи груп $a_{i,j}$	A_0	A_1	A_2	A_3	A_4	A_5
$a_{1,j}$	11	8	6	3	0	-
$a_{2,j}$	3	0	-	-	-	-
$a_{3,j}$	5	2	0	-	-	-
$a_{4,j}$	8	5	3	0	-	-
$a_{5,j}$	15	12	10	7	4	0
Цикли обробки l		1	2	3	4	5
Найменше число q_i		3	2	3	3	4
Часткова сума S_j		15	8	9	6	4
Накопичення часткових сум S_j		15	23	32	38	42
Бінарні маски F_j Елементи масок $f_{i,j}$		F_1	F_2	F_3	F_4	F_5
$f_{1,j}$		1	1	1	1	0
$f_{2,j}$		1	0	0	0	0
$f_{3,j}$		1	1	0	0	0
$f_{4,j}$		1	1	1	0	0
$f_{5,j}$		1	1	1	1	1
Бінарні маски G_j Елементи масок $g_{i,j}$		G_1	G_2	G_3	G_4	G_5
$g_{1,j}$		0	0	0	1	0
$g_{2,j}$		1	0	0	0	0
$g_{3,j}$		0	1	0	0	0
$g_{4,j}$		0	0	1	0	0
$g_{5,j}$		0	0	0	0	1

