



УКРАЇНА

(19) UA (11) 7269 (13) U

(51) 7 G06F7/50

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС

ДО ДЕКЛАРАЦІЙНОГО ПАТЕНТУ
НА КОРИСНУ МОДЕЛЬвидається під
відповідальність
власника
патенту

(54) КОНВЕЕРНИЙ ПІДСУМОВУЮЧИЙ ПРИСТРІЙ

1

(21) 20041109358

(22) 15.11.2004

(24) 15.06.2005

(46) 15.06.2005, Бюл. №6, 2005р.

(72) Мартинюк Тетяна Борисівна, Балашов Костянтин Анатолійович, Мороз Ірина Віталіївна, Расенко Роман Анатолійович

(73) ВІННИЦЬКИЙ ДЕРЖАВНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ

(57) Конвеєрний підсумовуючий пристрій, який містить n входів та n комірок, крім того, i -та комірка містить блок порівняння, суматор, вузол виділення загальної частини операндів, три регістри, D-тригер, мультиплексор і блок логічних елементів l , причому перший вхід i -ої комірки з'єднаний з першим входом мультиплексора, вихід якого підключений до входу першого регістра, вихід якого з'єднаний з першим входом блока порівняння та першим входом вузла виділення загальної частини операндів, вихід якого з'єднаний з третім регістром, а вихід другого регістра з'єднаний з першим входом блока елементів l та другим входом блока порівняння, перший вихід якого з'єднаний з другим входом мультиплексора, а другий вихід з'єднаний з D-входом D-тригера, R-вхід якого підключений до входу установлення в початковий стан пристрою, інверсний вихід D-тригера підключений до другого входу блока елементів l , вихід якого є першим виходом i -ої комірки, другий вхід вузла виділення загальної частини операндів i -ої комірки з'єднаний з другим виходом $(i-1)$ -ої комірки, перший вхід суматора i -ої комірки з'єднаний з третім виходом $(i-1)$ -ої комірки, другий вхід з'єднаний з першим виходом $(i+1)$ -ої комірки, а вихід суматора є третім виходом i -ої комірки, вихід третього регістра є другим виходом i -ої комірки, керувальний вхід мульт-

2

типлексора підключений до керувального входу пристрою, вхід другого регістра є другим входом i -ої комірки, крім того, через відсутність в першій комірці вузла виділення загальної частини операндів та третього регістра, вихід першого регістра є другим виходом першої комірки, а перший вхід суматора з'єднаний з виходом блока елементів l , при цьому в n -ій комірці вхід третього регістра з'єднаний з виходом суматора, а вихід з'єднаний з другим входом суматора, вихід вузла виділення загальної частини операндів з'єднаний з входом другого регістра, а також підключений до другого входу $(n-1)$ комірок, третій вихід n -ої комірки є виходом пристрою, блок логічних елементів містить m елементів l , де m - розрядність вхідних величин, перші входи яких з'єднані з першим входом блока, другі входи з'єднані з другим входом блока, а виходи з'єднані з виходами блока елементів l , який відрізняється тим, що n -та комірка містить четвертий регістр, другий суматор і елемент АБО-НІ, причому вхід четвертого регістра n -ої комірки з'єднаний з виходом другого суматора цієї комірки, а його вихід є другим виходом пристрою і з'єднаний з другим входом другого суматора, перший вхід якого з'єднаний з виходом другого регістра n -ої комірки, вихід елемента АБО-НІ є третім виходом пристрою, а його вхід з'єднаний з виходом вузла виділення загальної частини операндів n -ої комірки, перший і другий знакові входи вузла виділення загальної частини операндів i -ої комірки з'єднані відповідно з другим виходом блока порівняння i -ої комірки і четвертим виходом $(i-1)$ -ої комірки, причому в усіх комірках, крім першої і n -ої, знаковий вихід третього регістра є четвертим виходом цієї комірки, а у першій комірці другий вихід блока порівняння є четвертим виходом першої комірки.

Корисна модель відноситься до автоматика та обчислювальної техніки і може бути використана при розв'язанні задач паралельного підсумовування та сортування елементів вхідного масиву даних при побудові спеціалізованих обчислювальних систем.

Відомий пристрій для підсумовування n -розрядних чисел масиву [а.с. 554537, кл. G06F7/385, 1977р.], що містить суматор з зсувом, n лічильників з m розрядами кожний, вхід кожного лічильника з'єднаний з виходом відповідного вхідного вентиля, входи всіх вхідних лічильників з'єд-

(19) UA (11) 7269 (13) U

нані з виходом блока керування, вихід кожного i -го розряду ($1 < i < m$) кожного j -го лічильника ($1 < j < p-1$) з'єднаний через відповідний вентиль з входом i -го розряду ($j+1$ -го лічильника, вихід кожного i -го розряду n -го лічильника з'єднаний через відповідний вентиль з входом i -го розряду суматора, входи всіх вентилів і нульові входи розрядів першого лічильника з'єднані з виходом блока керування, p -розрядний регістр, вихід кожного q -го розряду якого ($1 < q < n$) з'єднаний з входом q -го додаткового вентиля, причому вихід старшого розряду кожного q -го лічильника з'єднаний з входом q -го розряду регістра, вихід q -го додаткового вентиля з'єднаний з входом $(q+m)$ -го розряду суматора, входи всіх додаткових вентилів та нульові входи регістра з'єднані з виходом блока керування.

Недоліком даного пристрою є вузькі функціональні можливості через неможливість сортування елементів масиву даних.

Відомий пристрій для одночасного виконання операцій додавання над множиною чисел [а.с. 558276, кл. G06F7/385, 1977р.], що містить однотипні блоки, причому кожний i -й блок містить регістр часткового результату, вузол формування часткового результату, тригер зберігання молодшого розряду часткового результату, тригер формування кінцевого результату, елемент l , виходи старших розрядів вузла формування часткового результату з'єднані з входами регістра часткового результату $(i+1)$ -го блока, одиничний вихід тригера зберігання молодшого розряду часткового результату з'єднаний з першим входом елемента l , другий вхід якого з'єднаний з одиничним входом тригера формування кінцевого результату $(i-1)$ -го блока, вихід молодшого розряду вузла формування часткового результату підключений до одиничного входу тригера зберігання молодшого розряду часткового результату, нульові входи тригерів зберігання молодшого розряду часткового результату, формування кінцевого результату та регістра часткового результату підключені до шини тактових імпульсів, причому в i -й блок пристрою введені регістр порядку, вузол формування порядку, елемент АБО та два логічних вузли, причому виходи регістра порядку з'єднані з входами вузла формування порядку, виходи якого підключені до входів регістра порядку $(i-1)$ -го блока, крім того виходи регістра порядку з'єднані з входами елемента АБО, вихід якого з'єднаний з підсумовуючим входом вузла формування порядку, а також з керуючими входами логічних вузлів, виходи регістра часткового результату з'єднані з входами логічних вузлів, виходи першого логічного вузла підключені до входів n старших розрядів вузла формування часткового результату, а виходи другого логічного вузла підключені до входів $(n+1)$ -го розряду вузла формування часткового результату, причому n -ий вихід другого логічного вузла підключений до n -го та $(n+1)$ -го входів вузла формування часткового результату, до підсумовуючого входу якого підключений одиничний вихід тригера зберігання молодшого розряду часткового результату, вихід елемента l з'єднаний з $(n-1)$ -им розрядом регістра часткового результату $(i+1)$ -го блока.

Недоліком даного пристрою є обмежені функціональні можливості, оскільки в процесі додавання відсутня можливість сортування елементів вхідної множини чисел.

Найбільш близьким по технічній суті є конвеєрний підсумовуючий пристрій [патент України №46877, МПК7 G06G7/14, G06F7/50, 2002р.], в подальшому поименований як конвеєрний пристрій, який містить n входів і n комірок, крім того, i -та комірка містить блок порівняння, суматор, вузол виділення загальної частини операндів, три регістри, D-тригер, мультиплексор і блок логічних елементів l , причому перший вхід i -ої комірки з'єднаний з першим входом мультиплексора, вихід якого підключений до входу першого регістра, вихід якого з'єднаний з першим входом блока порівняння та першим входом вузла виділення загальної частини операндів, вихід якого з'єднаний з третім регістром, а вихід другого регістра з'єднаний з першим входом блока елементів l та другим входом блока порівняння, перший вихід якого з'єднаний з другим входом мультиплексора, а другий вихід - з D-входом D-тригера, R-вхід якого підключений до входу установлення в початковий стан пристрою, інверсний вихід D-тригера підключений до другого входу блока елементів l , вихід якого є першим виходом i -ої комірки, другий вхід вузла виділення загальної частини операндів i -ої комірки з'єднаний з другим виходом $(i-1)$ -ої комірки, перший вхід суматора i -ої комірки з'єднаний з третім виходом $(i-1)$ -ої комірки, другий вхід - з першим виходом $(i+1)$ -ої комірки, а вихід суматора є третім виходом i -ої комірки, вихід третього регістра є другим виходом i -ої комірки, керувальний вхід мультиплексора підключений до керувального входу пристрою, вхід другого регістра є другим входом i -ої комірки, крім того, через відсутність в першій комірці вузла виділення загальної частини операндів та третього регістра, вихід першого регістра є другим виходом першої комірки, а перший вхід суматора з'єднаний з виходом блока елементів l , при цьому в n -ій комірці вхід третього регістра з'єднаний з виходом суматора, а вихід - з другим входом суматора, вихід вузла виділення загальної частини операндів з'єднаний з входом другого регістра, а також підключений до другого входу $(n-1)$ комірок, третій вихід n -ої комірки є виходом пристрою, блок логічних елементів містить m елементів l , де m - розрядність вхідних величин, перші входи яких з'єднані з першим входом блока, другі входи - з другим входом блока, а виходи - з виходами блока елементів l .

Недоліком цього пристрою є те, що в процесі обробки в ньому відсутня можливість одночасного сортування разом із підсумовуванням елементів масиву чисел.

В основу корисної моделі поставлена задача створення конвеєрного пристрою, в якому введення нових блоків та нових зв'язків дає можливість разом із формуванням суми відсортувати елементи вхідного масиву, що приводить до розширення функціональних можливостей пристрою.

Поставлена задача досягається тим, що в конвеєрний пристрій, який містить n входів та n комірок, крім того, i -та комірка містить блок порів-

няння, суматор, вузол виділення загальної частини операндів, три регістри, D-тригер, мультиплексор і блок логічних елементів I, причому перший вхід i-ої комірки з'єднаний з першим входом мультиплексора, вихід якого підключений до входу першого регістра, вихід якого з'єднаний з першим входом блока порівняння та першим входом вузла виділення загальної частини операндів, вихід якого з'єднаний з третім виходом реєстру, а вихід другого регістра з'єднаний з першим входом блока елементів I та другим входом блока порівняння, перший вихід якого з'єднаний з другим входом мультиплексора, а другий вихід з'єднаний з D-входом D-тригера, R-вихід якого підключений до входу установлення в початковий стан пристрою, інверсний вихід D-тригера підключений до другого входу блока елементів I, вихід якого є першим виходом i-ої комірки, другий вхід вузла виділення загальної частини операндів i-ої комірки з'єднаний з другим виходом (i-1)-ої комірки, перший вхід суматора i-ої комірки з'єднаний з третім виходом (i-1)-ої комірки, другий вхід з'єднаний з першим виходом (i+1)-ої комірки, а вихід суматора є третім виходом i-ої комірки, вихід третього регістра є другим виходом i-ої комірки, керувальний вхід мультиплексора підключений до керувального входу пристрою, вхід другого регістра є другим входом i-ої комірки, крім того, через відсутність в першій комірці вузла виділення загальної частини операндів та третього регістра, вихід першого регістра є другим виходом першої комірки, а перший вхід суматора з'єднаний з виходом блока елементів I, при цьому в n-ій комірці вхід третього регістра з'єднаний з виходом суматора, а вихід з'єднаний з другим входом суматора, вихід вузла виділення загальної частини операндів з'єднаний з входом другого регістра, а також підключений до другого входу (n-1) комірок, третій вихід n-ої комірки є виходом пристрою, блок логічних елементів містить m елементів I, де m - розрядність вхідних величин, перші входи яких з'єднані з першим входом блока, другі входи з'єднані з другим входом блока, а виходи з'єднані з виходами блока елементів I, введені в n-ту комірку четвертий регістр, другий суматор і елемент АБО-НІ, причому вхід четвертого регістра n-ої комірки з'єднаний з виходом другого суматора цієї комірки, а його вихід є другим виходом пристрою і з'єднаний з другим входом другого суматора, перший вхід якого з'єднаний з виходом другого регістра n-ої комірки, вихід елемента АБО-НІ є третім виходом пристрою, а його вхід з'єднаний з виходом вузла виділення загальної частини операндів n-ої комірки, перший і другий знакові входи вузла виділення загальної частини операндів i-ої комірки з'єднані відповідно з другим виходом блока порівняння i-ої комірки і четвертим виходом (i-1)-ої комірки, причому в усіх комірках, крім першої і n-ої, знаковий вихід третього реєстра є четвертим виходом цієї комірки, а у першій комірці другий вихід блока порівняння є четвертим виходом першої комірки.

На кресленні зображена функціональна схема першої, i-ої та n-ої комірок пристрою.

Конвеєрний пристрій містить n комірок 1, причому i-та комірка 1 містить блок порівняння, в яко-

сті якого використовується арифметично-логічний пристрій (АЛП) 2, суматор 3, вузол 4 виділення загальної частини операндів (крім першої комірки), регістри 5, 6 і реєстр 7 (крім першої і n-ої комірок), мультиплексор 8, блок 9 елементів I, D-тригер 10. Вихід мультиплексора 8 i-ої комірки 1 підключений до входу 11 регістра 5, у якого вихід з'єднаний з входом 12 АЛП 2 та входом 13 вузла 4 виділення загальної частини операндів. Вихід реєстра 6 з'єднаний з інформаційним входом блока 9 елементів I та входом 14 АЛП 2, вихід 15 якого з'єднаний з другим інформаційним входом мультиплексора 8, а вихід 16 ознаки від'ємного результату АЛП 2 з'єднаний з D-входом D-тригера 10, R-вихід якого підключений до входу 17 установлення в початковий стан пристрою. Інверсний вихід D-тригера 10 підключений до керувального входу блока 9 елементів I, вихід якого підключений до виходу 18 i-ої комірки 1.

Крім того, вхід 19 вузла 4 виділення загальної частини операндів (i+1)-ої комірки 1 з'єднаний з виходом 20 i-ої комірки 1, вхід 21 суматора 3 i-ої комірки 1 (крім першої) з'єднаний з виходом 22 (i-1)-ої комірки 1, а вихід суматора 3 є виходом 22 i-ої комірки 1. Вхід регістра 6 підключено до входу 23 i-ої комірки 1 (крім n-ої), вихід вузла 4 виділення загальної частини операндів з'єднаний з входом регістра 7, інформаційний вихід якого є виходом 20 i-ої комірки 1 (крім першої і n-ої). Перший інформаційний вхід мультиплексора 8 з'єднаний з входом 24 i-ої комірки 1, керувальний вхід з'єднаний з керувальним входом 25 пристрою, а вхід 26 суматора 3 i-ої комірки 1 підключено до виходу 18 (i+1)-ої комірки 1.

У першій комірці 1 вихід регістра 5 є виходом 20 першої комірки 1, а вхід 21 суматора 3 з'єднаний з виходом блока 9 елементів I цієї комірки. Остання n-та комірка 1 містить реєстр 27, вхід якого підключений до виходу суматора 3 n-ої комірки 1, а вихід підключений до входу 26 цього ж суматора 3, вихід вузла 4 виділення загальної частини операндів з'єднаний з входом реєстра 6 цієї комірки 1, а також з входом 23 всіх молодших (n-1)-х комірок 1, вихід 22 n-ої комірки 1 є виходом пристрою. Знакові входи 28 і 29 вузла 4 виділення загальної частини операндів i-ої комірки 1 з'єднані відповідно з виходом 16 АЛП 2 i-ої комірки 1 і виходом 30 (i-1)-ої комірки 1, причому в усіх комірках 1 (крім першої і n-ої) знаковий вихід регістра 7 є виходом 30 цієї комірки 1, а у першій комірці 1 вихід 16 АЛП 2 є виходом 30 цієї комірки 1.

Крім того, n-та комірка 1 містить суматор 31, реєстр 32, елемент АБО-НІ 33, причому вхід реєстра 32 з'єднаний з виходом суматора 31 n-ої комірки, а вихід є виходом 34 пристрою і з'єднаний з входом 35 суматора 31, вхід 36 якого з'єднаний з виходом регістра 6 n-ої комірки 1, вихід елемента АБО-НІ 33 є виходом 37 n-ої комірки 1, а його вхід з'єднаний з виходом вузла 4 виділення загальної частини операндів n-ої комірки 1.

Пристрій працює таким чином

Операції підсумовування і сортування виконуються в такий спосіб.

Крок 1

Визначається загальна значуща частина q_j всіх операндів масиву A_{j-1} у j -му циклі, тобто

$$q_j = \min\{a_{i,j}\}_{i=1}^n, \quad (1)$$

де $a_{i,0}$ - i -й операнд на вході 24 пристрою;
1: $j \geq n$.

Перевіряється умова

$$q_j = 0 \quad (2)$$

Якщо так, то процес обробки закінчується.

Якщо ні, то виконується крок 2.

Крок 2. Виділяється зріз різниць A_j , тобто сукупність величин різниці всіх операндів масиву A_{j-1} j -го циклу з їхньою загальною частиною q_j , тобто

$$A_j = \{a_{i,j}\}_{i=1}^n = \{a_{i,j-1} - q_j\}_{i=1}^n \quad (3)$$

В подальшому отриманий зріз різниць A_j є вхідним масивом операндів для наступного ($j+1$)-го циклу. Формується бінарна маска F_j , елементи якої визначаються таким чином:

$$f_{i,j} = \begin{cases} 1, & \text{якщо } a_{i,j} \geq 0, \\ 0, & \text{якщо } a_{i,j} < 0, \end{cases} \quad (4)$$

Крок 3. Формується часткова сума S_j , де кратність p_j визначається кількістю додатних ненульових операндів масиву A_{j-1} j -го циклу, тобто

$$S_j = q_j p_j = q_j \cdot f_{1,j} + \dots + q_j \cdot f_{n,j} = q_j \cdot \sum_{i=1}^n f_{i,j}. \quad (5)$$

На цьому ж кроці підсумовуються часткові суми S_1, \dots, S_j і загальні частини q_1, \dots, q_j операндів, які отримані у попередніх ($j-1$)-х і у поточному j -му циклах, тобто

$$S_k = \sum_{j=1}^k S_j = \sum_{j=1}^k q_j p_j \quad (6)$$

$$q_k = \sum_{j=1}^k q_j, \quad k = \overline{1, N}. \quad (7)$$

Повторюються кроки 1-3, доки на кроці 1 j -го циклу не буде виконуватись умова (2).

Таким чином, остаточний результат підсумовування формується в процесі накопичення часткових сум всіх N циклів, причому $N_{\max} = n$, а в середньому кількість циклів визначається за формулою

$$N = n - \sum_{r=1}^R (m_r - 1), \quad (8)$$

де R - кількість груп з кількістю ніг повторюваних чисел у початковому масиві даних.

А в процесі підсумовування загальних частин q_j операндів (7) у кожному j -му циклі формується послідовність елементів вхідного масиву чисел, які розташовані за зростанням, тобто виконується сортування за зростанням.

Отже, на вхід 24 i -ої комірки 1 надходить i -ий операнд $a_{i,0}$ з масиву операндів A_0 , розмірність якого дорівнює n . Запис операндів $a_{i,0}$ в комірки 1 виконується паралельно. Через мультиплексор 8 i -ий операнд $a_{i,0}$ надходить по входу 11 в регістр 5 i -

ої комірки 1. Після цього виконується послідовне виділення загальної частини двох операндів - ($i-1$)-го та i -го вузлом 4 виділення загальної частини операндів за інформацією, що подається на його інформаційні входи 13 і 19 та знакові входи 28 і 29 і здійснюється запис результату в регістр 7. Ця операція виконується послідовно, починаючи з другої комірки 1, згідно із виразом (1) на 1-му кроці обробки. Кінцевий результат виділення загальної частини q_1 всіх n операндів виду (1) формується в n -ій комірці 1 і з виходу вузла 4 виділення загальної частини операндів цієї комірки 1 мінімальна складова q_1 (загальна частина всіх операндів) записується в регістр 6 всіх n комірок 1 паралельно, якщо величина q_1 ненульова і на виході 37 пристрою відсутній одиничний сигнал завершення операції підсумовування. При запису у регістр 6 задіяний вхід 23 всіх комірок 1 (крім n -ої).

Після цього відбувається порівняння в АЛП 2 i -го операнда $a_{i,0}$, що надходить по входу 12 з регістра 5, та загальної частини q_1 всіх операндів, що надходить по входу 14 з регістра 6 i -ої комірки 1. Порівняння відбувається в процесі віднімання від величини операнда $a_{i,0}$ загальної частини q_1 всіх операндів, згідно із виразом (3) на 2-му кроці обробки, а різниця записується з виходу 15 АЛП 2 через мультиплексор 8 в регістр 5. При цьому з виходу 16 ознака від'ємного результату різниці, тобто сигнал $\bar{f}_{1,1}$ (4) записується в D-тригер 10, який перед початком роботи пристрою був занулений сигналом по входу 17 установлення в початковий стан пристрою. Перед початком роботи регістри 5,6,7 всіх комірок 1 і регістри 27,32 n -ої комірки 1 занулені.

При відсутності одиничного сигналу ознаки від'ємного результату одиничний сигнал $f_{1,1}$ з інверсного виходу D-тригера 10 дозволяє проходження через блок 9 елементів I загальної частини операндів q_1 з регістра 6 через вихід 18 i -ої комірки 1 на вхід 26 суматора 3 ($i-1$ -ої комірки 1 (крім n -ої), де відбувається формування часткових сум S_j виду (5) у відповідні j -ті цикли підсумовування операндів. Одночасно відбувається надходження величини q_1 на вхід 36 суматора 31 n -ої комірки 1. У суматорі 31 ця величина підсумовується з величиною, що надходить з регістра 32 на вхід 35 суматора 31. Оскільки перед початком роботи пристрою регістр 32 був занулений, то у 1-му циклі у регістр 32 записується величина q_1 .

В першій комірці 1 величина q_1 з регістра 6 проходить на вхід 21 суматора 3 цієї комірки 1 через блок 9 елементів I. У випадку, якщо на виході 16 АЛП 2 i -ої комірки 1 з'явиться одиничний сигнал ознаки від'ємного результату, то нульовий сигнал $f_{1,1}$ з інверсного виходу D-тригера 10 заборонить проходження величини q_1 в даному циклі обробки через блок 9 елементів I на вхід 26 суматора 3 ($i-1$ -ої комірки 1).

Таблиця

Масиви A_j		A_0	A_1	A_2	A_3	A_4	A_5
Елементи масиву $a_{i,j}$							
$a_{1,j}$		11	8	6	3	0	-
$a_{2,j}$		3	0	-	-	-	-
$a_{3,j}$		5	2	0	-	-	-
$a_{4,j}$		8	5	3	0	-	-
$a_{5,j}$		15	12	10	7	4	0
Цикли обробки t_j			1	2	3	4	5
Найменше число q_j			3	2	3	3	4
Часткова сума S_j			15	8	9	6	4
Накопичення часткових сум S_j			15	23	32	38	42
Бінарні маски F_j			F_1	F_2	F_3	F_4	F_5
Елементи масок $f_{i,j}$							
$f_{1,j}$			1	1	1	1	0
$f_{2,j}$			1	0	0	0	0
$f_{3,j}$			1	1	0	0	0
$f_{4,j}$			1	1	1	0	0
$f_{5,j}$			1	1	1	1	1
Елементи відсортованого масиву за зростанням			3	5	8	11	15

Таким чином, в суматорах 3 кожної комірки 1 відбувається послідовне підсумовування величин q_1 , а в результаті на виході 22 суматора 3 n -ої комірки 1 формується часткова сума S_1 операндів згідно з виразом (5) на 3-му кроці обробки, в регістрі 32 n -ої комірки 1 фіксується величина q_1 . Так виконується 1-ий цикл обробки. Далі цикли повторюються і кількість їх в середньому дорівнює величині (8). Процес підсумовування закінчується при появі одиничного сигналу на виході 37 при-

строю. Після виконання всіх циклів N обробки на виході 22 суматора 3 n -ої комірки 1 формується остаточна сума S_N виду (6), на виході 34 регістра 32 n -ої комірки 1 фіксується значення максимального елемента вхідного масиву. У таблиці наведено приклад формування суми чисел {11, 3, 5, 8, 15}, бінарної матриці масок F , а також формування послідовності елементів відсортованого масиву чисел, причому ризикою позначені від'ємні елементи $a_{i,j}$.

