Винахід відноситься до автоматики та обчислювальної техніки та може бути використаний для розв'язання задач паралельної порогової обробки масиву чисел при побудові спеціалізованих обчислювальних систем.

Відомий пристрій для підсумовування n-розрядних чисел масиву (а.с. СССР 554537, кл. G06F7/385, 1977р.), що містить суматор з зсувом, n лічильників з m розрядами кожний, вхід кожного лічильника з'єднаний з виходом відповідного вхідного вентиля, входи всіх вхідних лічильників з'єднані з виходом блока керування, вихід кожного і-го розряду (1<i<m) кожного j-го лічильника (1<j<n-1) з'єднаний через відповідний вентиль з входом і-го розряду (J+1) лічильника, вихід кожного і-го розряду n-го лічильника з'єднаний через відповідний вентиль з входом і-го розряду суматора, входи всіх вентилів і нульові входи розрядів першого лічильника з'єднані з виходом блока керування, n-розрядний регістр, вихід кожного q-го розряду якого (1<j<n) з'єднаний з входом q-го додаткового вентиля, причому вихід старшого розряду кожного q-го лічильника з'єднаний з входом q-го розряду регістра, вихід q-го додаткового вентиля з'єднаний з входом (q+m)-го розряду суматора, входи всіх додаткових вентилів та нульові входи регістра з'єднані з виходом блока керування.

Пристрій виконує підсумовування масиву чисел, що подаються одночасно на входи пристрою, за рахунок послідовного підсумовування перетворених кодів на суматорі.

Недоліком даного пристрою є неможливість одночасного виконання операції підсумовування та порівняння із пороговим значенням через обмеженість функціональних можливостей пристрою.

Відомий пристрій для одночасного виконання операцій додавання над множиною чисел (а.с. СССР 558276, кл. G06F7/385, 1977р.), що містить однотипні блоки, причому кожний і-й блок містить регістр часткового результату, вузол формування часткового результату, тригер зберігання молодшого розряду часткового результату, тригер формування кінцевого результату, елемент І, входи n старших розрядів вузла формування часткового результату з'єднані з входами регістра часткового результату (і+1)-го блока, одиничний вихід тригера зберігання молодшого розряду часткового результату з'єднаний з першим входом елемента І, другий вхід якого з'єднаний з одиничним входом тригера формування кінцевого результату (і-1)-го блока, вихід молодшого розряду вузла формування часткового результату підключений до одиничного входу тригера зберігання молодшого розряду часткового результату, нульові входи тригерів зберігання молодшого розряду часткового результату, формування кінцевого результату та регістра часткового результату підключені до шини тактових імпульсів, причому в і-й блок пристрою введені регістр порядку, вузол формування порядку, елемент АБО та два логічних вузла, виходи регістра порядку з'єднані з входами вузла формування порядку, виходи якого підключені до входів регістра порядку (і+1)-го блоку, крім того виходи регістра порядку з'єднані з входами елемента АБО, вихід якого з'єднаний з підсумовуючим входом вузла формування порядку, а також з керуючими входами логічних вузлів, виходи регістра часткового результату з'єднані з входами логічних вузлів, виходи першого логічного вузла підключені до входів n старших розрядів вузла формування часткового результату, а виходи другого логічного вузла підключені до входів (n+1)-розрядів вузла формування часткового результату, причому n-ий вихід другого логічного вузла підключений до n-го та (n+1)-го входів вузла формування часткового результату, до підсумовуючого входу якого підключений одиничний вихід тригера зберігання молодшого розряду часткового результату, вихід елемента І з'єднаний з (n-1)-им розрядом регістра часткового результату (і+1)-го блока.

Пристрій реалізує операцію додавання послідовності чисел з плаваючою комою.

Недоліком даного пристрою є обмежені функціональні можливості, оскільки спосіб додавання не дозволяє суміщати виконання операцій додавання та порівняння із пороговим значенням.

Найбільш близьким по технічній суті є конвеєрний пристрій для одночасного виконання арифметичних операцій над множиною чисел (а.с. СРСР 922726, кл. G06F7/38, 1982р.), який складається із послідовно з'єднаних ярусів, кожний з яких містить регістр часткового результату, регістр співмножника, суматор часткового результату, перший керуючий тригер, елемент І та перший тригер, причому виходи регістра часткового результату відповідно з'єднані з входами першої групи суматора часткового результату, виходи регістра співмножника з'єднані відповідно з входами регістра співмножника наступного ярусу, виходи першого керуючого тригера з'єднані відповідно з входами першого керуючого тригера наступного ярусу, шина тактових імпульсів пристрою з'єднана з входами встановлення тригерів і регістрів, кожен ярус пристрою містить регістр переносів, другий, третій та четвертий тригери, вузол виділення старшої цифри часткового результату, перший та другий вузли перетворення прямого коду в доповняльний, другий, третій четвертий, п'ятий і шостий елементи І, другий керуючий тригер, причому одиничні виходи першого і другого тригерів з'єднані з керуючими входами першого перетворювача прямого коду в доповняльний, одиничні виходи третього і четвертого тригерів з'єднані з керуючими входами другого перетворювача прямого коду в доповняльний відповідно, нульовий вихід другого керуючого тригера з'єднаний з керуючим входом вузла виділення старшої цифри часткового результату, виходи (n+5) молодших розрядів суматора часткового результату (n-розрядність операндів) підключені відповідно до входів регістра часткового добутку наступного ярусу пристрою, виходи п'яти старших розрядів суматора часткового результату з'єднані відповідно з інформаційними входами вузла виділення старшої цифри часткового результату, перший і другий виходи якого з'єднані відповідно з входами встановлення в одиничний і нульовий стани відповідно першого тригера наступного ярусу і третього тригера даного ярусу пристрою, третій і четвертий виходи вузла виділення старшої цифри часткового результату з'єднані з входами встановлення в одиничний і нульовий стан відповідно другого тригера наступного ярусу і четвертого тригера даного ярусу пристрою, виходи переносів розрядів суматора часткового результату з другого по n-й з'єднані відповідно з входами регістра переносів наступного ярусу пристрою, виходи регістра співмножника з'єднані з інформаційними входами (n+6) старших розрядів другого перетворювача прямого коду в доповняльний, до інформаційного входу молодшого розряду якого підключений одиничний вихід другого керуючого тригера, а також інформаційний вхід першого перетворювача прямого коду в доповняльний, виходи першого і другого перетворювачів прямого коду в доповняльний з'єднані з входами другої групи суматора часткового результату, входи третьої групи якого підключені до виходів регістра переносів відповідно, одиничний вихід першого керуючого тригера з'єднаний з першим входом другого елемента І, другий вхід якого з'єднаний з одиничним виходом четвертого тригера, одиничний вихід першого керуючого тригера підключений до першого входу третього елемента І, другий вхід якого з'єднаний з нульовим виходом третього тригера, треті входи другого і третього елементів І з'єднані з нульовими виходами відповідно четвертого і третього тригерів наступного ярусу пристрою, вихід другого елемента І з'єднаний із входами встановлення в одиничний і нульовий стани відповідно третього і четвертого тригерів наступного ярусу пристрою, а також з першим входом першого елемента І, другий вхід якого з'єднаний з

одиничним виходом третього тригера і з першим входом четвертого елемента І, другий вхід якого з'єднаний з нульовим виходом третього тригера, вихід третього елемента І з'єднаний з входами встановлення в одиничний і нульовий стани відповідно четвертого і третього тригерів наступного ярусу пристрою, а також з першим входом п'ятого елемента І, другий вхід якого з'єднаний з одиничним виходом четвертого тригера і з першим входом шостого елемента І, другий вхід якого підключений до нульового виходу четвертого тригера, виходи першого, четвертого, п'ятого і шостого елементів І з'єднані відповідно з входами встановлення в нульовий стан першого тригера наступного ярусу і третього тригера даного ярусу пристрою, з входами встановлення в одиничний стан другого тригера наступного ярусу і четвертого тригера даного ярусу пристрою, з входами встановлення в нульовий стан другого тригера наступного ярусу і четвертого тригера даного ярусу пристрою і з входами встановлення в одиничний стан першого тригера наступного ярусу і третього тригера даного ярусу пристрою, виходи другого керуючого тригера з'єднані відповідно з входами другого керуючого тригера наступного ярусу пристрою.

Даний пристрій призначений для виконання таких операцій, як множення та підсумовування послідовності чисел, а також обчислення полінома

$P(x)=a_n x^k+a_{n-1}x^{k-1}+...+a_1 x+a_0$.

Недоліком даного пристрою є можливість обробки лише послідовності чисел, а не одновимірного масиву чисел, що подаються одночасно на входи пристрою. Крім того, у цьому пристрої відсутня можливість суміщення виконання операції підсумовування та порівняння із зовнішнім пороговим значенням, що обмежує його функціональні можливості при моделюванні, наприклад, нейроподібних мереж.

В основу винаходу поставлено задачу розробки конвеєрного пристрою, в якому за рахунок введення нових блоків та зв'язків між ними забезпечується виконання конвеєрного способу паралельної порогової обробки масиву n операндів, що приводить до розширення функціональних можливостей пристрою.

Поставлена задача досягається тим, що в конвеєрний пристрій, який складається з послідовно з'єднаних ярусів, кожний з яких містить регістр часткового результату і суматор часткового результату, а шина тактових імпульсів пристрою з'єднана з входами встановлення тригерів, в кожний і-ий ярус введено мініматор, арифметично-логічний пристрій (АЛП), два регістри, мультиплексор і блок логічних елементів І, причому перший вхід і-го ярусу з'єднаний з першим входом мультиплексора, вихід якого підключений до входу регістра часткового результату, у якого вихід з'єднаний з першим входом АЛП та першим інформаційним входом мініматора, вихід якого з'єднаний з входом першого регістра, а вихід другого регістра з'єднаний з першим входом блока елементів І та другим входом АЛП, перший вихід якого з'єднаний з другим входом мультиплексора, а другий вихід підключений до першого знакового входу мініматора і до другого входу блока елементів І, вихід якого є першим виходом і-го ярусу, другі інформаційний і знаковий входи мініматора і-го ярусу з'єднані з другим та третім виходом (і-1)-го ярусу відповідно, перший вхід суматора часткового результату і-го ярусу з'єднаний з четвертим виходом (і-1)-го ярусу, другий вхід з'єднаний з першим виходом (і+1)-го ярусу, а вихід суматора часткового результату є четвертим виходом і-го ярусу, вихід першого регістра є другим виходом і-го ярусу, керувальний вхід мультиплексора підключений до шини керування пристрою, вхід другого регістра є другим входом і-го ярусу, крім того, перший ярус не містить мініматора та першого регістра, вихід регістра часткового результату є другим виходом першого ярусу, а перший вхід суматора часткового результату з'єднаний з виходом блока елементів І, який містить m елементів І (де m - розрядність вхідних величин), перші входи яких з'єднані з першим входом блока, другі (інверсні) входи з'єднані з другим входом блока, а виходи з'єднані з виходами блока елементів І, крім того, m-ий ярус замість суматора часткового результату містить другий АЛП, а також другий мультиплексор і логічний елемент АБО, причому у n-му ярусі вхід першого регістра з'єднаний з виходом другого мультиплексора, а вихід з'єднаний з першим входом другого АЛП, вихід мініматора з'єднаний з входом другого регістра, а також підключений до других входів (n-1) молодших ярусів, вихід ознаки нульового результату мініматора n-го ярусу є виходом сигналу "Кінець" пристрою, крім того, перший вхід другого мультиплексора з'єднаний з входом порогового сигналу пристрою, а другий вхід з'єднаний з інформаційним виходом другого АЛП, знаковий вихід та вихід нульового результату якого підключені до входів логічного елемента АБО, вихід якого є виходом пристрою, другий вхід другого АЛП з'єднаний з четвертим виходом (n-1)-го ярусу, керувальний вхід другого мультиплексора підключений до шини керування пристрою, а шина тактових імпульсів пристрою з'єднана також з входами встановлення тригерів другого АЛП.

Представлення пристрою у вигляді n ярусів, кожний з яких містить суматор часткового результату, мініматор, три регістри, мультиплексор, АЛП та блок елементів І з відповідними зв'язками між ними, а n-ий ярус, крім того, містить додаткові АЛП і мультиплексор, а також логічний елемент АБО, дозволяє організувати паралельно-послідовну (конвеєрну) порогову обробку масиву n операндів тому, що кожний і-ий ярус пристрою обробляє і-й елемент масиву, а сам процес обробки виконується послідовно, причому в кожному циклі виконується порівняння поточної часткової суми з порогом і формування одиничного або нульового вихідного сигналу обробки за результатом порівняння.

На фіг.1 зображена функціональна схема пристрою, на фіг.2, 3 показано функціональні схеми відповідно АЛП і мініматора, на фіг.4 наведено приклад функціонування конвеєрного пристрою.

Пристрій містить n ярусів 1, причому і-ий ярус містить АЛП 2, суматор 3 часткового результату, мініматор 4, регістр 5 часткового результату, два регістри 6, 7, мультиплексор 8, блок 9 елементів І. Вихід 10 мініматора 4 n-го ярусу 1 з'єднаний з входом регістра 6 цього ярусу, а вихід мультиплексора 8 і-го ярусу 1 підключено до входу 11 регістра 5 часткового результату, у якого вихід з'єднаний з прямим входом 12 АЛП 2 та входом 13 мініматора 4. Вихід регістра 6 з'єднаний з інформаційним входом блока 9 та інверсним входом 14 АЛП 2, вихід 15 якого з'єднаний з другим інформаційним входом мультиплексора 8, вихід 16 знаку АЛП 2 з'єднаний з керувальним входом блока 9, а керувальний вхід АЛП 2 підключений до шини 17 тактових імпульсів пристрою. Вихід блока 9 підключено до виходу 18 і-го ярусу 1, крім того, вхід 19 мініматора 4 і-го ярусу 1 з'єднаний з виходом 20 (і-1)-го ярусу 1, вхід 21 суматора 3 і-го ярусу 1 з'єднаний з виходом 22 (і-1)-го ярусу 1, а вихід суматора 3 є виходом 22 і-го ярусу 1. В і-ому ярусі 1 вхід регістра 6 підключено до входу 23 і-го ярусу 1, вихід 10 мініматора 4 з'єднаний з входом регістра 7, вихід якого є виходом 20 і-го ярусу 1, а вихід 10 мініматора 4 n-ого ярусу 1 підключнений до входів 23 всіх (п-1) молодших ярусів 1. Перший інформаційний вхід мультиплексора 8 з'єднаний з входом 24 і-го ярусу 1, керувальний вхід з'єднаний з шиною керування 25 пристрою, а вхід 26 суматора 3 і-го ярусу 1 підключено до виходу 18 (і+1)-го ярусу 1. Блок 9 містить m логічних елементів І (де m - розрядність вхідних величин), інверсні

входи яких з'єднані з керувальним входом блока 9, прямі входи з'єднані з відповідними інформаційними входами блока 9, а виходи з'єднані з відповідними інформаційними виходами блока 9. Перший ярус 1 не містить мініматора 4 та регістр 7, вихід регістра 5 часткового результату є виходом 20 першого ярусу 1, а вхід 21 суматора 3 часткового результату з'єднаний з виходом блока 9 цього ж ярусу 1. Останній n-ий ярус 1 замість регістра 7 містить регістр 27, замість суматора 3 часткового результату містить АЛП 28, а також мультиплексом 29 та елемент АБО 30, у мультиплексора 29 керувальний вхід з'єднаний з шиною керування 25 пристрою, перший інформаційний вхід підключений до входу 31 порогового сигналу пристрою, другий інформаційний вхід підключений до інформаційного виходу 32 АЛП 28, а вихід з'єднаний з входом 33 регістра 27. Вихід регістра 27 підключений до прямого входу 34 АЛП 28, виходи ознак якого є відповідно виходом 35 знаку і виходом 36 ознаки нуля, а інверсний вхід 37 АЛП 28 підключений до виходу 22 (n-1)-го ярусу 1. Виходи 35 і 36 АЛП 28 з'єднані з входами елемента АБО 30, вихід якого є виходом 38 пристрою. Крім того, вихід 16 знаку АЛП 2 (i-1)-го і i-го ярусів 1 підключені відповідно до входів 39 та 40 мініматора 4 i-го ярусу 1, починаючи з другого ярусу 1, а вихід ознаки нуля мініматора 4 n-го ярусу 1 є виходом 41 сигналу "Кінець" пристрою.

Арифметично-логічний пристрій 28 n-го ярусу 1 (фіг.2) містить m-розрядний суматор 42, групу із m інверторів $43_1,...,43_m$, схему АБО-НІ 44 з групою m входів, два D-тригера 45, 46, причому перша група m-розрядних входів суматора 42 підключена до m-розрядного входу 34 АЛП 28, а друга група входів підключена до виходів групи інверторів $43_1,..,43_m$, входи яких підключені до входу 37 АЛП 28. Вхід перенесення PO суматора 42 підключений через резистор 47 до входу живлення +5В, крім того, С-входи D-тригерів 45, 46 з'єднані з шиною 17 тактових імпульсів пристрою. Вихід знаку P1 суматора 42 підключений до D-входу D-тригера 45, прямий вихід якого є знаковим виходом 35 АЛП 28, m-розрядний вихід суматора 42 є інформаційним виходом 32 АЛП 28, а також підключений до групи m входів схеми АБО-НІ 44, вихід якої з'єднаний з D-входом D-тригера 46, прямий вихід якого є виходом 36 ознаки нуля АЛЛ 28.

Мініматор 4 n-го ярусу 1 (фіг.3) містить схему порівняння 48, елементи АБО-НІ 49, 50, 51, 52; елементи АБО 53, 54, 55, елементи І 56, 57, 58, НІ 59, 60, 61, елемент І-НІ 62, схеми нерівнозначності 63, 64, а також групи m елементів І 65, 66 і АБО 67 і елемент АБО-НІ 68.

Дві групи входів схеми 48 порівняння з'єднані відповідно із входами 19, 13 мініматора 4 і входами елементів АБО-НІ 49, 50. Знакові входи 39, 40 мініматора 4 і виходи елементів АБО-НІ 49, 50 підключені до шини ознак і утворюють відповідно її перший, другий, третій і четвертий виходи, причому третій і четвертий виходи шини ознак з'єднані з входами елемента АБО-НІ 51. Перший і третій виходи шини ознак підключені до входів схеми нерівнозначності 64, другий і четвертий виходи шини ознак підключені до входів схеми нерівнозначності 63, перший і другий виходи шини ознак підключені до входів елементів НІ 59, 60 і АБО-НІ 52 і перших двох входів елемента І-НІ 62. Виходи елементів АБО-НІ 51, 52 підключені до першого і другого входів елемента І 56, третій вхід якого з'єднаний з виходом елемента АБО 53, входи якого з'єднані з виходами "=" і "<" схеми 48 порівняння. Вихід елемента І 56 з'єднаний з першим входом елемента АБО 54, а виходи схеми нерівнозначності 63 і елемента НІ 59 підключені до входів елемента І 57, вихід якого з'єднано з другим входом елемента АБО 54. Виходи схеми нерівнозначності 64 і елемента НІ 60 підключено до входів елемента І 58, вихід якого під'єднаний до першого входу елемента АБО 55. Вихід елемента АБО 54 підключено до другого входу групи m елементів І 65 і входу елемента НІ 61, вихід якого підключено до другого входу елемента АБО 55, вихід якого підключено до другого входу групи m елементів І 66.

Вихід елемента АБО-НІ 51 з'єднаний також з третім входом елемента І-НІ 62, вихід якого підключений до третіх входів групи m елементів І 65, 66. Групи m входів 19, 13 мініматора 4 з'єднані відповідно з першими входами групи m елементів І 65, 66. Виходи m елементів І 65_j, 66_j груп з'єднані із входами m елементів АБО 67_j групи $(j = \overline{1,m})$. Виходи групи m елементів АБО 67 є m-розрядним виходом 10 мініматора 4, а також підключені до групи m входів елемента АБО-НІ 68, вихід якого є виходом 41 ознаки нуля мініматора 4.

Пристрій реалізує алгоритм, суть якого полягає в тому, що порогова обробка n чисел зводиться до обчислення і підсумовування N часткових сум, де N - кількість різноманітних вхідних величин a_i, порівняння цих сум із порогом p і формування підсумкового сигналу виду

$$y = \begin{cases} 1, \text{ якщо} S = \sum_{i=1}^{n} a_i = \sum_{j=1}^{N} q_j d_j \geq p, \\ 0 - \text{упротилежномувипадку}, \end{cases} \quad (1)$$

де y - вихідний сигнал пристрою, q_j - загальна значуща частина, d_j - кратність загальної частини, p - значення порогу обробки, j - цикл обробки.

Алгоритм має такий вигляд.

Крок 1. Визначається загальна значуща частина всіх доданків у j-му циклі, тобто

$$q_j = \min\{a_{i,j-1}\}_{i=1}^{n}, \; j = \overline{1,N} \quad (2)$$

де $a_{i,0}$ - i-й доданок на вході пристрою.

Крок 2. Виділяється зріз різниць A_j, тобто сукупність величин різниці всіх доданків j-го циклу з їхньою загальною частиною q_j, тобто

$$A_j = \{a_{i,j}\}_{i=1}^{n} = \{a_{i,j-1} - q_j\}_{i=1}^{n} \quad (3)$$

В подальшому отриманий зріз різниць A_j є вхідною множиною доданків для наступного (j+1)-го циклу.

Крок 3. Формується кратне загальної частини S_j, де кратність d_j визначається кількістю додатних ненульових доданків j-го циклу:

$S_j=q_jd_j$ (4)

Крок 4. В першому циклі формується різниця між заданим порогом p та частковою сумою S_1, отриманою на попередньому кроці, тобто

$$\Delta_1 = p - S_1 \quad (5)$$

і перевіряється умова

$\Delta_1 \le 0.$ (6)

В подальшому поточна різниця Δ_{j-1} є поточним значенням порогу на наступному j-му циклі обробки, тобто

$\Delta_j = \Delta_{j-1} - S_j,\ j = 2,3,...$ (7)

На цьому ж кроці перевіряється умова

$\Delta_j \le 0.$ (8)

В разі її виконання формується вихідний сигнал пристрою у, який дорівнює 1, і порогова обробка припиняється, а в протилежному випадку виконуються кроки 1-4 для j=2, 3, ... до виконання умови (8) або до визначення нульової величини q_j (2).

Пристрій працює таким чином.

На вхід і-го ярусу 1 надходить і-ий операнд з групи операндів, кількість яких n, а на вхід 31 мультиплексора 29 n-го ярусу надходить значення порогового сигналу р, який з його виходу записується у регістр 27. Запис операндів в яруси 1 виконується паралельно. Через мультиплексор 8 і-ий операнд надходить в регістр 5 часткового результату і-го ярусу 1. Після цього виконується послідовне виділення загальної (мінімальної значущої) частини двох операндів - (і-І)-го та і-го мініматором 4 і запис результату в регістр 7 і-го ярусу 1. Згідно із виразом (2) на кроці 1 алгоритму ця операція виконується послідовно, починаючи з другого ярусу 1. Кінцевий результат виділення загальної частини всіх n операндів формується в n-ому ярусі 1 і з виходу 10 мініматора 4 цього ярусу 1 записується в регістри 6 всіх n ярусів 1 паралельно. Після цього в і-ому ярусі відбувається порівняння в АЛП 2 і-го операнда, що надходить з регістра 5 часткового результату, та загальної частини всіх операндів, що надходить з регістра 6. Порівняння відбувається в процесі віднімання від величини операнда загальної частини всіх величин операндів, згідно із виразом (3) на кроці 2 алгоритму, і ця різниця записується з виходу 15 АЛП 2 через мультиплексор 8 в регістр 5 часткового результату. При цьому на виході 16 АЛП 2 формується ознака від'ємного результату різниці. При відсутності одиничного сигналу знаку від'ємного результату нульовий сигнал на інверсних входах елементів І блока 9 дозволяє проходження в 1-ому ярусі через блок 9 загальної частини операндів з регістра 6 в суматор 3 часткового результату, де відбувається накопичування загальної частини операндів. У випадку, якщо на виході 16 АЛП 2 і-го ярусу 1 з'явиться одиничний сигнал знаку від'ємного результату, то його наявність на інверсних входах елементів І блока 9 заборонить надходження загальної частини операндів в даному циклі обробки через блок 9 на вхід суматора 3 часткового результату. В суматорах 3 часткового результату кожного ярусу 1 відбувається послідовне підсумовування загальних частин групи з n операндів, а в результаті на виході 22 суматора 3 часткового результату (n-1)-го ярусу формується часткова сума S_1 операндів згідно із виразом (4) на кроці 3 алгоритму. З виходу регістра 27 значення порогового сигналу р одночасно із частковою сумою S_1 надходить до АЛП 28, в результаті на інформаційному виході 32 АЛП 28 формується поточна різниця Al згідно із виразом (5) на кроці 4 алгоритму, яка потім через мультиплексор 29 знову записується у регістр 27, оскільки вона буде поточним значенням порогу у наступному циклі обробки згідно із виразом (7). При цьому сигнали з виходів 35 знаку і 36 ознаки нульового результату АЛП 28 надходять на входи елемента АБО 30. Це необхідно для перевірки умови (6) на кроці 4 алгоритму. Вихід елемента АБО 30 формує вихідний сигнал у на виході 38 n-го ярусу 1 пристрою, який буде одиничним в разі виконання умови (6) алгоритму і нульовим в протилежному випадку. При цьому присутність одиничного сигналу хоча б на одному з виходів 35, 36 АЛП 28, тобто наявність нульової чи від'ємної різниці Δ_1, призведе до проходження його на вихід 38 n-го ярусу пристрою, в результаті чого порогова обробка припиняється. Так виконується 1-ий цикл обробки. У випадку нульового сигналу на виході 38 n-го ярусу 1 пристрою виконуються кроки 1-4 наступного j=2 циклу обробки. У всіх циклах, починаючи з другого, на кроці 4 алгоритму виконується операція (7) і перевіряється умова (8). У випадку, якщо умова (8) на кроці 4 алгоритму у всіх циклах не виконується, тобто на виході 38 пристрою присутній нульовий сигнал, процес обробки закінчується тоді, коли загальна частина всіх поточних доданків дорівнює нулю, тобто присутній одиничний сигнал на виході 41 n-го ярусу 1.

Арифметично-логічний пристрій 28 n-го ярусу 1 (фіг.2) працює в такий спосіб. Спочатку інформація з входу 34 АЛП 28, тобто значення порогового сигналу р подається на перший вхід суматора 42, на другий вхід 34 якого подається проінвертована інформація з входу 37 АЛП 28, тобто поточна часткова сума S_1. Крім того, на вхід перенесення РО суматора 42 завжди подається "І", таким чином, суматор 42 працює в режимі віднімання. В результаті різниця Δ_1 (5) з виходу суматора 42 подається на вхід елемента АБО-НІ 44, де формується сигнал ознаки нульової різниці, яка записується по D-входу у D-тригер 46 при наявності синхросигналу на його С-вході. Якщо на прямому виході D-тригера 46 з'являється "І", то результат віднімання в суматорі 42 дорівнює нулю, а якщо "0" - навпаки. В результаті на виході 36 АЛП 28 з'являється "1" або "0", яка вказує на те, що величина Δ_1 нульова або не дорівнює нулю. Якщо при відніманні в суматорі 42 отримано від'ємний результат, то на його виході Р1 формується "І", яка подається на D-вхід D-тригера 45, який встановлюється в одиничний стан, а якщо отриманий результат є додатним, то D-тригер 45 встановлюється в нульовий стан. В результаті на виході 35 АЛП 28 з'являється "1" або "0", яка вказує на те, що величина Δ_1 від'ємна або додатна. З виходу 32 АЛП 28 різниця Δ_1 з суматора 42 подається на вхід мультиплексора 29. Такі дії відбуваються у першому циклі обробки. У всіх наступних j-их циклах (j=2, 3, ...) відбуваються ті самі дії з тією лише різницею, що на перший вхід суматора 42 подається попередня різниця Δ_{j-1}, на другий вхід подається поточна часткова сума Sj, а на виходах формується поточна різниця Δ_j згідно із виразом (7), яка аналізується на наявність нульового значення або від'ємного знаку (8).

Мініматор 4 n-го ярусу 1 (фіг.3) працює в такий спосіб. На його інформаційні входи 19, 13 подаються числа А; і В; відповідно, а на входи 39, 40 - їхні знаки S_A і S_B відповідно. На виходах елементів АБО-НІ 49, 50 формуються відповідно ознаки нуля Z_A і Z_B чисел А і В. В кожній і-ій парі чисел визначається мінімальне число q; за такими правилами.

1. Якщо обидва числа додатні і не дорівнюють нулю, то результатом є мінімальне за модулем число.

2. Якщо обидва числа додатні і не дорівнюють нулю та однакові за модулем, то результатом є одне з них.

3. Якщо обидва числа від'ємні, то результатом буде нуль.

4. Якщо обидва числа від'ємні та однакові за модулем, то результатом буде нуль.

5. Якщо одне число додатнє і не дорівнює нулю, а інше число від'ємне, то результатом є додатнє число.

6. Якщо одне число додатнє і не дорівнює нулю, а інше число дорівнює нулю, то результатом є додатнє число.

7. Якщо одне число від'ємне, а інше число дорівнює нулю, то результатом буде нуль.

8. Якщо обидва числа дорівнюють нулю, то результатом буде нуль.

Розглянемо всі можливі варіанти і комбінації вхідних сигналів для елементів, що складають мініматор 4 n-го ярусу 1.

Якщо обидва операнди додатні і ненульові, то нульові ознаки S_A, S_B, Z_A, Z_B призведуть до того, що на виходах схем нерівнозначності 63 і 64 будуть нульові сигнали, які з'являться на виходах елементів І 57, 58, але нульові ознаки встановлять в одиничний стан вихід елементів АБО-НІ 51, 52 та І-НІ 62. Таким чином, одиничні сигнали на виходах елементів АБО-НІ 51, 52 та І-НІ 62 не будуть впливати на формування сигналу на виході відповідно елемента І 56 та групи елементів І 65, 66, а нульові сигнали на виходах елементів І 57, 58 не змінять інформацію на виходах елементів АБО 54, 55. Отже, визначальним буде сигнал на виході елемента АБО 53, одиничний сигнал на якому з'явиться у двох випадках: а) якщо обидва операнди рівні, б) якщо виконується співвідношення $A_i<B_i$. В цих випадках одиничний сигнал сформується на виході елемента АБО 54, що дозволить проходження операнда A_i через групи елементів І 65, АБО 67 на вихід 10 мініматора 4. Одночасно нульовий сигнал з'явиться на виході елемента АБО 55. що заборонить проходження операнда B_i через групи елементів І 66 та АБО 67 на вихід 10 мініматора 4, тобто на цьому виході з'явиться менший за модулем серед двох додатних ненульових операндів. У випадку, коли $A_i>B_i$ нульовий сигнал з виходу елемента АБО 53 пройде на вихід елемента АБО 54, що призведе до появи одиничного сигналу на виході елемента АБО 55. А це дозволить проходження операнда В; через групи елементів І 66, АБО 67 на вихід 10 мініматора 4, тобто на ньому з'явиться мінімальний за модулем операнд.

Якщо на вході один операнд додатний і ненульовий, а другий - нуль, то нульові ознаки S_A, S_B, та одна одинична ознака з Z_A, Z_B призведуть до того, що на виході однієї зі схем нерівнозначності 63, 64 буде нульовий сигнал, а на виході іншої з цих схем нерівнозначності буде одиничний сигнал, крім того, ці ознаки встановлять у одиничний стан вихід елемента І-НІ 62 і у нульовий стан вихід елемента АБО-НІ 51. Таким чином, одиничний сигнал на виході елемента І-НІ 62 не буде впливати на формування сигналу на виході групи елементів І 65, 66, а нульовий сигнал на виході елемента АБО-НІ 51 зробить не визначальним сигнал на виході елемента АБО 53. В результаті нульовий сигнал сформується на виході елемента АБО 54, якщо на виході елемента І 57 також нульовий сигнал, тобто коли операнд A_i нульовий. Це заборонить проходження операнда A_i через групи елементів І 65, АБО 67 на вихід 10 мініматора 4. Одночасно одиничний сигнал з'явиться на виході елемента АБО 55, що дозволить проходження операнда B_i через групу елементів І 66, АБО 67 на вихід 10 мініматора 4, тобто на цьому виході з'явиться ненульовий операнд. У випадку, коли $B_i=0$, одиничний сигнал з виходу схеми нерівнозначності 63 пройде на вихід елемента АБО 54, одночасно з'явиться нульовий сигнал на виході елемента АБО 55, оскільки на виході схеми нерівнозначності 64 з'явиться нульовий сигнал. А це дозволить проходження операнда A_i через групи елементів І 65, АБО 67 на вихід 10 мініматора 4, тобто на ньому знову з'явиться ненульове значення.

Якщо на вході один операнд додатний ненульовий, а другий - від'ємний ненульовий, то одна з нульових ознак S_A, S_B, і нульові ознаки Z_A, Z_B призведуть до того, що на виході однієї зі схем нерівнозначності 63, 64 буде одиничний сигнал, на виході елемента АБО-НІ 52 буде нульовий сигнал, а на виході елементів АБО-НІ 51 та І-НІ 62 будуть одиничні сигнали. Таким чином, одиничний сигнал на виході елемента І-НІ 62 не буде впливати на формування сигналу на виході групи елементів І 65, 66, а нульовий сигнал на виході елемента АБО-НІ 52 зробить не визначальним сигнал на виході елемента І 56. Визначальним буде сигнал на виході елементів І 57, 58, одиничний сигнал на одному з яких з'явиться тоді, коли одиничний сигнал сформується на виході або схеми нерівнозначності 63, або схеми нерівнозначності 64. В першому випадку, коли від'ємне B_i, в результаті одиничний сигнал сформується на виході елемента АБО 54, що дозволить проходження операнда A_i через групу елементів І 65, АБО 67 на вихід 10 мініматора 4. Одночасно нульовий сигнал з'явиться на виході елемента АБО 55, що заборонить проходження операнда B_i через групу елементів І 66, АБО 67 на вихід 10 мініматора 4, тобто на цьому виході з'явиться додатний операнд. У другому випадку, коли від'ємним є A_i одиничний сигнал з'явиться на виході елемента АБО 55. А це дозволить проходження операнда B_i через групу елементів І 66, АБО 67 на вихід 10 мініматора 4, тобто на ньому з'явиться додатний операнд.

Якщо на вході обидва операнди від'ємні ненульові, то одиничні ознаки S_A, S_B, і нульові ознаки Z_A, Z_B призведуть до того, що на виходах елементів НІ 59, 60 будуть нульові сигнали, які з'являться на виходах елементів І 57, 58, крім того ці ознаки встановлять у нульовий стан вихід елемента І-НІ 62, що вплине на групу елементів І 65, 66, тобто на їх виходах з'являться нулі, які і пройдуть на вихід 10 мініматора 4. Одночасно нульові сигнали на виходах елементів І 57, 58 не змінять інформацію на виходах елементів АБО 54, 55. Одиничний сигнал на виході елемента АБО 53 з'явиться у двох випадках: а) якщо обидва операнди рівні, б) якщо виконується співвідношення $A_i<B_i$. Але він також не впливає на кінцевий результат, оскільки визначальним залишається нульовий сигнал з виходу елемента І-НІ 62, який забороняє проходження обох від'ємних ненульових сигналів через групи елементів І 65, 66 і АБО 67 і встановлює на виході 10 мініматора 4 нульове число.

Якщо на вході один операнд від'ємний і ненульовий, а другий - нуль, то нульові і одиничні ознаки S_A, S_B, Z_A, Z_B призведуть до того, що на виходах схем нерівнозначності 63 і 64 і елемента І-НІ 62 з'явиться одиничний сигнал, а на виходах елементів АБО-НІ 51, 52 з'явиться нульовий сигнал. Таким чином, одиничний сигнал на виході елемента І-НІ 62 не буде впливати на формування сигналу на виході групи елементів І 65, 66, а нульові сигнали на виходах елементів АБО-НІ 51, 52 зроблять не визначальним сигнал на виході елемента І 56. У випадку, коли $A_i=0$, одиничний сигнал з'явиться на виході елемента АБО 54 при наявності одиничного сигналу на виході елемента І 57 та нульового на виході елемента І 58, що призведе до появи нульового сигналу на виході елемента АБО 55. А це дозволить проходження операнда A_i через групу елементів І 65, АБО 67 на вихід 10 мініматора 4, тобто на ньому з'явиться нульове число. У другому випадку, коли $B_i=0$, одиничний сигнал присутній на виході елемента І 58 і нульовий сигнал на виході елемента І 57. В результаті нульовий сигнал сформується на

виході елемента АБО 54, що не дозволить проходження операнда A_i через групи елементів І 65, АБО 67 на вихід 10 мініматора 4. Одночасно одиничний сигнал з'явиться на виході елемента АБО 55, що дозволить проходження операнда B_i через групу елементів І 66, АБО 67 на вихід 10 мініматора 4, тобто на цьому виході з'явиться нульовий операнд.

Якщо на вході обидва операнди нульові, то нульові ознаки S_A, S_B, та одиничні ознаки Z_A, Z_B призведуть до того, що на виходах схем нерівнозначності 63, 64 сформуються одиничні сигнали, які з'являться на виходах елементів І 57, 58 і встановлять в одиничний стан виходи елементів АБО 54, 55.

Крім того, ці ознаки встановлять в одиничний стан елементи АБО-НІ 52, І-НІ 62 і у нульовий стан елемент АБО-НІ 51. Одиничний сигнал елемента І-НІ 62 дозволить проходження нульових сигналів на групи елементів І 65, 66, АБО 67, які і пройдуть на вихід 10 мініматора 4, тобто на виході з'явиться нульове значення.

Всі можливі варіанти появи операндів та їхніх знаків на входах мініматора 4 показані у табл.1. Крім того, у випадку, коли значення мінімальної величини q_i на виході 10 мініматора 4 дорівнює нулю, на виході m-розрядного елемента АБО-НІ 68 формується одиничний сигнал Z_k, який подається на вихід 41 сигналу "Кінець" пристрою.

Після цього конвеєрний пристрій припиняє свою роботу. Формування сигналу Z_k за результатом на виході 10 мініматора 4 також показано у таблиці 1.

Наочність роботи конвеєрного пристрою для конкретного масиву цілих додатних чисел: 13, 8, 3, 11, і порогового значення p=30 показано у вигляді діаграм на фіг.4, де прийнято такі позначення : RGR, RGN, RGM, RGP - відповідно регістри 5, 7, 6, 27; ALU1, ALU2 - відповідно АЛП2, АЛП 28; Sign ALU1, Sign ALU2 - відповідно знаковий вихід 16 АЛП 2 і знаковий вихід 35 АЛЛ 28; Z_k - вихід 41 сигналу "Кінець" пристрою; Y - вихід 38 пристрою.

Часові співвідношення (фіг.4) визначаються в такий спосіб:

t_1, t_2 - відповідно час запису у регистр (t_{WR}) через мультиплексор (t_{MX}), тобто

$t_1=t_2=t_{MX}+t_{WR}$;

t_3 - час послідовного формування мінімальної додатної величини у мініматорах ярусів (t_{COM}) і запис її у регістр (t_{WR}), тобто $t_3=(n-1)(t_{COM}+t_{WR})$, t_4 - час паралельного формування зрізу різниць в АЛП (t_{SUB}), тобто $t_4 = t_{SUB}$, t_5 - час послідовного формування поточної часткової суми у суматорах (t_{SM}) з урахуванням проходження через блок елементів І (t_{MX}), тобто $t_5=(n-1)t_{SM}+t_{MX}$, t_6 - час формування поточного значення порогу у АЛП (t_{SUB}) та вихідного сигналу Y (t_Y), тобто $t_6=t_{SUB}+t_Y$.

Час розгону даного конвеєрного пристрою складає:

$t_p=t_1+t_2+t_3+t_4$.

Тоді загальний час обробки визначається таким чином:

$T=t_p+(N-1)t_ц+t_к$

де $t_ц$ - час тіла циклу, причому $t_ц=t_1+t_3+t_4$,

$t_к$ - час закінчення циклу, причому $t_к=t_5+t_6$.

Враховуючи, що $t_{SUB}=t_{SM}$, $t_{MX} \approx t_{WR}$, $t_Y<<tSUB$, загальний час обробки можна записати так:

$T=N(n-1)tcoM+(N+n)tsM+[N(n+1)+3]twR$.

Для роботи конвеєрного пристрою без простоїв, враховуючи, що $t_{WR}<t_{COM}<t_{SM}$, необхідне виконання такої умови:

$t_1+t_3 \geq t_5+t_6$,

тобто

$(n-1)t_{COM}+(n+1)t_{WR} \geq n \cdot t_{SM}+t_{WR}$,

або

$(n-1)t_{COM}+n-twR \geq n \cdot t_{SM}$.

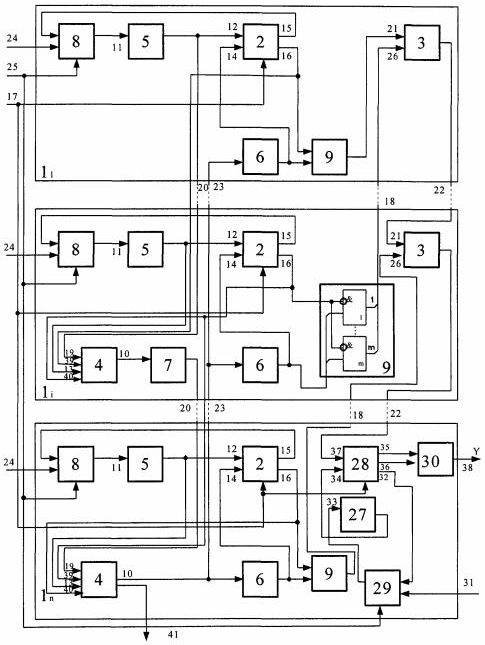
Отже, для забезпечення ритмічної роботи конвеєрного пристрою необхідно використовувати швидкодіючі суматори і АЛП з такими часовими співвідношеннями:

$t_{SM} \leq t_{COM}+t_{WR}$.

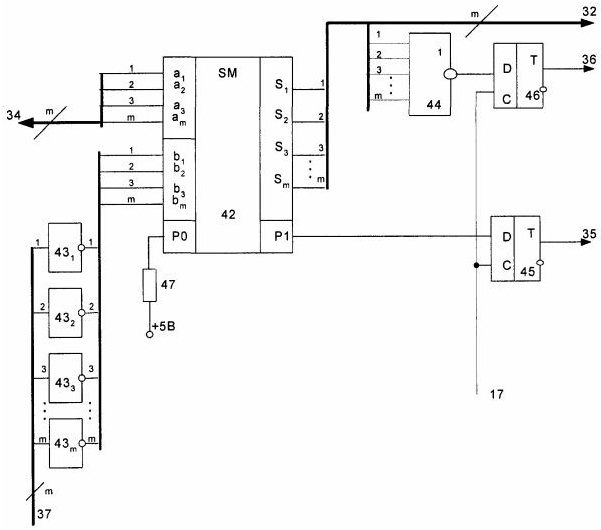
Таблиця 1

Вхідні комбінації операнді зі знаками	Входи				Виходи	
	39 (S_A)	40 (S_B)	19 (A_i)	13 (B_i)	10 (q_i)	41 (Z_k)
+3 +5	0	0	0011	0101	0011	0
+5 +3	0	0	0101	0011	0011	0
+3 0	0	0	0011	0000	0011	0
0 +3	0	0	0000	0011	0011	0
+3 -5	0	1	0011	0101	0011	0
-5 +3	1	0	0101	0011	0011	0
-5 -3	1	1	0101	0011	0000	1
-3 -5	1	1	0011	0101	0000	1
-5 0	1	0	0101	0000	0000	1
0 -5	0	1	0000	0101	0000	1

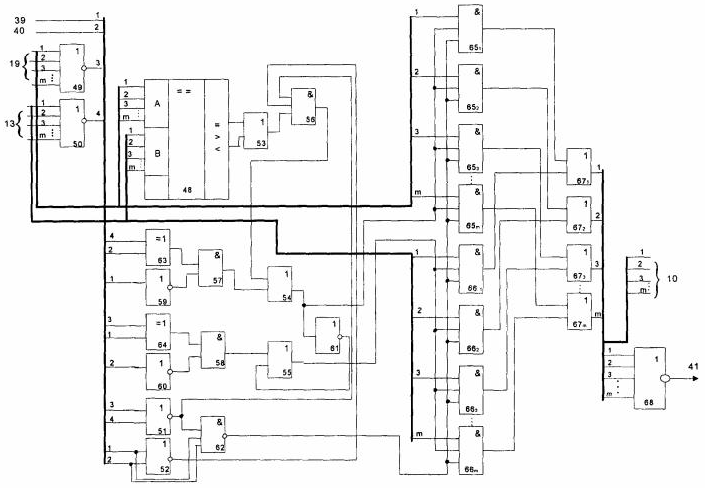
0 0	0	0	0000	0000	0000	1



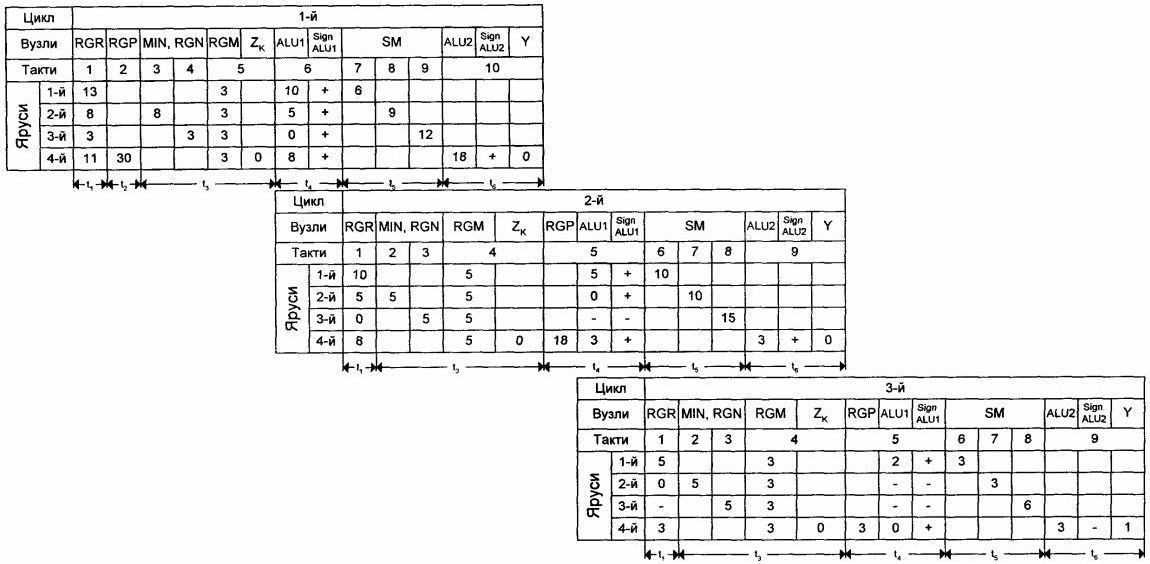
Фіг. 1



Фіг. 2



Фіг. 3


Цикл
1-й
Вузли
RGR
RGP
MIN, RGN
RGM
Z_K
ALU1
Sign ALU1
SM
ALU2
Sign ALU2
Y
Такти
Яруси
1-й
2-й
3-й
4-й
t_1
t_2
t_3
t_4
t_5
t_6
2-й
3-й

Фіг. 4