

Винахід належить до галузі цифрової обчислювальної техніки і може бути застосований у складі процесорів швидкого перетворення Хартлі-Фур'є (ІПХФ), що використовуються в пристроях обчислення спектрів, згорток та кореляційних функцій.

Відомий арифметичний пристрій процесора ШПХФ дійсних послідовностей [А. с. СССР №1594562, кл. G 06 F 15/332, 1990], що містить перший помножувач комплексних чисел, суматор та віднімач.

Недоліком даного пристрою є низька швидкість, оскільки одночасно обробляється лише два операнда.

Найбільш близьким за технічною сутністю до пропонованого є арифметичний пристрій для виконання ШПХФ [А. с. СССР, №1756902, кл. G 06 F 15/332, Бюл. №31, 1992], що містить два помножувачі комплексних чисел, перший комутатор та шість суматорів-віднімачів, причому перший, другий, третій та четвертий входи операндів пристрою підключені до перших входів відповідно першого, другого, третього та четвертого суматорів-віднімачів, п'ятий та шостий і сьомий та восьмий входи операндів пристрою підключені до першого та другого входів відповідно першого і другого помножувачів комплексних чисел, до третього та четвертого входів першого помножувача комплексних чисел підключені відповідно перший та другий входи завдання фазових множників пристрою, другий вихід першого помножувача комплексних чисел підключений до першого входу першого комутатора, вхід керування якого є першим входом завдання типу операції пристрою, виходи суми та різниці першого, другого та четвертого суматорів-віднімачів є відповідно першим, п'ятим, другим, шостим, четвертим та восьмим виходами результату пристрою.

Недоліком даного пристрою є складність, обумовлена великою кількістю входів завдання фазових множників та великим об'ємом пам'яті, необхідним для їх збереження.

В основу винаходу поставлено задачу створення арифметичного пристрою для виконання ІПХФ, котрий реалізує базову операцію алгоритму ШПХФ з спряженими парами з проріджуванням по часу, в якому за рахунок введення нових блоків разом з їх зв'язками досягається спрощення пристрою внаслідок зменшення кількості входів завдання фазових множників та об'єму пам'яті, необхідного для їх збереження.

Поставлена задача досягається за рахунок того, що в арифметичний пристрій для виконання ШПХФ, що містить два помножувачі комплексних чисел, перший комутатор та шість суматорів-віднімачів, причому перший, другий, третій та четвертий входи операндів пристрою підключені до перших входів відповідно першого, другого, третього та четвертого суматорів-віднімачів, п'ятий та шостий і сьомий та восьмий входи операндів пристрою підключені до першого та другого входів відповідно першого і другого помножувачів комплексних чисел, до третього та четвертого входів першого помножувача комплексних чисел підключені відповідно перший та другий входи завдання фазових множників пристрою, другий вихід першого помножувача комплексних чисел підключений до першого входу першого комутатора, вхід керування якого є першим входом завдання типу операції пристрою, виходи суми та різниці першого, другого та четвертого суматорів-віднімачів є відповідно першим, п'ятим, другим, шостим, четвертим та восьмим виходами результату пристрою, введеш другий, третій та четвертий комутатори, причому третій та четвертий входи другого помножувача комплексних чисел підключені відповідно до першого та другого входів завдання фазових множників пристрою, перший та другий виходи другого помножувача комплексних чисел підключені до других входів відповідно другого та першого комутаторів, п'ятий та шостий входи операндів пристрою підключені до перших входів відповідно третього та четвертого комутаторів, до других входів яких підключені перші виходи відповідно першого помножувача комплексних чисел та другого комутатора, до першого входу якого підключений перший вихід першого комутатора, виходи третього та четвертого комутаторів підключені відповідно до першого та другого входів п'ятого суматора-віднімача, виходи суми та різниці якого підключені до других входів відповідно другого та першого суматорів-віднімачів, другі виходи першого та другого комутаторів підключені відповідно до першого та другого входів шостого суматора-віднімача, виходи суми та різниці якого підключені до других входів відповідно третього та четвертого суматорів-віднімачів, виходи суми та різниці третього суматора-віднімача є відповідно сьомим та третім виходами результату пристрою, вхід керування другого комутатора є другим входом завдання типу операції пристрою, входи керування третього та четвертого комутаторів з'єднані з входом керування першого комутатора.

Введення в пристрій другого, третього та четвертого комутаторів разом з їх зв'язками дозволило реалізувати базову операцію алгоритму ШПХФ з спряженими парами з проріджуванням по часу, внаслідок чого досягнуто спрощення пристрою за рахунок зменшення кількості входів завдання фазових множників та об'єму пам'яті, необхідного для їх збереження.

Пропонований пристрій, як і прототип, обробляє одночасно вісім операндів, але вимагає вдвічі меншої кількості входів завдання фазових множників і вдвічі меншого об'єму пам'яті для їх збереження.

На фіг.1 представлена блок-схема арифметичного пристрою для виконання ШПХФ; на фіг.2-5 - граф-схеми базових операцій алгоритму швидкого перетворення Хартлі (ШПХ) різних типів; на фіг.6 - граф-схема алгоритму ШПХ з спряженими парами з проріджуванням по часу для $N=32$, де N - кількість відліків оброблюваної послідовності.

Пристрій (фіг.1) містить входи 1-8 операндів, входи 9-10 завдання фазових множників, входи 11-12 завдання типу операції, помножувачі 13 і 14 комплексних чисел, комутатори 15-18, суматори-віднімачі 19-24, виходи 25-32 результату.

Перший, другий, третій та четвертий входи 1-4 операндів пристрою підключені до перших входів відповідно першого, другого, третього та четвертого суматорів-віднімачів 21-24, п'ятий та шостий і сьомий та восьмий входи 5-8 операндів пристрою підключені до першого та другого входів відповідно першого і другого помножувачів комплексних чисел 13-14, до третього та четвертого входів яких підключені відповідно перший та другий входи 9-10 завдання фазових множників пристрою. Другий вихід першого помножувача комплексних чисел 13 підключений до першого входу першого комутатора 15, вхід керування якого з'єднаний з виходами керування третього та четвертого комутаторів 17-18 і є першим входом 11 завдання типу операції пристрою. Перший та другий виходи другого помножувача 14 комплексних чисел підключені до других входів відповідно другого 16 та першого 15 комутаторів. П'ятий та шостий входи 5-6 операндів пристрою підключені до перших входів відповідно третього та четвертого комутаторів 17-18, до других входів яких підключені перші виходи

відповідно першого помножувача 13 комплексних чисел та другого комутатора 16, до першого входу якого підключений перший вихід першого комутатора 15. Виходи третього та четвертого комутаторів 17-18 підключені відповідно до першого та другого входів п'ятого суматора-віднімача 19, виходи суми та різниці якого підключені до других входів відповідно другого 22 та першого 21 суматорів-віднімачів. Другі виходи першого та другого комутаторів 15-16 підключені відповідно до першого та другого входів шостого суматора-віднімача 20, виходи суми та різниці якого підключені до других входів відповідно третього та четвертого суматорів-віднімачів 23-24. Виходи суми та різниці першого 21, другого 22 та четвертого 24 суматорів-віднімачів є відповідно першим 25, п'ятим 29, другим 26, шостим 30, четвертим 28 та восьмим 32 виходами результату пристрою, виходи суми та різниці третього суматора-віднімача 23 є відповідно сьомим 31 та третім 27 виходами результату пристрою. Вхід керування другого комутатора 16 є другим входом 12 завдання типу операції пристрою.

Алгоритм ШПХФ з спряженими парами з проріджуванням по часу містить декілька типів базових операцій, котрі виконуються згідно з граф-схемами, зображеними на фіг.2-5, на яких прийняті такі позначення: A, B, C, D, E, F, G, H - вхідні значення базової операції; A', B', C', D', E', F', G', H' - вихідні значення базової операції; безперервна лінія позначає операцію додавання, пунктирна лінія - операцію віднімання, лінія з стрілкою на кінці - операцію множення на значення, розташоване біля неї. Порядок вхідних та вихідних значень на граф-схемах базових операцій визначає спосіб їх комутації (фіг.6).

Пристрій працює наступним чином.

По входах 1-8 в пристрій поступають вхідні операнда, а по входах 9-10 - фазові множники. На помножувачах 13-14 комплексних чисел виконуються операції множення вхідних операндів на фазові множники у відповідності з виразами

$$XI + YR$$

$$XR - YI,$$

де X, Y - значення вхідних операндів; I, R - значення фазових множників.

На суматорах-віднімачах 19-24 виконуються операції додавання та віднімання у відповідності з виразами

$$L + M$$

$$L - M,$$

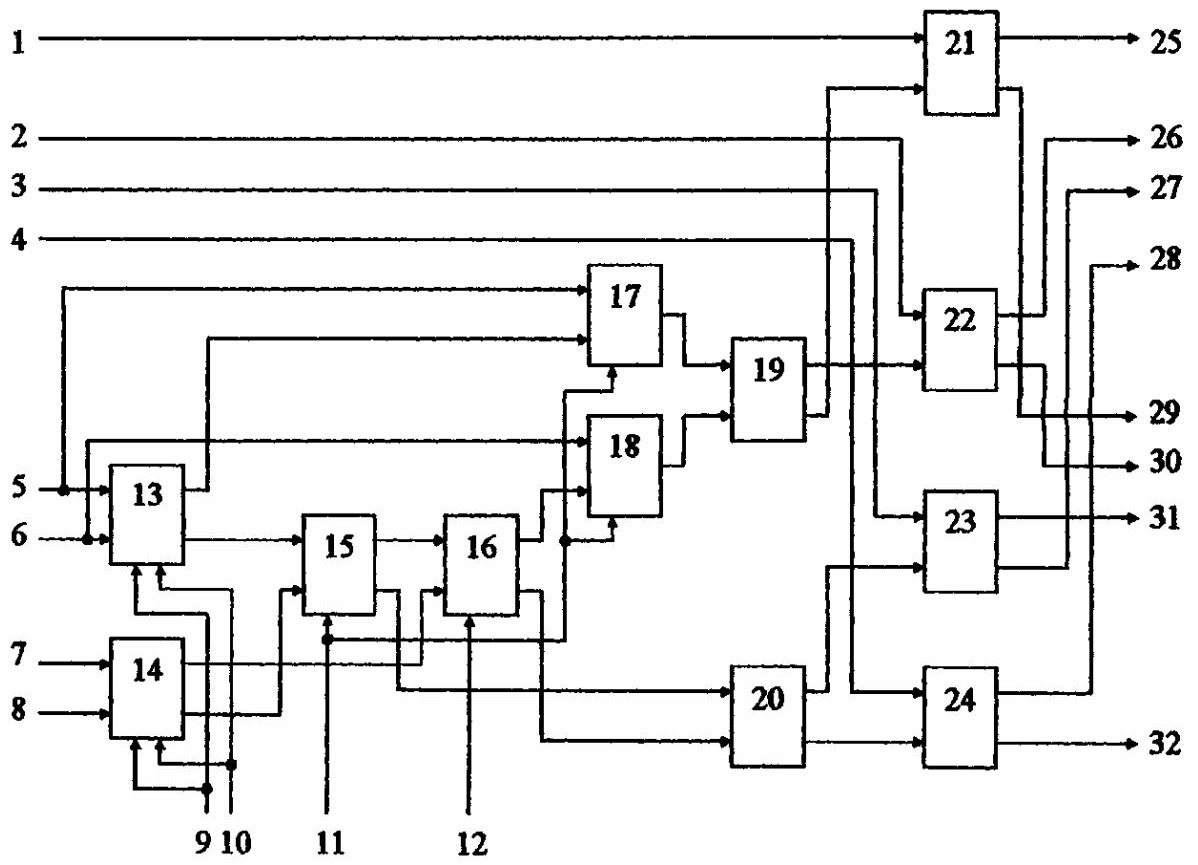
де L, M - вхідні значення суматорів-віднімачів.

Комутатори 15-16 пропускають дані, що поступають на їх входи, прямо або навхрест в залежності від значення на входах 11-12 завдання типу операції: при нульовому значенні - прямо, при одиничному - навхрест.

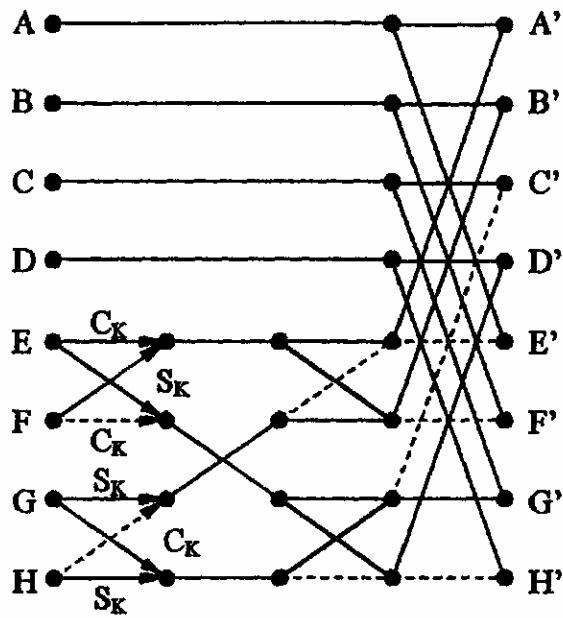
Комутатори 17-18 пропускають значення з перших входів при нульовому значенні на вході 11 завдання типу операції та з других входів - при одиничному.

На граф-схемі алгоритму ШПХ (фіг.6) базові операції позначені прямокутниками, всередині яких перші дві цифри визначають значення відповідно на входах 11 і 12 завдання типу операції, третя та четверта цифри визначають значення параметрів K та N, котрі використовуються для визначення фазових множників. Для $K=1$, $N/8-1$ фазовими множниками є тригонометричні коефіцієнти $C_K = \cos(2\pi K/N)$ та $S_K = \sin(2\pi K/N)$ (фіг.2). Для $K=0$ значення фазових множників зображені на граф-схемах базових операцій (фіг.3-5). Граф-схеми базових операцій на фіг.4-5 відображають виконання відповідно чотирьохточкового ($N=4$) та двох двохточкових перетворень ($N=2$), котрі виконуються на першому етапі алгоритму перетворення (фіг.6). На деякі входи цих базових операцій подаються нулі, а деякі виходи не використовуються.

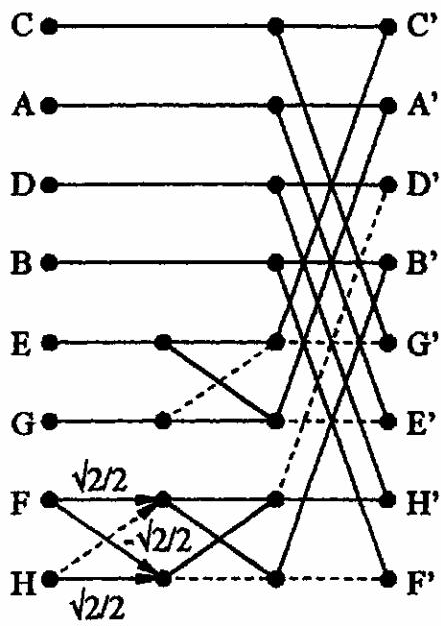
Зв'язок між входами та виходами базових операцій показаний на фіг.6.



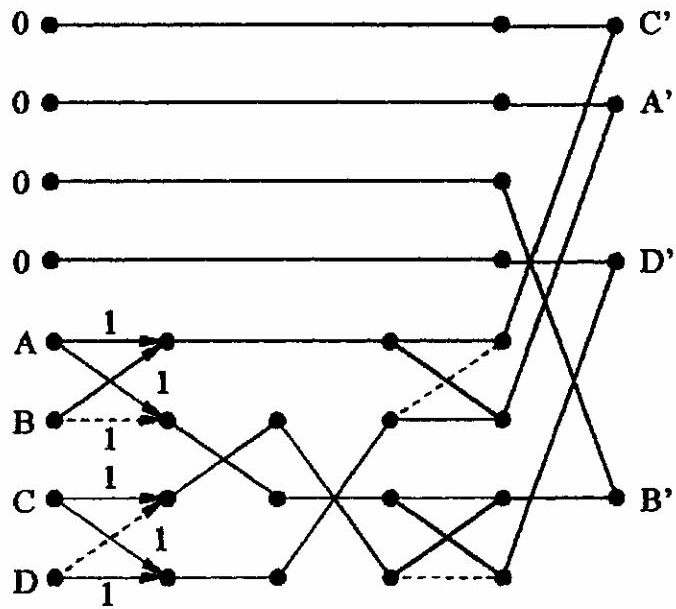
Фиг. 1



Фиг. 2



Фиг. 3



Фиг. 4

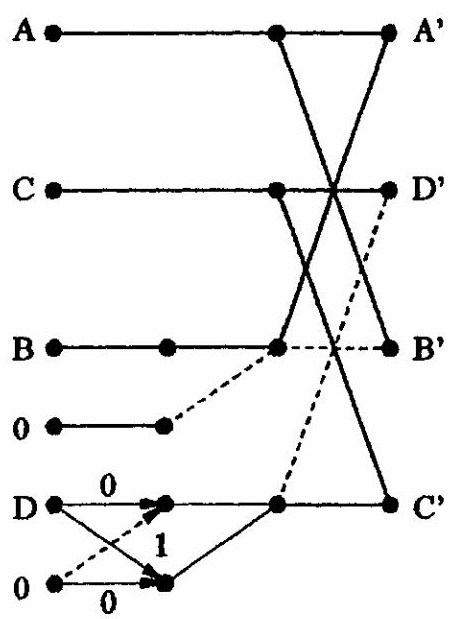
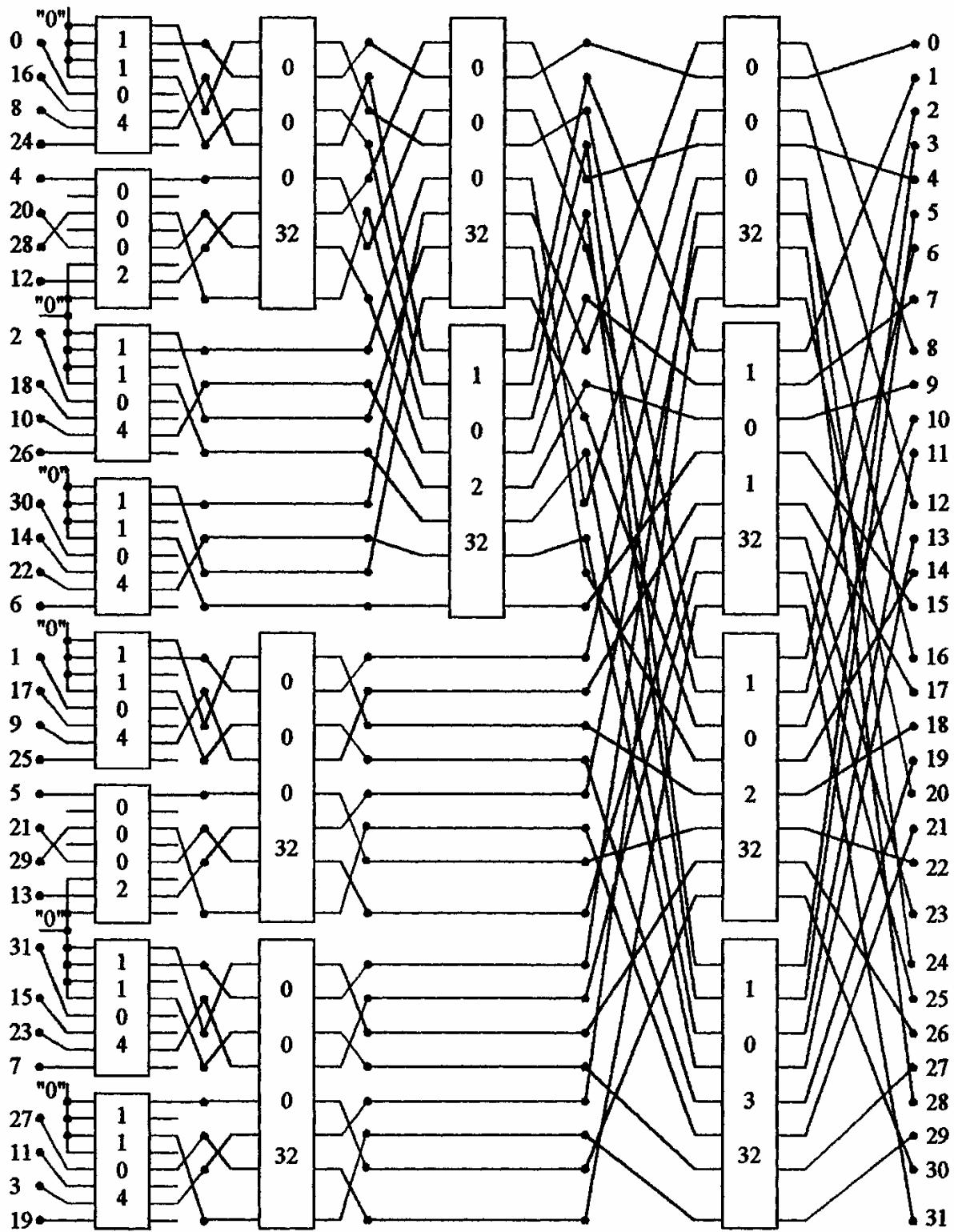


Fig. 5



Фиг. 6