



УКРАЇНА

(19) UA (11) 55790 (13) A

(51) 7 G06G7/14

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС

ДО ДЕКЛАРАЦІЙНОГО ПАТЕНТУ
НА ВІНАХІДВидається під
відповідальність
власника
патенту

(54) ПІДСУМОВУВАЛЬНИЙ ПОРОГОВИЙ ПРИСТРІЙ

1

2

(21) 2002065110

(22) 20 08 2002

(24) 15 04 2003

(46) 15 04 2003, Бюл. № 4, 2003 р.

(72) Мартинюк Тетяна Борисівна, Барський Семен Борисович, Баранов Роман Костянтинович, Скорюкова Яніна Германівна

(73) ВІННИЦЬКИЙ ДЕРЖАВНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ

(57) Підсумовувальний пороговий пристрій, що містить n блоків порівняння групи, блок порівняння, блок послідовного підсумовування, причому входи групи пристрою з'єднані з першими входами блоків порівняння групи, другі входи яких з'єднані з виходом блока порівняння, перші входи підключені до першої групи входів даних блока порівняння і до перших входів відповідних блоків порівняння групи, а другі входи підключені до відповідних входів групи блока послідовного підсумовування, інформаційний вхід якого з'єднаний з виходом блока порівняння, який відрізняється тим, що він містить блок віднімання, входи скидання, синхронізації, керування і завдання порогу пристрою, причому перший вхід блока віднімання є виходом порога пристрою, другий вхід підключений до виходу блока послідовного підсумовування, а вихід є виходом пристрою, входи скидання, синхронізації та керування з'єднані з відповідними входами кожного блока порівняння групи, а другі входи блоків порівняння групи підключені до групи знакових входів блока порівняння, крім того, блок порівняння містить $\lceil n/2 \rceil$ вузлів порівняння першого рівня, де $\lceil a \rceil$ - найближче до a мінімальне ціле число, $\lceil n/4 \rceil$ вузлів порівняння другого рівня і т.д., а всього $\lceil \log_2 n \rceil$ рівнів пірамідальної структури, кожний k -й вузол порівняння якої містить два знакових входи і два входи даних і знаковий вихід і вихід даних, причому входи даних k -го вузла порівняння першого рівня підключені до $(2k-1)$ -х і $2k$ -х входів даних блока порівняння, а знакові входи цього вузла підключені до $(2k-1)$ -х і $2k$ -х знакових входів блока порівняння, крім того, входи даних і знакові виходи двох сусідніх вузлів порівняння молодшого рівня підключені до двох входів даних і двох знакових входів вузла порівняння старшого рівня і т.д., останній рівень має один вузол порівняння, який містить тільки один вихід даних, який є виходом блока порівняння, при цьому кожний вузол порів-

няння складається з 3-х блоків першого блока ознаки, що формується без урахування знаків операндів, другого блока ознаки, що формується з урахуванням знаків і нульових значень операндів і селектора, причому перший блок ознаки складається з $(m-1)$ однакових схем, кожна з яких містить чотири елементи I , два інвертори і два елементи АБО, крім того, перша схема містить також інвертор, j -ті розряди ($j=1, 2, \dots, m$) двох операндів з виходу i -го блока порівняння групи з'єднані з $(2k-1)$ -М і $2k$ -м входами даних k -го вузла порівняння і підключені до входів першого елемента I та першого і другого інверторів, виходи яких з'єднані з входами другого елемента I , виходи першого і другого елементів I з'єднані із входами першого елемента АБО, перший вхід третього елемента I з'єднаний із входом першого інвертора, а другий з'єднаний з виходом другого інвертора, вихід кожної схеми є виходом другого елемента АБО, входами якого є виходи третього і четвертого елементів I , перший вхід четвертого елемента I з'єднаний з виходом першого елемента АБО, другий вхід з'єднаний з виходом попередньої схеми, в першій схемі другий вхід четвертого елемента I підключений до виходу третього інвертора, а його третій вхід і вхід третього інвертора з'єднані з першими розрядами операндів A , B , відповідно, вихід другого елемента АБО $(m-1)$ -ої схеми є виходом першого блока ознаки, що формується без урахування знаків операндів, другий блок ознаки, що формується з урахуванням знаків і нульових значень операндів, складається з чотирьох інверторів, чотирьох елементів I та двох елементів АБО, причому знакові входи операндів попарно з'єднані з входами перших елементів I та АБО, знаковий вхід другого операнда з'єднаний з першим входом другого елемента I , другий вхід якого з'єднаний через перший інвертор зі знаковим входом першого операнда, вихід першого елемента I є знаковим виходом вузла порівняння, а виходи другого елемента I та першого елемента АБО з'єднані з входами третього елемента I , перший вхід четвертого елемента I з'єднаний з виходом другого інвертора, вхід якого підключений до виходу першого блока ознаки, а другий вхід четвертого елемента I через третій інвертор з'єднаний з виходом першого елемента АБО, виходи третього і четвертого елементів I з'єднані з входами другого елемента АБО, вихід якого є першим виходом дру-

(13) A

(11) 55790

(19) UA

ного блока ознаки, знаковий вихід якого через четвертий інвертор з'єднаний з другим виходом другого блока ознаки, селектор складається з трьох груп елементів I, інвертора та групи елементів АБО, причому входи даних вузла порівняння з'єднані з першими входами відповідних першої і другої груп елементів I, другі входи першої групи елементів I з'єднані з першим виходом другого блока ознаки, а другі входи другої групи елементів I з'єд-

нані з першим виходом другого блока ознаки через інвертор, виходи першої і другої групи елементів I попарно з'єднані з першими і другими входами групи елементів АБО, другий вихід другого блока ознаки з'єднаний з першими входами третьої групи елементів I, другі входи яких з'єднані з відповідними виходами групи елементів АБО, виходи третьої групи елементів I селектора є відповідно т-розрядним виходом вузла порівняння

Винахід відноситься до обчислювальної техніки та може бути використаний в обчислювальних пристроях для порогової обробки масиву чисел

Відомий підсумовуючий пристрій (а с СССР № 1396139, кл G06F7/50, 1986), який містить постійний запам'ятовуючий блок, першу та другу групи елементів I, групу елементів затримки, перетворювач двійкового коду в ущільнений код, групу елементів HI, причому перші входи елементів I першої групи підключені до входу синхронізації пристрою, входи першої групи перетворювача двійкового коду в ущільнений код з'єднані з виходами відповідних елементів затримки групи, виходи перетворювача двійкового коду в ущільнений код із n-го по другий (де $n=2m-1$, m - кількість операндів) з'єднані з першими входами відповідних елементів I другої групи з (n-1)-го по перший, причому інформаційні входи пристрою з'єднані з другими входами відповідних елементів I першої групи, входи елементів HI групи з'єднані з відповідними виходами перетворювача двійкового коду в ущільнений код, виходи елементів HI групи, крім n-го, з'єднані з другими входами відповідних елементів I другої групи, адресні входи постійного запам'ятовуючого блока з'єднані відповідно з виходами n-го елемента HI групи, виходами елементів I другої групи та першим виходом перетворювача двійкового коду в ущільнений код, перший розрядний вихід постійного запам'ятовуючого блока з'єднаний з виходом результату пристрою, а інші розрядні входи підключені до входів відповідних елементів затримки групи, виходи елементів I першої групи з'єднані відповідно з виходами другої групи перетворювача двійкового коду в ущільнений код

Недоліком відомого пристрою є вузькі функціональні можливості за рахунок неможливості виконання процесу одночасного підсумовування та порівняння із порогом масиву чисел

Відомо асоціативний підсумовуючий пристрій (а с СССР № 1424011, кл G06F7/50, 1986), який містить асоціативний запам'ятовуючий блок, три групи елементів I, елемент I, групу елементів затримки, регістр зберігання переносу, групу регістрів зсуву, регістр проміжного результату та постійний запам'ятовуючий блок, причому вхід молодшого розряду регістра проміжного результату з'єднаний із виходом результату асоціативного запам'ятовуючого блока і з виходом результату двійкового підсумовування пристрою, виходи розрядів регістра проміжного результату з'єднані з першими входами елементів I першої групи, вихо-

ди яких підключені до адресних входів постійного запам'ятовуючого блока, перший вихід якого з'єднаний з виходом результату десяткового підсумовування пристрою, інші виходи постійного запам'ятовуючого блока з'єднані з входами розрядів регістра зберігання переносу, вихід якого підключений до першого входу елемента I, другий вхід якого з'єднаний з першою шиною синхронізації пристрою та тактовими входами регістрів зсуву групи та регістра зберігання переносу, входи, розрядів кожного регістра зсуву групи з'єднані з входами розрядів відповідного операнда пристрою, виходи регістрів зсуву групи з'єднані з першими входами елементів I другої групи, другі входи яких підключені до першої шини синхронізації пристрою, виходи асоціативного запам'ятовуючого блока з'єднані через відповідні елементи затримки групи з першими входами елементів I третьої групи, виходи яких підключені до перших входів признаку асоціативного запам'ятовуючого блока, другі елементи I першої групи з'єднані з другою шиною синхронізації пристрою, виходи елементів I другої групи з'єднані з другими входами признаку асоціативного запам'ятовуючого блока, вихід елемента підключений до третього входу признаку асоціативного запам'ятовуючого блока, тактовий вхід регістра проміжного результату з'єднаний з першою шиною синхронізації пристрою

На відомому пристрої неможливе виконання порогової обробки масиву чисел через несумісність використаного способу підсумовування початкових чисел і операції порівняння із порогом

Найбільш близьким по технічній суті до пристрою, який пропонується, є пристрій (а с СССР № 1119035, кл G06G7/14, 1984), який містить блоки порівняння групи, блок порівняння, блок послідовного підсумовування, причому входи групи пристрою з'єднані з першими входами блоків порівняння групи, другі входи яких з'єднані з виходом блока порівняння, перші виходи підключені до відповідних входів блока порівняння і до перших входів відповідних блоків порівняння групи, а другі входи підключені до відповідних входів групи блока послідовного підсумовування, вхід якого з'єднаний з виходом блока порівняння, а вихід підключений до виходу пристрою

Відомий пристрій реалізує тільки паралельне додавання групи операнда, представлених тривадовими часовими інтервалами, в той час як функціональна надлишковість, що притаманна цьому способу паралельного додавання, дозволяє реалізувати на кожному етапі підсумовування по-

рівняння часткових сум із порогом

В основу винаходу поставлено задачу створення підсумовуючого порогового пристрою, в якому за рахунок введення нових блоків та зв'язків між ними досягається можливість паралельної порогової обробки вхідної інформації

Поставлена задача вирішується тим, що в підсумовуючому пристрої, який містить n блоків порівняння групи, блок порівняння, блок послідовного підсумовування, причому входи групи пристрою з'єднані з першими входами блоків порівняння групи, другі входи яких з'єднані з виходом блока порівняння, перші входи підключені до групи входів даних блока порівняння і до перших входів відповідних блоків порівняння групи, а другі входи підключені до відповідних входів групи блока послідовного підсумовування, інформаційний вхід якого з'єднаний з виходом блока порівняння, додатково введено блок віднімання, входи скидання, синхронізації, керування і завдання порогу пристрою, причому перший вхід блока віднімання є входом порога пристрою, другий вхід підключений до виходу блока послідовного підсумовування, а вихід є виходом пристрою, входи скидання, синхронізації та керування з'єднані з відповідними входами кожного блока порівняння групи, а другі входи блоків порівняння групи підключені до групи знакових входів блока порівняння, крім того, блок порівняння містить $\lfloor n/2 \rfloor$ вузлів порівняння першого рівня, де $\lfloor a \rfloor$ — найближче до a мінімальне ціле число, $\lfloor n/4 \rfloor$ вузлів порівняння другого рівня і т.д., а всього $\lfloor \log_2 n \rfloor$ рівнів пірамідальної структури, кожний k -й вузол порівняння якої містить два знакових входи і два входи даних і знаковий вихід і вихід даних, причому входи даних k -го вузла порівняння першого рівня підключені до $(2k-1)$ -х і $2k$ -х входів даних блока порівняння, а знакові входи цього вузла підключені до $(2k-1)$ -х і $2k$ -х знакових входів блока порівняння, крім того, виходи даних і знакові виходи двох сусідніх вузлів порівняння молодшого рівня підключені до двох входів даних і двох знакових входів вузла порівняння старшого рівня і т.д., останній рівень має один вузол порівняння, який містить тільки один вихід даних, який є виходом блока порівняння, при цьому кожний вузол порівняння складається з 3-х блоків першого блока ознаки, що формується без урахування знаків операнда, другого блока ознаки, що формується з урахуванням знаків і нульових значень операнда і селектора, причому перший блок ознаки складається з $(m-1)$ однакових схем, кожна з яких містить чотири елемента І, два інвертора і два елемента АБО, крім того, перша схема містить також інвертор, j -ті розряди ($j=1,2, \dots, m$) двох операндів з виходу i -го блока порівняння групи з'єднані з $(2k-1)$ -м і $2k$ -м входами даних k -го вузла порівняння і підключені до входів першого елемента І та першого і другого інверторів, виходи яких з'єднані з входами другого елемента І, виходи першого і другого елементів І з'єднані із входами першого елемента АБО, перший вхід третього елемента І з'єднаний із входом першого інвертора, а другий з'єднаний з виходом другого інвертора, вихід кожної схеми є виходом другого елемента АБО, входами якого є виходи третього і четвертого елементів І, перший вхід четвертого елемента І з'єднаний

з виходом першого елемента АБО, другий вхід з'єднаний з виходом попередньої схеми, в першій схемі другий вхід четвертого елемента І підключений до виходу третього інвертора, а його третій вхід і вхід третього інвертора з'єднані з першими розрядами операндів A_i , B_i відповідно, вихід другого елемента АБО $(m-1)$ -ої схеми є виходом першого блока ознаки, що формується без урахування знаків операндів, другий блок ознаки, що формується з урахуванням знаків і нульових значень операндів, складається з чотирьох інверторів, чотирьох елементів І та двох елементів АБО, причому знакові входи операндів попарно з'єднані з входами перших елементів І та АБО, знаковий вхід другого операнда з'єднаний з першим входом другого елемента І, другий вхід якого з'єднаний через перший інвертор зі знаковим входом першого операнда, вихід першого елемента І є знаковим виходом вузла порівняння, а виходи другого елемента І та першого елемента АБО з'єднані з входами третього елемента І, перший вхід четвертого елемента І з'єднаний з виходом другого інвертора, вхід якого підключений до виходу першого блока ознаки, а другий вхід четвертого елемента І через третій інвертор з'єднаний з виходом першого елемента АБО, виходи третього і четвертого елементів І з'єднані з входами другого елемента АБО, вихід якого є першим виходом другого блока ознаки, знаковий вихід якого через четвертий інвертор з'єднаний з другим виходом другого блока ознаки, селектор складається з трьох груп елементів І, інвертора та групи елементів АБО, причому входи даних вузла порівняння з'єднані з першими входами відповідних першої і другої груп елементів І, другі входи першої групи елементів І з'єднані з першим виходом другого блока ознаки, а другі входи другої групи елементів І з'єднані з першим виходом другого блока ознаки через інвертор, виходи першої і другої групи елементів І попарно з'єднані з першими і другими входами групи елементів АБО, другий вихід другого блока ознаки з'єднаний з першими входами третьої групи елементів І, другі входи яких з'єднані з відповідними виходами групи елементів АБО, виходи третьої групи елементів І селектора є відповідно m -розрядним виходом вузла порівняння

На фіг 1 представлена структурна схема підсумовуючого порогового пристрою, на фіг 2 показана функціональна схема блока порівняння групи, на фіг 3 показана функціональна схема блока порівняння, на фіг 4, 5 показані функціональні схеми двох блоків ознак і селектора, на фіг 6 показана функціональна схема блока послідовного підсумовування

Пристрій (фіг 1) містить входи $1_1, \dots, 1_n$, блоки $2_1, \dots, 2_n$ порівняння, блок 3 порівняння, блок 4 послідовного підсумовування, блок 5 віднімання, вхід 6 порогу, вихід 7 пристрою. Перші входи блоків $2_1, \dots, 2_n$ порівняння з'єднані з входами $1_1, \dots, 1_n$ пристрою і першими виходами $8_1, \dots, 8_n$ блоків $2_1, \dots, 2_n$ порівняння відповідно, другі входи яких підключені до виходу 9 блока 3 порівняння. Виходи $10_1, \dots, 10_n$ блоків $2_1, \dots, 2_n$ порівняння підключені до групи входів $11_1, \dots, 11_n$ блока 4 послідовного підсумовування, а вихід 9 блока 3 порівняння з'єднаний із входом блока 4 послідовного підсумову-

вання, вихід 12 якого підключений до другого входу блока 5 віднімання, перший вхід якого підключений до входу 6 порога пристрою, а вихід є виходом 7 пристрою Крім того, виходи $8_1, \dots, 8_n$ блоків $2_1, \dots, 2_n$ порівняння з'єднані з групою входів $13_1, \dots, 13_n$ блока 3 порівняння, а виходи $10_1, \dots, 10_n$ — з групою входів $14_1, \dots, 14_n$ блока 3 порівняння Вхід 15 синхронізації, вхід 16 скидання і керуючий вхід 17 з'єднані з відповідними входами блоків $2_1, \dots, 2_n$ порівняння

Блок 2₁ порівняння, де $i=1, 2, \dots, n$ (фіг 2), містить m -розрядний суматор 18, групу із m D-тригерів $19_1, \dots, 19_m$, групу із m інверторів $20_1, \dots, 20_m$, мультиплексор 21, схему АБО-НІ 22, RS-тригери 23, 24, елемент АБО 25 причому перший вхід мультиплексора 21 підключений до входу 1₁ блока 2₁, другий вхід з'єднаний із прямими виходами групи D-тригерів $19_1, \dots, 19_m$, m -розрядний вихід — до першої групи входів суматора 21, друга група входів якого підключена до виходів групи інверторів $20_1, \dots, 20_m$, входи яких підключені до виходу 9 блока 3 порівняння Вхід перенесення РО суматора 18 підключений через резистор 26 до входу живлення +5В Крім того, С-входи групи D-тригерів $19_1, \dots, 19_m$ з'єднані з входом 15 синхронізації пристрою, а виходи підключені до m входів елемента АБО-НІ 22, вихід якого з'єднаний з S-входом RS-тригера 23, R-вхід якого підключений до входу 16 скидання пристрою, а прямий вихід підключений до першого входу елемента АБО 25 Крім того, виходи групи D-тригерів $19_1, \dots, 19_m$ являються m -розрядним виходом 8_i блока 2₁, а адресний вхід мультиплексора 21 підключений до входу керування 17 пристрою Вихід знаку P1 суматора 18 підключений до S-входу RS-тригера 24, R-вхід якого підключений до входу 16 скидання пристрою, вихід якого підключений до другого входу елемента АБО 25, вихід V якого є виходом 10₁ блока 2₁

Блок 3 порівняння (фіг 3) містить $[n/2]$ вузлів 27 порівняння першого рівня, де $[a]$ — найближче до a мінімальне ціле число, $[n/4]$ вузлів 27 порівняння другого рівня і т.д., а всього $[\log_2 n]$ рівнів пірамідальної структури Кожний k -й вузол 27 порівняння ($k=1, 2, \dots$) містить чотири входи (два знакових входи і два входи даних) і два виходи (знаковий вихід 28_k і вихід даних 29_k) Входи даних k -го вузла 27 порівняння першого рівня підключені до входів $13_{(2k-1)}, 13_{2k}$ блока 3 порівняння, а знакові входи цього вузла підключені до входів $14_{(2k-1)}, 14_{2k}$ блока 3 порівняння Останній рівень має один вузол 27 порівняння, який містить тільки один вихід даних 29₁, який є виходом 9 блока 3 порівняння

Вузол 27 порівняння складається з 3-х блоків блока 3₁ ознаки, що формується без урахування знаків операнда (фіг 4), блока 3_а ознаки, що формується з урахуванням знаків і нульових значень операндів і селектора 3₃ (фіг 5)

Блок 3₁ ознаки (фіг 4) складається з $(m-1)$ однакових схем 30 Кожна схема 30 містить чотири елемента I 31, 32, 33, 34, два інвертора 35, 36 і два елемента АБО 37, 38 Крім того, перша схема 30 містить також інвертор 39, а елемент I 33 має три входи Отже, j -ті розряди ($j=1, 2, \dots, m$) двох операндів A_i, B_i з виходу 8₁ блока 2₁ з'єднані з входами $13'_{(2k-1)}, 13'_{2k}$ k -го вузла 27 блока 3 і підключені до

входів елемента I 31 та інверторів 35, 36, виходи яких з'єднані з входами елемента I 32 Виходи елементів I 31, 32 з'єднані із входами елемента АБО 37 Перший вхід елемента I 34 з'єднаний із входом інвертора 35, а другий з'єднаний з виходом інвертора 36 Вихід схеми 30 є виходом елемента АБО 38, входами якого є виходи елементів I 33, 34 Перший вхід елемента I 33 з'єднаний з виходом елемента АБО 37, другий вхід з'єднаний з виходом попередньої схеми 30 В першій схемі 30 другий вхід елемента I 33 підключений до виходу інвертора 39, а його третій вхід і вхід інвертора 39 з'єднані з першими розрядами $13'_{(2k-1)}, 13'_{2k}$ операндів A, B , відповідно Вихід елемента АБО 38 ($m-1$ -ої схеми 30) є виходом 40 (Min) блока 3₁

Блок 3₂ ознаки (фіг 5) складається з чотирьох інверторів 41, 42, 43, 44, чотирьох елементів I 45, 46, 47, 48 та двох елементів АБО 49, 50 Входи V_A, V_B блока 3₂, які є входами $14_{(2k-1)}, 14_{2k}$ знаків операндів A, B блока 3, попарно з'єднані з входами елементів I 45 та АБО 49 Вхід $14_k (V_B)$ з'єднаний з першим входом елемента I 46, другий вхід якого з'єднаний через інвертор 41 з входом $14_{(2k-1)} (V_A)$ блока 3 Вихід елемента I 45 є виходом 28_k (V_C) вузла 27_k блока 3, а виходи елементів I 46 та АБО 49 з'єднані з входами елемента I 47 Перший вхід елемента I 48 з'єднаний з виходом інвертора 44, вхід якого підключений до виходу 40 блока 3₁, а другий вхід елемента I 48 через інвертор 42 з'єднаний з виходом елемента АБО 49 Виходи елементів I 47, 48 з'єднані з входами елемента АБО 50, вихід (S) якого є виходом 51 блока 3₂ Знаковий вихід 28_k (V_C) через інвертор 43 з'єднаний з виходом 52 блока 3₂

Селектор 3₃ (фіг 5) складається з груп елементів I 53, 54, 55, інвертора 56 та групи елементів

АБО 57₁ ($J = \overline{1, m}$) Входи $13_{(2k-1)}, 13_{2k}$ операндів A, B з'єднані з першими входами відповідних груп елементів I 53, 54, Другі входи групи елементів I 53 з'єднані з виходом 51 блока 3₂, а другі входи групи елементів I 54 з'єднані з виходом 51 блока 3₂ через інвертор 56 Виходи групи елементів I 53, 54 попарно з'єднані з першими і другими входами групи елементів АБО 57₁ Вихід 52 блока 3₂ з'єднаний з першими входами групи елементів I 55, другі входи яких з'єднані з відповідними входами групи

елементів АБО 57₁ Виходи c_i ($J = \overline{1, m}$) групи елементів I 55₁ блока 3₃ є відповідно m -розрядним виходом 29_k вузла 27_k порівняння блока 3

Блок 4 послідовного підсумовування (фіг 6) містить входи $11_1, \dots, 11_n$ і m -розрядний вхід 9, які з'єднані відповідно з інверсним входом і m прямими входами групи $(m+1)$ -розрядних елементів I 58,

($i = \overline{1, m}$), виходи яких з'єднані попарно з входами групи $[n/2]$ суматорів 59 першого рівня, виходи яких з'єднані попарно з входами групи $[n/4]$ суматорів 59 другого рівня і т.д. Всього блок 4 має $[\log_2 n]$ рівнів пірамідальної структури Останній рівень має один суматор 59, вихід якого є виходом 12 блока 4 послідовного підсумовування

Пристрій працює наступним чином

Розглянемо приклад паралельного підсумовування масиву з п'яти чисел Підсумовуються числа, рівні 11, 3, 5, 8, 15, та порівнюються з порогом,

який дорівнює 31. П'ять чисел подаються відповідно на входи 1_1-1_5 , утворюючи початковий масив для підсумовування.

Оскільки в початковому стані на виході 9 блока 3 присутній нульовий сигнал, то в першій дії підсумовування від кожного початкового числа віднімається нуль з блока 3 і на виходах 8_1-8_5 блоків 2_1-2_5 отримують різниці, фактично рівні початковим числам 11, 3, 5, 8, 15, які паралельно подаються по п'яти входах 13_1-13_5 на блок 3, де відбувається виділення найменшого числа з п'яти початкових чисел, яке дорівнює 3, та подається на вхід блока 4. Разом з тим з других виходів 10_1-10_5 блоків 2_1-2_5 на входи 11_1-11_1 блока 4 подаються сигнали ознак, що дорівнюють одиниці при наявності ненульової додатної інформації на перших виходах 8_1-8_5 відповідних блоків 2_1-2_5 , тобто при наявності ненульової різниці у поточній дії. Таким чином, у блоці 4 відбувається утворення п'ятикратного мінімального числа, що дорівнює 15, кратність якого визначається кількістю ненульових чисел першого масиву, після чого відбувається порівняння з порогом 31 у блоці 5, і оскільки значення різниці між порогом і першою частковою сумою, що дорівнює 16, більше нуля, то формується нульовий поточний підсумковий сигнал на виході 7 пристрою і дії продовжуються.

В другій дії в блоках 2_1-2_5 формуються різниці між початковими числами 11, 3, 5, 8, 15 та мінімальним числом першого масиву, що дорівнює трьом. Утворюються різниці 8, 0, 2, 5, 12 другого масиву. Найменше ненульове значення числа другого масиву, що дорівнює двом, формується в блоці 3, а далі подається до блока 4, де підсумовується в чотирикратному розмірі, тобто формується часткова сума чисел 8, кратність якої визначається кількістю ненульових чисел другого масиву. Після цього поточна часткова сума 8 порівнюється з поточним значенням порогу, яке дорівнює 16, і оскільки значення поточного порогу більше значення поточної часткової суми, то формується нульовий поточний підсумковий сигнал на виході 7 пристрою і дії продовжуються.

В третій дії в блоках 2_1-2_5 формуються різниці між числами 8, 0, 2, 5, 12 другого масиву та мінімальним числом другого масиву. Утворюються різниці 6, -2, 0, 3, 10 третього масиву. Мінімальне число третього масиву дорівнює трьом, оскільки від'ємне число не приймає участь в порівнянні. Мінімальне число з блока 3 подається до блока 4, де формується поточна часткова сума в трикратному розмірі, що дорівнює 9, кратність якої визначається кількістю ненульових чисел третього масиву, після чого знов відбувається порівняння її з поточним порогом 8, і оскільки значення поточного порогу менше отриманої суми, то підсумовування припиняється і формується одиничний підсумковий сигнал на виході 7 пристрою.

У разі, якщо поточний поріг перевищує значення остаточної поточної суми чисел початкового масиву, то процес підсумовування виконується до моменту отримання мінімального числа, що дорівнює нулю. У цьому випадку підсумковий сигнал залишається нульовим.

Блок 21 віднімання працює таким чином. Спочатку RS-тригери 23 і 24 скидаються в нульовий

стан, а мультиплексор 21 встановлюється по сигналу на вході керування 17 пристрою для передавання на вихід інформації з т-розрядного входу 11 пристрою. Інформація з мультиплексор 21 подається на перший вхід суматора 18, на другий вхід якого подається проінвертована інформація з виходу 9 блока 3 порівняння. Крім того, на вхід перенесення РО суматора 18 завжди подається "1" таким чином, суматор 18 працює в режимі віднімання. В результаті різниці з виходу суматора 18 записується в групу D-тригерів $19_1, \dots, 19_m$ при наявності синхросигналу на їх С-входах. В наступних тактах роботи пристрою мультиплексор 21 встановлюється по сигналу на вході керування 17 пристрою на передавання інформації, що поступає з виходів групи D-тригерів $19_1, \dots, 19_m$. Крім того, при наявності в D тригерах $19_1, \dots, 19_m$ нульової інформації на вході елемента АБО-НІ 23 з'являється "1", що поступає на S-вхід RS-тригера 23, який встановлюється в одиничний стан. Якщо при відніманні в суматорі 18 отримано від'ємний результат, то на його виході P1 формується "1", яка подається на S-вхід RS-тригера 24, який встановлюється в одиничний стан. При наявності на одному з входів елемента АБО 25 одиниці з RS-тригерів 23, 24 на виході V, який є виходом 10і блока 21 з'являється "1", яка вказує на те, що інформація від'ємна або нульова.

Блок 3 порівняння (фіг 3) працює в такий спосіб. На його входи $13_{(2k-1)}, 13_{2k} + 14_{(2k-1)}, 14_{2k}$ де $k=1,2$ попарно подаються числа A_i і B_i , та їхні знаки V_{A_i}, V_{B_i} відповідно. В кожній парі чисел визначається мінімальне число за такими правилами:

1 Якщо обидва числа додатні і не дорівнюють нулю, то мінімальне є мінімальне за модулем число.

2 Якщо обидва числа додатні і не дорівнюють нулю та однакові за модулем, то мінімальне число А.

3 Якщо одне число додатне і не дорівнює нулю, а інше число від'ємне, то мінімальне є додатне число.

4 Якщо обидва числа від'ємні і не дорівнюють нулю, то результатом буде нуль.

5 Якщо обидва числа від'ємні і не дорівнюють нулю та однакові за модулем, то результатом буде нуль.

6 Якщо одне число додатне і не дорівнює нулю, а інше число дорівнює нулю, то мінімальне є додатне число.

7 Якщо одне число від'ємне, а інше число дорівнює нулю, то результат буде нуль.

8 Якщо обидва числа дорівнюють нулю, то результат буде нуль.

Блок 3₁ ознаки, що формується без урахування знаків операндів А, В (фіг 4) визначає такі сигнали на виході 40:

$A > B$	$Min=1$
$A < B$	$Min=0$
$A = B$	$Min=0$

Блок 3₂ ознаки, що формується з урахуванням знаків і нульових значень операндів А, В (фіг 5) визначає такі сигнали на виходах $28_k (V_C)$ і $51 (S)$ в залежності від сигналів на входах $14_{(2k-1)}, 14_{2k} (V_A, V_B)$ і 40 (табл 1).

Таблиця 1

V_A	V_B	Min	V_C	S
+ (0)	+ (0)	1	+ (0)	0
+ (0)	-(1)	1	+ (0)	1
-(1)	+ (0)	1	+ (0)	0
-(1)	-(1)	1	-(1)	1
+ (0)	+ (0)	0	+ (0)	1
+ (0)	-(1)	0	+ (0)	1
-(1)	+ (0)	0	+ (0)	0
-(1)	-(1)	0	-(1)	1

В залежності від сигналів на входах 51 (S) і 52 (\bar{V}_C) селектор 3₃ (фіг 5) видає такі дані на виході 29_k (C) (табл 2)

Таблиця 2

V_C	S	C
-(1)	1	0
-(1)	0	0
+ (0)	1	A
+ (0)	0	B

Результуюча картина роботи k-го вузла 27 порівняння має такий вигляд (табл 3)

Таблиця 3

A	B	V_A	V_B	C	V_C
>		-(1)	-(1)	0	-(1)
<		-(1)	-(1)	0	-(1)
=		-(1)	-(1)	0	-(1)
>		+ (0)	-(1)	A	+ (0)
<		+ (0)	-(1)	A	+ (0)
=		+ (0)	-(1)	A	+ (0)
>		-(1)	+ (0)	B	+ (0)
<		-(1)	+ (0)	B	+ (0)
=		-(1)	+ (0)	B	+ (0)
>		+ (0)	+ (0)	B	+ (0)
<		+ (0)	+ (0)	A	+ (0)
=		+ (0)	+ (0)	A	+ (0)

Блок 4 послідовного підсумовування (фіг 6) працює так. Мінімальне додатне число серед чисел поточного масиву з виходу 9 блока 3 порівняння подається на m-розрядні прямі входи групи

всіх елементів $\{58_i, (i = \overline{1, n})\}$, на (m+1)-й інверсний вхід яких подається сигнал ознаки з виходів 10_i відповідних блоків 2 порівняння групи. Отже, якщо сигнал ознаки з виходу 10_i відповідного блоку 2, дорівнює нулю, тобто на виході 8_i блока 2, інформація є ненульовою і додатньою, то величина визначеного мінімального числа у початковому масиві чисел проходить через елемент 158_i і подається на вхід відповідного суматора 59. Дані, що надходять на входи суматорів 59 першого рівня, послідовно підсумовуються на всіх $[\log_2 n]$ рівнях обробки пірамідальної структури, а результат підсумовування, тобто поточна часткова сума формується на виході 12 блока 4 послідовного підсумовування.

Процес порогового підсумовування масиву чисел на даному пристрої можна представити таким чином

$$y = \begin{cases} 1, \text{ якщо } S \geq p, \\ 0, \text{ якщо } S < p, \end{cases} \quad (1)$$

де y — підсумковий сигнал на виході 7 пристрою, S — остаточна сума масиву чисел, p — поріг обробки, причому

$$S = \sum_{i=1}^L S_i$$

де S_i — поточна часткова сума, яка формується на i -му циклі обробки в блоці 4 послідовного підсумовування.

Тоді важливим є остаточне значення різниці Δ виду $A = p - S = p - (S_1 + S_2 + \dots + S_L)$ (2)

Або

$$\Delta = (p - S_1) - S_2 - \dots - S_L \quad (2)$$

Отже вираз (1) з використанням співвідношення (2) набуває такого вигляду

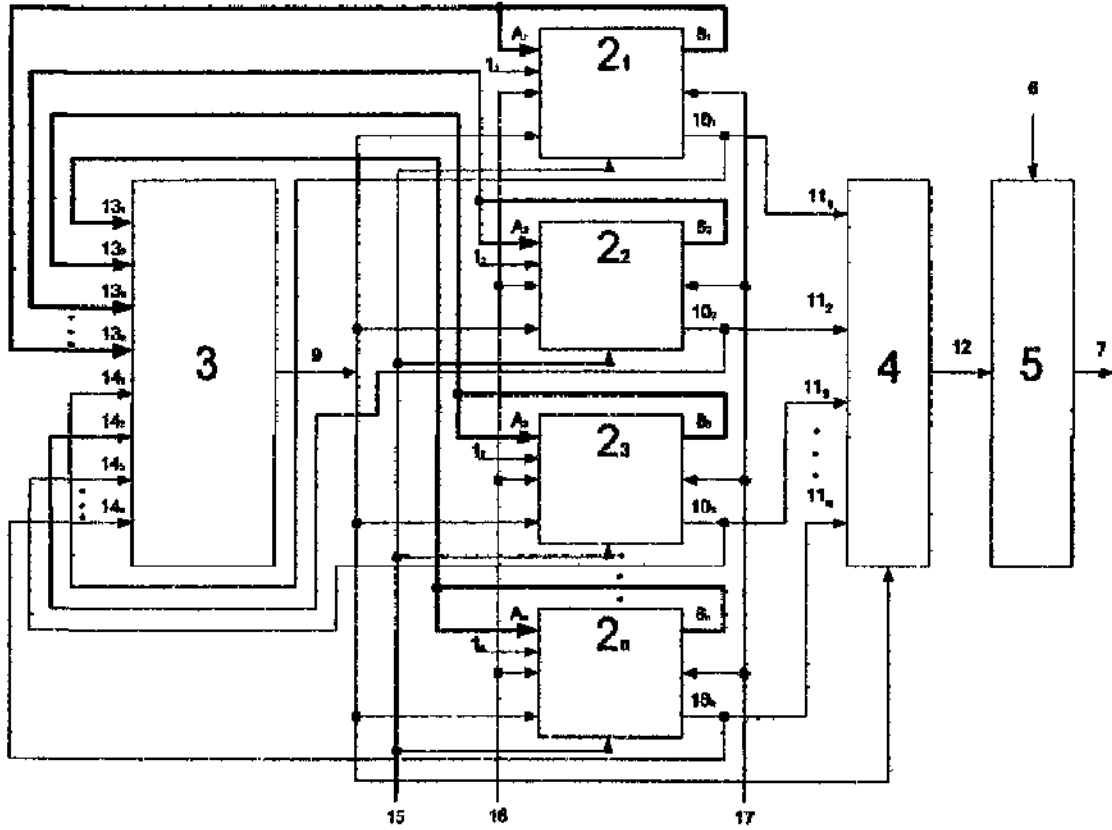
$$y = \begin{cases} 1, \text{ якщо } \Delta \leq 0, \\ 0, \text{ якщо } \Delta > 0 \end{cases}$$

В результаті можна записати таку співвідношення

$$\Delta_i = \Delta_{i-1} - S_i, \Delta_1 = p - S_1, \Delta = \Delta_1 \quad (3)$$

Таким чином, запропонований пристрій дозволяє реалізувати паралельне порогове підсумовування масиву чисел, оскільки порівняння із порогом виконується не після отримання остаточного значення суми масиву чисел, а в процесі порівняння порогу з кожним значенням поточної часткової суми (3). Такий підхід дозволяє досягти мак-

симального паралелізму обробки масиву чисел, оскільки в процесі задіяні одночасно всі операнди, а це, в свою чергу, призводить до прискорення процесу обробки, оскільки у випадку перевищення суми над порогом цей факт можна зафіксувати без формування остаточного значення суми всіх чисел масиву



Фиг. 1

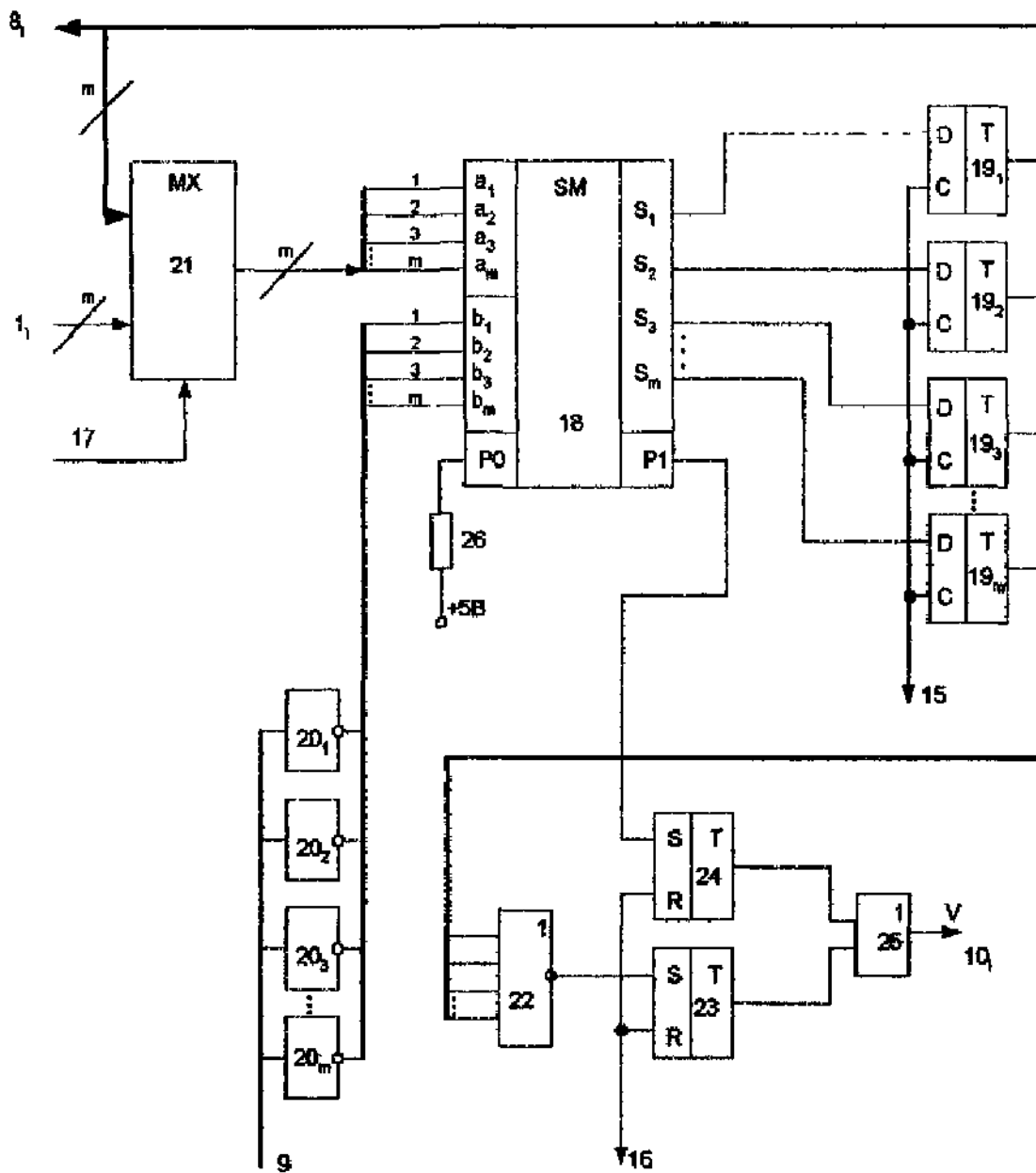


Fig. 2

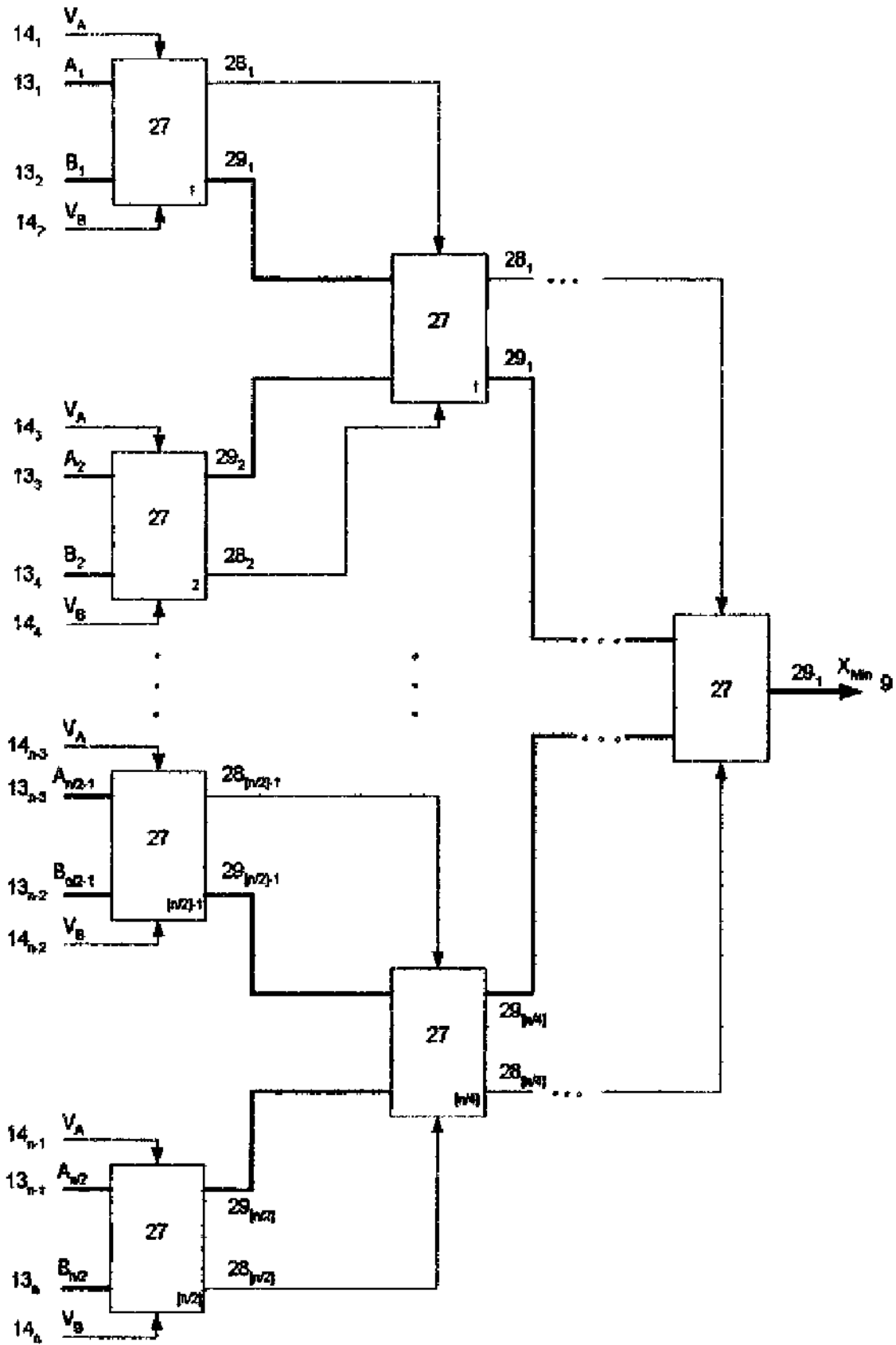


Fig. 3

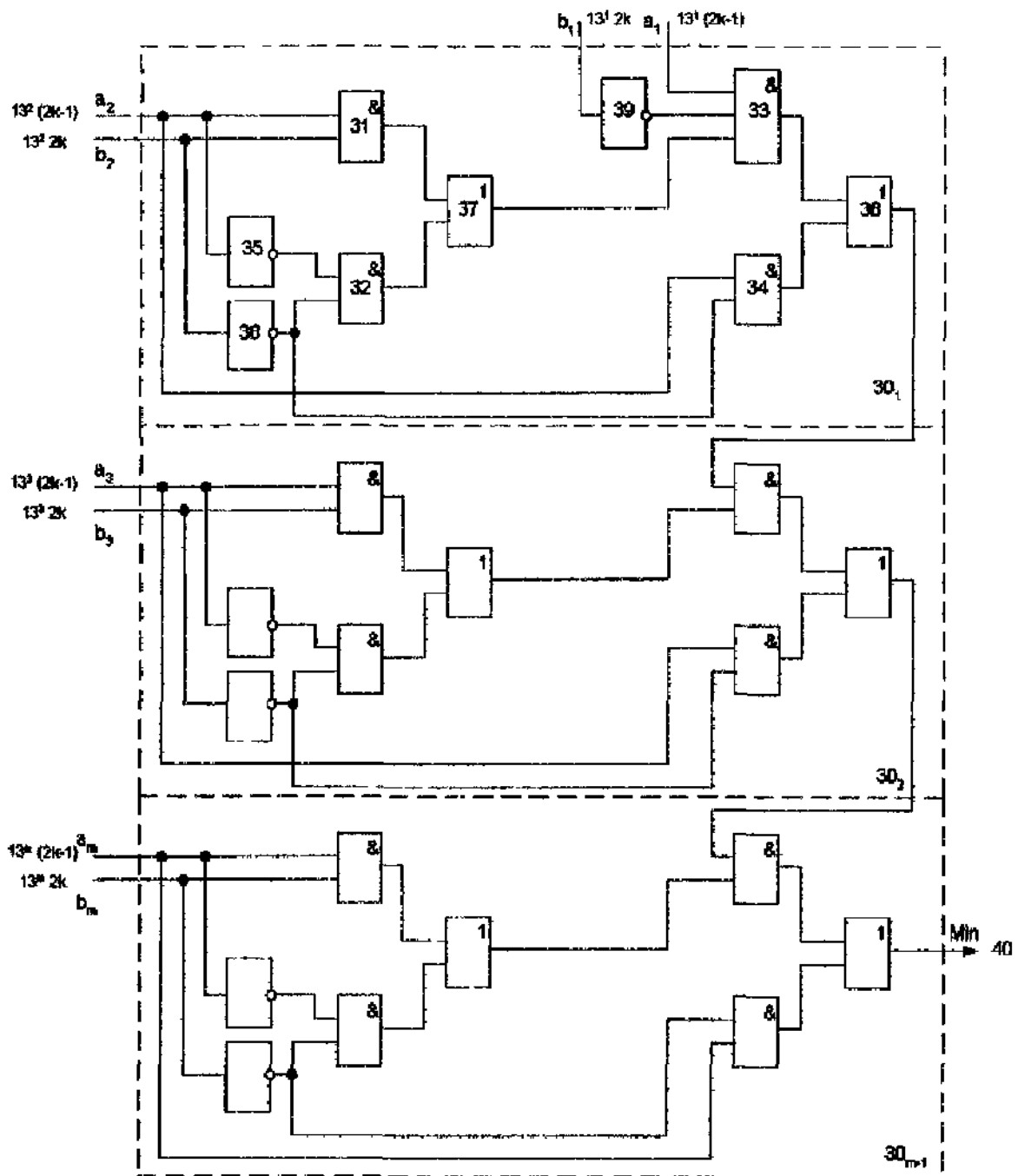


Fig. 4

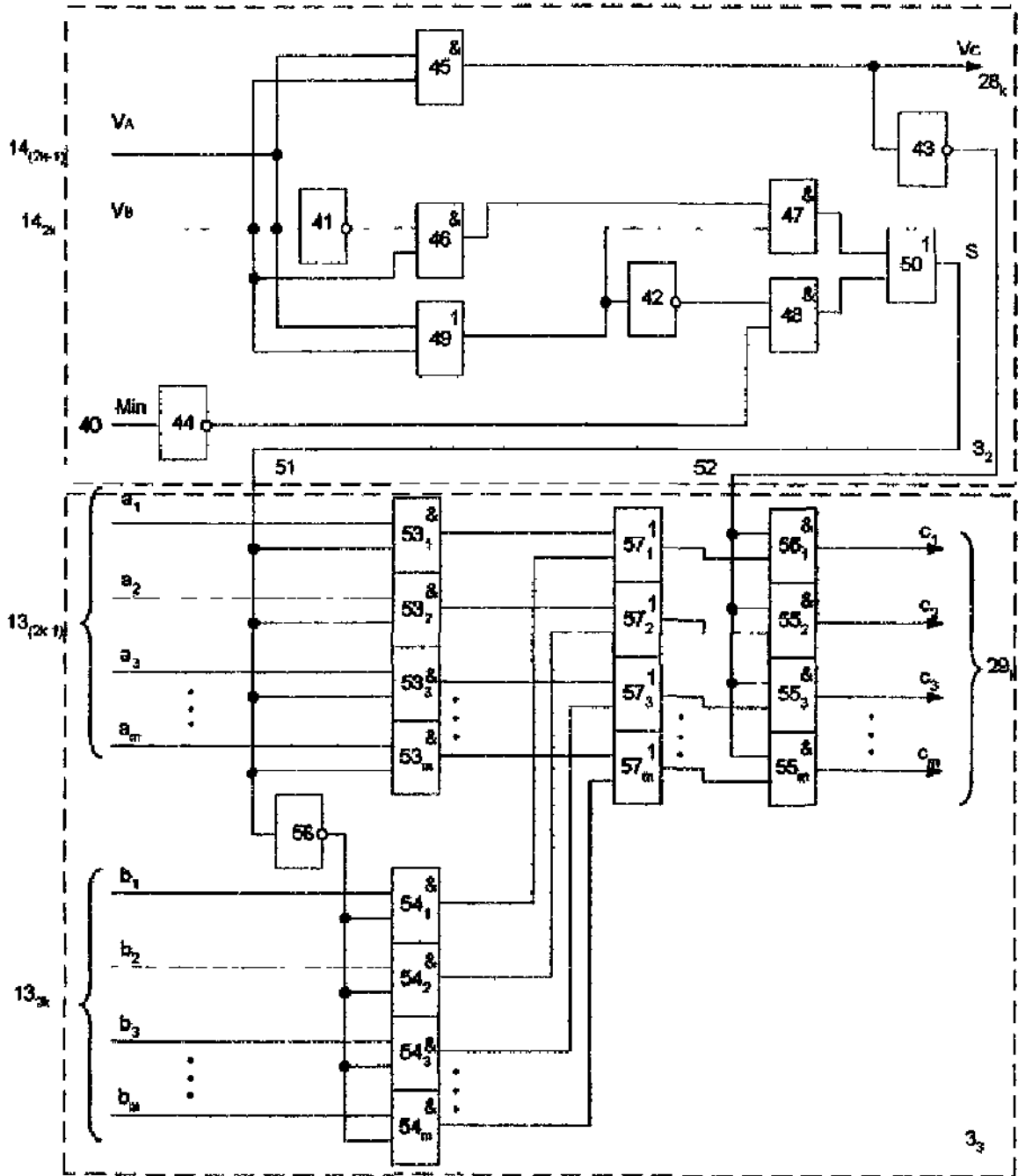
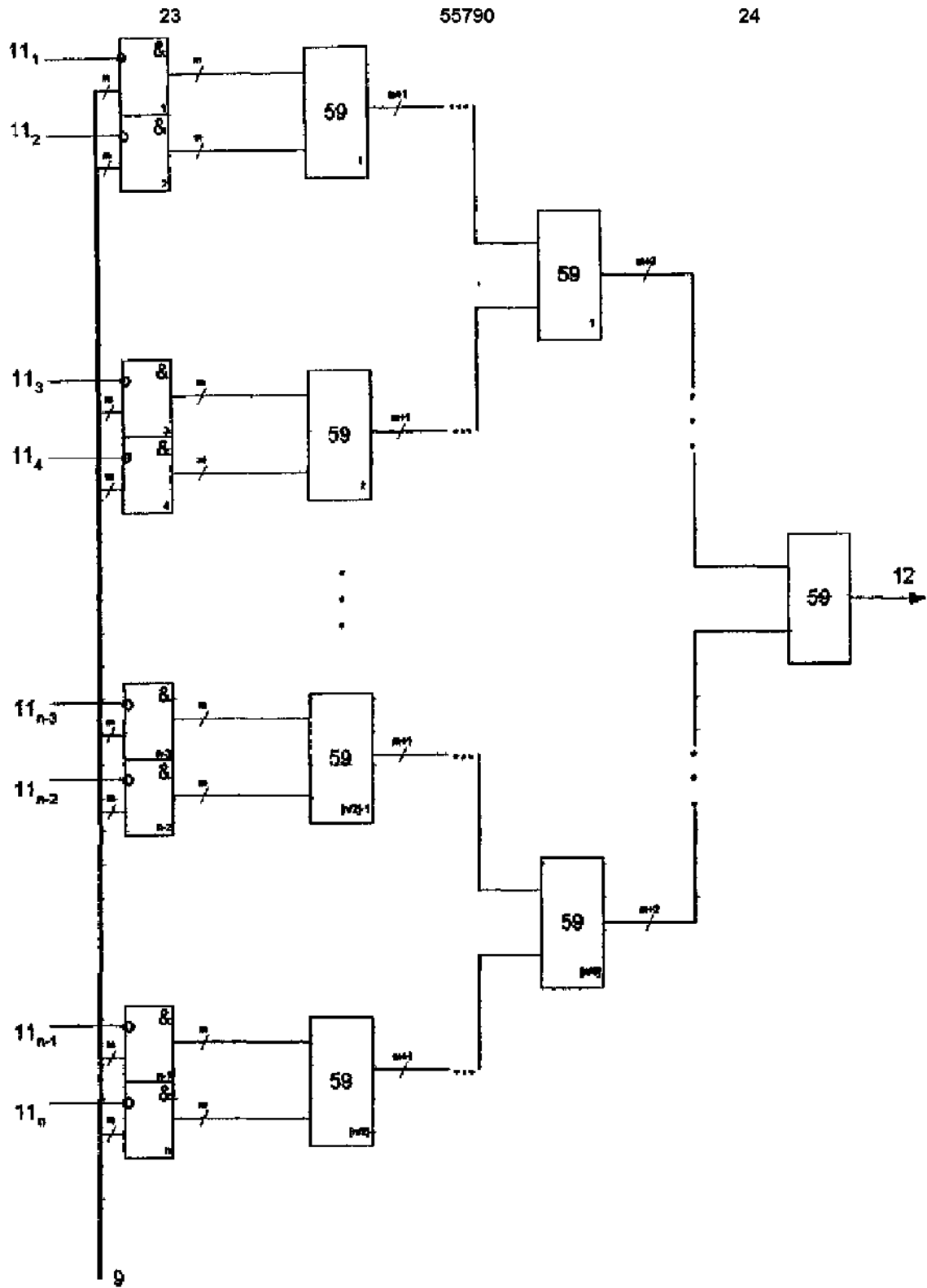


Fig. 5



Фиг. 6