

Винахід відноситься до обчислювальної техніки та може бути використаний в обчислювальних пристроях для порогової обробки масиву чисел.

Відомий підсумовуючий пристрій (а.с. СССР № 1396139, кл. G06F 7/50, 1986), який містить постійний запам'ятовуючий блок, першу та другу групи елементів I, групу елементів затримки, перетворювач двійкового коду в ущільнений код, групу елементів HI, причому перші входи елементів I першої групи підключені до входу синхронізації пристрою, входи першої групи перетворювача двійкового коду в ущільнений код з'єднані з виходами відповідних елементів затримки групи, входи перетворювача двійкового коду в ущільнений код із n-го по другий (де $n = 2m - 1$; m - кількість операндів) з'єднані з першими входами відповідних елементів I другої групи з (n - 1)-го по перший, причому інформаційні входи пристрою з'єднані з другими входами відповідних елементів I першої групи, входи елементів HI групи з'єднані з відповідними виходами перетворювача двійкового коду в ущільнений код, входи елементів HI групи, крім n-го, з'єднані з другими входами відповідних елементів I другої групи, адресні входи постійного запам'ятовуючого блока з'єднані відповідно з виходами n-го елемента HI групи, виходами елементів I другої групи та першим виходом перетворювача двійкового коду в ущільнений код, перший розрядний вихід постійного запам'ятовуючого блока з'єднаний з виходом результату пристрою, а інші розрядні входи підключені до входів відповідних елементів затримки групи, входи елементів I першої групи з'єднані відповідно з входами другої групи перетворювача двійкового коду в ущільнений код.

Недоліком відомого пристрою є вузькі функціональні можливості, оскільки неможливе виконання процесу одночасного підсумовування та порівняння із порогом масиву чисел.

Відомо асоціативний підсумовуючий пристрій (а.с. СССР № 1424011, кл. G06F7/50, 1986), який містить асоціативний запам'ятовуючий блок, три групи елементів I, елемент I, групу елементів затримки, регістр зберігання переносу, групу регістрів зсуву, регістр проміжного результату та постійний запам'ятовуючий блок, причому вхід молодшого розряду регістра проміжного результату з'єднаний із виходом результату асоціативного запам'ятовуючого блока і з виходом результату двійкового підсумовування пристрою, входи розрядів регістра проміжного результату з'єднані з першими входами елементів I першої групи, входи яких підключені до адресних входів постійного запам'ятовуючого блока, перший вихід якого з'єднаний з виходом результату десяткового підсумовування пристрою, інші входи постійного запам'ятовуючого блока з'єднані з входами розрядів регістра зберігання переносу, вихід якого підключений до першого входу елемента I, другий вхід якого з'єднаний з першою шиною синхронізації пристрою та тактовими входами регістрів зсуву групи та регістра зберігання переносу, входи розрядів кожного регістра зсуву групи з'єднані з входами розрядів відповідного операнда пристрою, входи регістрів зсуву групи з'єднані з першими входами елементів I другої групи, другі входи яких підключені до першої шини синхронізації пристрою, входи асоціативного запам'ятовуючого блока з'єднані через відповідні елементи затримки групи з першими входами елементів I третьої групи, входи яких підключені до перших входів признаку асоціативного запам'ятовуючого блока, другі входи елементів I першої групи з'єднані з другою шиною синхронізації пристрою, входи елементів I другої групи з'єднані з другими входами признаку асоціативного запам'ятовуючого блока, вихід елемента підключений до третього входу признаку асоціативного запам'ятовуючого блока, тактовий вхід регістра проміжного результату з'єднаний з першою шиною синхронізації пристрою.

Недоліком відомого пристрою є вузькі функціональні можливості через несумісність використаного способу підсумовування початкових чисел і операції порівняння із порогом.

Найбільш близьким по технічній суті до пристрою, який пропонується, є пристрій (а.с. СССР № 1119035, кл. G06G 7/14, 1984), який містить блоки порівняння групи, блок порівняння, іменованій в подальшому мініматор, блок послідовного підсумовування, причому входи групи пристрою з'єднують з першими входами блоків порівняння групи, другі входи яких з'єднані з виходом мініматора, перші входи підключені до відповідних входів мініматора і до перших входів відповідних блоків порівняння групи, а другі входи підключені до відповідних входів групи блока послідовного підсумовування, вхід якого з'єднаний з виходом мініматора, а вихід підключений до виходу пристрою.

Відомий пристрій реалізує тільки паралельне додавання групи операнда, представлених тривалостями часових інтервалів, в той час як функціональна надлишковість, що притаманна цьому пристрою паралельного додавання, дозволяє реалізувати на кожному етапі підсумовування порівняння часткових сум із порогом.

В основу винаходу поставлено задачу створення підсумовуючого порогового пристрою, в якому за рахунок введення нових блоків та зв'язків між ними досягається можливість паралельної порогової обробки вхідної інформації, що призводить до розширення функціональних можливостей.

Поставлена задача вирішується тим, що в підсумовуючому пристрої, який містить n блоків порівняння групи, блок порівняння, іменованій в подальшому мініматор, блок послідовного підсумовування, причому входи групи пристрою з'єднані з першими входами блоків порівняння групи, другі входи яких з'єднані з виходом мініматора, перші входи підключені до групи входів даних мініматора і до перших входів відповідних блоків порівняння групи, а другі входи підключені до відповідних входів групи блока послідовного підсумовування, інформаційний вхід якого з'єднаний з виходом мініматора, додатково введено блок віднімання, входи скидання, синхронізації, керування і завдання порогу пристрою, причому перший вхід блока віднімання є входом порога пристрою, другий вхід підключений до виходу блока послідовного підсумовування, а вихід є виходом пристрою, входи скидання, синхронізації та керування з'єднані з відповідними входами кожного блока порівняння групи, а другі входи блоків порівняння групи підключені до групи знакових входів мініматора, входи ознак якого підключені до групи входів блока послідовного підсумовування, крім того, мініматор містить $\lfloor n/2 \rfloor$ вузлів порівняння першого рівня, де $\lfloor a \rfloor$ - найближче до a мінімальне ціле число, $\lfloor n/4 \rfloor$ вузлів порівняння другого рівня і т.д., а всього $\lceil \log_2 n \rceil$ рівнів пірамідальної структури, кожний k-й вузол порівняння першого рівня якої містить два знакових входи, два входи даних, два входи ознак і вихід даних, причому входи даних k-го вузла порівняння першого рівня підключені до $(2k - 1) - x$ і $2k - x$ входів даних мініматора, а знакові входи цього вузла підключені до $(2k - 1) - x$ і $2k - x$ знакових входів мініматора, крім того входи даних двох сусідніх вузлів порівняння молодшого рівня підключені до двох входів даних вузла

порівняння старшого рівня і т.д., останній рівень має один вузол порівняння, який містить тільки один вихід даних, який є виходом мініматора, при цьому кожний вузол порівняння містить схему порівняння, чотири елементи АБО-НІ, п'ять елементів АБО, три елементи І, три елементи НІ, елемент І-НІ, дві схеми нерівнозначності, а також дві групи m елементів І і групу m елементів АБО, дві групи входів схеми порівняння з'єднані відповідно із двома групами входів вузла порівняння і входами першого і другого елементів АБО- НІ, знакові входи вузла порівняння і виходи першого і другого елементів АБО-НІ підключені відповідно до шини ознак, причому третій і четвертий виходи шини ознак з'єднані з входами третього елемента АБО-НІ, перший і третій виходи шини ознак підключені до входів четвертого елемента АБО і першої схеми нерівнозначності, другий і четвертий виходи шини ознак підключені до входів п'ятого елемента АБО і другої схеми нерівнозначності, перший і другий виходи шини ознак підключені відповідно до входів першого і другого елементів НІ і четвертого елемента АБО-НІ і перших двох входів елемента І-НІ, виходи третього і четвертого елементів АБО-НІ під'єднані до першого і другого входів першого елемента І, третій вхід якого з'єднаний з виходом першого елемента АБО, входи якого з'єднані з виходами "=" і "<" схеми порівняння, вихід першого елемента І з'єднаний з першим входом другого елемента АБО, а виходи четвертого і п'ятого елементів АБО є виходами ознак мініматора, виходи другої схеми нерівнозначності і першого елемента НІ підключені до входів другого елемента І, вихід якого з'єднано з другим входом другого елемента АБО, виходи першої схеми нерівнозначності і другого елемента НІ підключено до входів третього елемента І, вихід якого під'єднаний до першого входу третього елемента АБО, вихід другого елемента АБО підключено до другого входу першої групи m елементів І і входу третього елемента НІ, вихід якого під'єднано до другого входу третього елемента І, вихід якого підключено до другого входу другої групи m елементів І, вихід третього елемента АБО-НІ з'єднаний також з третім входом елемента І-НІ, вихід якого підключений до третіх входів двох груп m елементів І, перша і друга групи m входів вузла порівняння першого рівня з'єднані відповідно з першими входами першої і другої групи m елементів І, виходи m елементів І першої і другої групи з'єднані відповідно із входами m елементів АБО групи, а виходи групи m елементів АБО є m -розрядним виходом вузла порівняння першого рівня мініматора, крім того вузол порівняння всіх рівнів, крім першого, містить схему порівняння, три елементи АБО-НІ, три елементи АБО, три елементи І, елемент НІ, елемент І-НІ, схему нерівнозначності, а також дві групи m елементів І і групу m елементів АБО, дві групи входів схеми порівняння з'єднані відповідно з двома групами входів вузла порівняння всіх рівнів, крім першого, і з входами двох перших елементів АБО-НІ, а також елементів АБО-НІ під'єднані до входів третього елемента АБО-НІ і елемента І-НІ, вихід якого підключений до третіх входів двох груп m елементів І, вихід третього елемента АБО-НІ приєднаний до першого входу елемента І, другий вхід якого з'єднаний з виходом першого елемента АБО, входи якого з'єднані з виходами "=" і "<" схеми порівняння, вихід першого елемента І під'єднаний до першого входу другого елемента АБО, виходи першого і другого елементів АБО-НІ підключені також відповідно до входів схеми нерівнозначності і до перших входів другого і третього елементів І, вихід схеми нерівнозначності приєднаний до других входів другого і третього елементів І, вихід третього елемента І підключений до другого входу другого елемента АБО, вихід якого під'єднаний до других входів першої групи m елементів І і до входу елемента НІ, вихід якого підключений до першого входу третього елемента АБО, другий вхід якого з'єднаний з виходом другого елемента І, вихід третього елемента АБО підключений до других входів другої групи m елементів І, виходи першої і другої групи m елементів І з'єднані відповідно із входами m елементів АБО групи, виходи якої є m -розрядним виходом вузла порівняння всіх рівнів, крім першого, мініматора.

На фіг.1 представлена структурна схема підсумовуючого порогового пристрою, на фіг.2 показана функціональна схема блока порівняння групи, на фіг.3 показана функціональна схема мініматора, на фіг.4, 5 показані функціональні схеми вузлів порівняння відповідно першого та інших рівнів мініматора, на фіг.6 показана функціональна схема блока послідовного підсумовування.

Пристрій (фіг.1) містить входи $1_1, \dots, 1_n$ блоки $2_1, \dots, 2_n$ порівняння, мініматор 3, блок 4 послідовного підсумовування, блок 5 віднімання, вхід 6 порогу, вихід 7 пристрою. Перші входи блоків $2_1, \dots, 2_n$ порівняння з'єднані з входами $1_1, \dots, 1_n$ пристрою і першими виходами $8_1, \dots, 8_n$ блоків $2_1, \dots, 2_n$ порівняння відповідно, другі входи яких підключені до виходу 9 мініматора 3. Виходи $10_1, \dots, 10_n$ блоків $2_1, \dots, 2_n$ порівняння підключені до групи входів $11_1, \dots, 11_n$ мініматора 3, а вихід 9 мініматора 3 з'єднаний також із входом блока 4 послідовного підсумовування, вихід 12 якого підключений до другого входу блока 5 віднімання, перший вхід якого підключений до входу 6 порога пристрою, а вихід є виходом 7 пристрою. Крім того, виходи $8_1, \dots, 8_n$ блоків $2_1, \dots, 2_n$ порівняння з'єднані з групою входів $13_1, \dots, 13_n$ мініматора 3, а виходи $14_1, \dots, 14_n$ мініматора 3 з'єднані з групою входів блока 4 послідовного підсумовування. Вхід 15 синхронізації, вхід 16 скидання і керуючий вхід 17 з'єднані з відповідними входами блоків $2_1, \dots, 2_n$ порівняння.

Блок 2_i порівняння, де $i = 1, 2, \dots, n$ (фіг.2), містить m -розрядний суматор 18, групу із $(m + 1)$ D-тригерів $19_1, \dots, 19_{m+1}$ групу із m інверторів $20_1, \dots, 20_m$, мультиплексор 21, схему АБО 22, причому перший вхід мультиплексора 21 підключений до входу 1_i блока 2_i , другий вхід з'єднаний із прямими виходами групи D-тригерів $19_1, \dots, 19_m$, m -розрядний вихід підключений до першої групи входів суматора 21, друга група входів якого підключена до виходів групи інверторів $20_1, \dots, 20_m$, входи яких підключені до виходу 9 мініматора 3. Вхід перенесення РО суматора 18 підключений через резистор 23 до входу живлення +5В. Крім того, С-входи групи D-тригерів $19_1, \dots, 19_{m+1}$ з'єднані з входом 15 синхронізації пристрою. Виходи групи D-тригерів $19_1, \dots, 19_m$ являються m -розрядним виходом 8_i блока 2_i , а адресний вхід мультиплексора 21 підключений до входу керування 17 пристрою. Вихід знаку Р1 суматора 18 підключений до першого входу елемента АБО 22, другий вхід якого підключений до входу 16 скидання пристрою, а вихід підключений до D-входу D-тригера 19_{m+1} , вихід якого є виходом 10_i блока 2_i .

Мініматор 3 (фіг.3) містить $\lceil n/2 \rceil$ вузлів 24 першого рівня, де $\lceil a \rceil$ - найближче до a мінімальне ціле число, $\lceil n/4 \rceil$ вузлів 24 порівняння другого рівня і т.д., а всього $\lceil \log_2 n \rceil$ рівнів пірамідальної структури. Кожний k -й вузол 24 порівняння ($k = 1, 2, \dots$) всіх рівнів, крім першого, містить два входи даних $25_{(2k-1)}$, $25_{(2k)}$ і вихід даних 26_k , причому виходи 26 вузлів 24 порівняння попереднього рівня попарно підключені до входів даних 25 вузлів 24 наступного рівня. Входи даних k -го вузла 24 порівняння першого рівня підключені до входів $13_{(2k-1)}$, $13_{(2k)}$

мініматора 3, а знакові входи цього вузла підключені до входів $11_{(2k-1)}$, $11_{(2k)}$ мініматора 3. Крім того, кожний k -й вузол 24 порівняння першого рівня має вихід даних 26_k і вихід 14_k ознаки. Останні складають відповідну групу виходів 14 мініматора 3. Останній рівень має один вузол 24 порівняння, вихід даних 26_1 якого є виходом 9 мініматора 3.

Вузол 24 порівняння першого рівня (фіг.4) містить схему порівняння 27, елементи АБО-НІ 28, 29, 30; елементи АБО 31, І 32, НІ 33, І-НІ 34, а також групи m елементів І 35, 36 і АБО 37. Крім того, вузол 24 порівняння містить елементи І 38, 39, елементи АБО 40, 41, схеми нерівнозначності 42, 43, елементи НІ 44, 45, елемент АБО-НІ 46, елементи АБО 47, 48.

Дві групи входів схеми 27 порівняння з'єднані відповідно із входами $13_{(2k-1)}$, $13_{(2k)}$ вузла 24 порівняння і входами елементів АБО-НІ 28, 29 підключені до шини ознак і утворюють відповідно її перший, другий, третій і четвертий виходи, причому третій і четвертий виходи шини ознак з'єднані з входами елемента АБО-НІ 30. Перший і третій виходи шини ознак підключені до входів елемента АБО 47 і схеми нерівнозначності 43, другий і четвертий виходи шини ознак підключені до входів елемента АБО 48 і схеми нерівнозначності 42, перший і другий виходи шини ознак підключені до входів елементів НІ 44, 45 і АБО-НІ 46 і перших двох входів елемента І-НІ 34. Виходи елементів АБО-НІ 30, 46 підключені до першого і другого входів елемента 132, третій вхід якого з'єднаний з виходом елемента АБО 31, входи якого з'єднані з виходами "=" і "<" схеми 27 порівняння. Вихід елемента І 32 з'єднаний з першим входом елемента АБО 40, а виходи елементів АБО 47, 48 є виходами $14_{(2k-1)}$, $14_{(2k)}$ мініматора 3.

Виходи схеми нерівнозначності 42 і елемента НІ 44 підключені до входів елемента І 38, вихід якого з'єднано з другим входом елемента АБО 40. Виходи схеми нерівнозначності 43 і елемента НІ 45 підключено до входів елемента І 39, вихід якого під'єднаний до першого входу елемента АБО 41. Вихід елемента АБО 40 підключено до другого входу групи m елементів І 35 і входу елемента НІ 33, вихід якого підключено до другого входу елемента І 41, вихід якого підключено до другого входу групи m елементів 136.

Вихід елемента АБО-НІ 30 з'єднаний також з третім входом елемента І-НІ 34, вихід якого підключений до третіх входів групи m елементів 135, 36. Групи m входів $13_{(2k-1)}$, 13_{2k} вузла 24 порівняння першого рівня з'єднані відповідно з першими входами групи m елементів І 35, 36. Виходи m елементів І 35 _{j} , 36 _{j} груп з'єднані із

входами m елементів АБО 37 _{j} групи ($j = \overline{1, m}$). Виходи групи m елементів АБО 37 є m -розрядним виходом 26_k вузла 24_k порівняння першого рівня мініматора 3.

Вузол 24 порівняння (фіг.5) всіх рівнів, крім першого, містить схему 27 порівняння; елементи АБО- НІ 28, 29, 30, елементи АБО 31, І 32, НІ 33, І-НІ 34, а також групи m елементів І 35, 36 і АБО 37. Крім того, вузол 24 всіх рівнів, крім першого, містить елементи І 38, 39, елементи АБО 40, 41 і схему нерівнозначності 42.

Дві групи входів схеми 27 порівняння з'єднані відповідно з входами $25_{(2k-1)}$, 25_{2k} вузла 24 порівняння всіх рівнів, крім першого, і з входами елементів АБО-НІ 28, 29, а також підключені до перших входів груп елементів І 35, 36. Виходи елементів АБО-НІ 28, 29 під'єднані до входів елемента АБО-НІ 30 і елемента І-НІ 34, вихід якого підключений до третіх входів груп m елементів І 35, 36.

Вихід елемента АБО-НІ 30 приєднаний до першого входу елемента І 32, другий вхід якого з'єднаний з виходом елемента АБО 31, входи якого з'єднані з виходами "=" і "<" схеми 27 порівняння. Вихід елемента І 32 під'єднаний до першого входу елемента АБО 40.

Виходи елементів АБО-НІ 28, 29 підключені також відповідно до входів схеми нерівнозначності 42 і до перших входів елементів І 39, 38. Вихід схеми нерівнозначності 42 приєднаний до других входів елементів І 38, 39. Вихід елемента І 38 підключений до другого входу елемента АБО 40, вихід якого під'єднаний до других входів групи m елементів І 35 і до входу елемента НІ 33. Вихід елемента НІ 33 підключений до першого входу елемента АБО 41, другий вхід якого з'єднаний з виходом елемента І 39. Вихід елемента АБО 41 підключений до других входів групи m елементів 136. Виходи групи m елементів І 35 _{j} , 36 _{j} з'єднані із входами m елементів

АБО 37 _{j} групи ($j = \overline{1, m}$). Виходи групи m елементів АБО 37 є m -розрядним виходом 26_k вузла 24_k порівняння всіх рівнів, крім першого, мініматора 3.

Блок 4 послідовного підсумовування (фіг.6) містить входи $14_1, \dots, 14_n$ і m -розрядний вхід 9, які з'єднані

відповідно з інверсним входом і m прямими входами групи $(m + 1)$ -розрядних елементів І 49 _{i} ($i = \overline{1, m}$), виходи яких з'єднано попарно з входами групи $[n/2]$ суматорів 50 першого рівня, виходи яких з'єднано попарно з входами групи $[n/4]$ суматорів 50 другого рівня і т.д. Всього блок 4 має $[\log_2 n]$ рівнів пірамідальної структури. Останній рівень має один суматор 50, вихід якого є виходом 12 блока 4 послідовного підсумовування.

Паралельний пороговий підсумовуючий пристрій (фіг.1) працює таким чином.

Розглянемо приклад паралельного підсумовування масиву з п'яти чисел. Підсумовуються числа, рівні 11, 3, 5, 8, 15, та порівнюються з порогом, який дорівнює 31. П'ять чисел подаються відповідно на входи 1_1 - 1_5 , утворюючи початковий масив для підсумовування.

Оскільки в початковому стані на виході 9 мініматора 3 присутній нульовий сигнал, то в першій дії підсумовування від кожного початкового числа віднімається нуль з мініматора 3 і на виходах $8_1 - 8_5$ блоків $2_1 - 2_5$ отримують різниці, фактично рівні початковим числам 11, 3, 5, 8, 15, які паралельно подаються по п'яти входах $13_1 - 13_5$ на мініматор 3, де відбувається виділення найменшого числа з п'яти початкових чисел, яке дорівнює 3, та подається на вхід блока 4. Разом з тим з других виходів $14_1 - 14_5$ мініматора 3 на входи блока 4 подаються сигнали ознак, що дорівнюють одиниці при наявності ненульової додатної інформації на перших виходах $8_1 - 8_5$ відповідних блоків $2_1 - 2_5$, тобто при наявності ненульової різниці у поточній дії. Таким чином, у блоці 4 відбувається утворення п'ятикратного мінімального числа, що дорівнює 15, кратність якого визначається кількістю ненульових чисел першого масиву, після чого відбувається порівняння з порогом 31 у блоці 5, і оскільки значення різниці між порогом і першою частковою сумою, що дорівнює 16, більше нуля, то формується нульовий поточний підсумковий сигнал на виході 7 пристрою і дії продовжуються.

В другій дії в блоках $2_1 - 2_5$ формуються різниці між початковими числами 11, 3, 5, 8, 15 та мінімальним числом першого масиву, що дорівнює трьом. Утворюються різниці 8, 0, 2, 5, 12 другого масиву. Найменше

ненульове значення числа другого масиву, що дорівнює двом, формується в мініматорі 3, а далі подається до блока 4, де підсумовується в чотирикратному розмірі, тобто формується часткова сума чисел 8, кратність якої визначається кількістю ненульових додатних чисел другого масиву. Після цього поточна часткова сума 8 порівнюється з поточним значенням порогу, яке дорівнює 16, і оскільки значення поточного порогу більше значення поточної часткової суми, то формується нульовий поточний підсумковий сигнал на виході 7 пристрою і дії продовжуються.

В третій дії в блоках 2₁ - 2₅ формуються різниці між числами 8, 0, 2, 5, 12 другого масиву та мінімальним числом другого масиву. Утворюються різниці 6, -2, 0, 3, 10 третього масиву. Мінімальне число третього масиву дорівнює трьом, оскільки від'ємне число не приймає участь в порівнянні. Мінімальне число з мініматора 3 подається до блока 4, де формується поточна часткова сума в трикратному розмірі, що дорівнює 9, кратність якої визначається кількістю ненульових додатних чисел третього масиву, після чого знов відбувається порівняння її з поточним порогом 8, і оскільки значення поточного порогу менше отриманої суми, то підсумовування припиняється і формується одиничний підсумковий сигнал на виході 7 пристрою.

У разі, якщо поточний поріг перевищує значення остаточної поточної суми чисел початкового масиву, то процес підсумовування виконується до моменту отримання мінімального числа, що дорівнює нулю. У цьому випадку підсумковий сигнал залишається нульовим.

Блок 2і порівняння (фіг.2) працює таким чином. Спочатку D-тригер 19_(m+1) скидається в нульовий стан по сигналу скидання на вході 16 пристрою, а мультиплексоор 21 встановлюється по сигналу на вході керування 17 пристрою для передавання на вихід інформації з m-розрядного входу 1і пристрою. Інформація з мультиплексоора 21 подається на перший вхід суматора 18, на другий вхід якого подається проінвертована інформація з виходу 9 мініматора 3. Крім того, на вхід перенесення РО суматора 18 завжди подається "1", таким чином, суматор 18 працює в режимі віднімання. В результаті різниця з виходу суматора 18 записується в групу D-тригерів 19_{1,...,19_m} при наявності синхросигналу на їх С-входах. В наступних тактах роботи пристрою мультиплексоор 21 встановлюється по сигналу на вході керування 17 пристрою на передавання інформації, що подається з виходів групи D-тригерів 19_{1,...,19_m}. Якщо при відніманні в суматорі 18 отримано від'ємний результат, то на його виході Р1 формується "1", яка подається через елемент АБО 22 на D-вхід D-тригера 19_(m+1), який встановлюється в одиничний стан. В результаті на виході 10і блока 2і з'являється "1", яка вказує на те що інформація від'ємна.

Мініматор 3 (фіг.3) працює в такий спосіб. На його входи 13_(2k-1), 13_{2k} і 11_(2k-1), 11_{2k}, де k = 1, 2, ..., попарно подаються числа А і В і їхні знаки S_A, S_B відповідно. В кожній парі чисел визначається мінімальне число за такими правилами.

1. Якщо обидва числа додатні і не дорівнюють нулю, то результатом є мінімальне за модулем число.
2. Якщо обидва числа додатні і не дорівнюють нулю та однакові за модулем, то результатом є одне з них.
3. Якщо обидва числа від'ємні, то результатом буде нуль.
4. Якщо обидва числа від'ємні та однакові за модулем, то результатом буде нуль.
5. Якщо одне число додатне і не дорівнює нулю, а інше число від'ємне, то результатом є додатне число.
6. Якщо одне число додатне і не дорівнює нулю, а інше число дорівнює нулю, то результатом є додатне число.
7. Якщо одне число від'ємне, а інше число дорівнює нулю, то результатом буде нуль.
8. Якщо обидва числа дорівнюють нулю, то результатом буде нуль.

Вузол 24 порівняння першого рівня (фіг.4) працює таким чином. На його інформаційні входи 13_(2k-1), 13_{2k} подаються числа А і В відповідно, а на входи 11_(2k-1), 11_{2k} - їхні знаки S_A і S_B відповідно. На виходах елементів АБО-НІ 28, 29 формуються відповідно ознаки нуля Z_A і Z_B. В результаті на виходах елементів АБО 47, 48 одиничні сигнали будуть тільки у випадку, коли операнда А і В на входах вузла 24 порівняння будуть або нульові, або від'ємні.

Розглянемо всі можливі варіанти і комбінації вхідних сигналів для елементів, що складають вузол 24 порівняння першого рівня.

Якщо обидва операнди додатні і ненульові, то нульові ознаки S_A, S_B, Z_A, Z_B призведуть до того, що на виходах схем нерівнозначності 42 і 43 будуть нульові сигнали, які з'являться на виходах елементів І 38, 39, але нульові ознаки встановлять у одиничний стан вихід елементів АБО-НІ 30, 46 та І-НІ 34. Таким чином, одиничні сигнали на виходах елементів АБО-НІ 30, 46 та І-НІ 34 не будуть впливати на формування сигналу на виході відповідно елемента І 32 та групи елементів І 35, 36, а нульові сигнали на виходах елементів І 38, 39 не змінять інформацію на виходах елементів АБО 40, 41. Отже, визначальним буде сигнал на виході елемента АБО 31, одиничний сигнал на якому з'явиться у двох випадках: а) якщо обидва операнди рівні, б) якщо виконується співвідношення А < В. В цих випадках одиничний сигнал сформується на виході елемента АБО 40, що дозволить проходження операнда А_і через групи елементів І 35, АБО 37 на вихід 26 вузла 24 порівняння. Одночасно нульовий сигнал з'явиться на виході елемента АБО 41, що заборонить проходження операнда В_і через групи елементів І 36 та АБО 37 на вихід 26 вузла порівняння 24, тобто на цьому виході з'явиться менший за модулем серед двох додатних ненульових операнд. У випадку, коли А_і > В_і нульовий сигнал з виходу елемента АБО 31 пройде на вихід елемента АБО 40, що призведе до появи одиничного сигналу на виході елемента АБО 41. А це дозволить проходження операнда В_і через групи елементів І 36, АБО 37 на вихід 26 вузла 24 порівняння, тобто на ньому з'явиться мінімальний за модулем операнд.

Якщо на вході один операнд додатній і ненульовий, а другий - нуль, то нульові ознаки S_A, S_B, та одна одинична ознака з Z_A, Z_B призведуть до того, що на виході однієї зі схем нерівнозначності 42, 43 буде нульовий сигнал, а на виході іншої з цих схем нерівнозначності буде одиничний сигнал, крім того, ці ознаки встановлять у одиничний стан вихід елемента І-НІ 34 і у нульовий стан вихід елемента АБО-НІ 30. Таким чином, одиничний сигнал на виході елемента І-НІ 34 не буде впливати на формування сигналу на виході групи елементів І 35, 36, а нульовий сигнал на виході елемента АБО-НІ 30 зробить не визначальним сигнал на виході елемента АБО 31. В результаті нульовий сигнал сформується на виході елемента АБО 40, якщо на виході елемента І 38 також нульовий сигнал, тобто коли операнд А_і нульовий. Це заборонить проходження

операнда A_i через групи елементів I 35, АБО 37 на вихід 26 вузла 24 порівняння. Одночасно одиничний сигнал з'явиться на виході елемента АБО 41, що дозволить проходження операнда B_i через групу елементів I 36, АБО 37 на вихід 26 вузла 24 порівняння, тобто на цьому виході з'явиться ненульовий операнд. У випадку, коли $B_i = 0$, одиничний сигнал з виходу схеми нерівнозначності 42 пройде на вихід елемента АБО 40, одночасно з'явиться нульовий сигнал на виході елемента АБО 41, оскільки на виході схеми нерівнозначності 43 з'явиться нульовий сигнал. А це дозволить проходження операнда A_i через групи елементів I 35, АБО 37 на вихід 26 вузла 24 порівняння, тобто на ньому знову з'явиться ненульове значення.

Якщо на вході один операнд додатній ненульовий, а другий - від'ємний ненульовий, то одна з нульових ознак S_A , S_B , і нульові ознаки Z_A , Z_B призведуть до того, що на виході однієї зі схем нерівнозначності 42, 43 буде одиничний сигнал, на виході елемента АБО-НІ 46 буде нульовий сигнал, а на виході елементів АБО-НІ 30 та І-НІ 34 будуть одиничні сигнали. Таким чином, одиничний сигнал на виході елемента І-НІ 34 не буде впливати на формування сигналу на виході групи елементів I 35, 36, а нульовий сигнал на виході елемента АБО-НІ 46 зробить не визначальним сигнал на виході елемента I 32. Визначальним буде сигнал на виході елементів I 38, 39, одиничний сигнал на одному з яких з'явиться тоді, коли одиничний сигнал сформується на виході або схеми нерівнозначності 42, або схеми нерівнозначності 43. В першому випадку, коли від'ємне B_i , в результаті одиничний сигнал сформується на виході елемента АБО 40, що дозволить проходження операнда A_i через групу елементів I 35, АБО 37 на вихід 26 вузла 24 порівняння. Одночасно нульовий сигнал з'явиться на виході елемента АБО 41, що заборонить проходження операнда B_i через групу елементів I 36, АБО 37 на вихід 26 вузла 24 порівняння, тобто на цьому виході з'явиться додатній операнд. У другому випадку, коли від'ємним є A_i одиничний сигнал з'явиться на виході елемента АБО 41. А це дозволить проходження операнда B_i через групу елементів I 36, АБО 37 на вихід 26 вузла 24 порівняння, тобто на ньому з'явиться додатній операнд.

Якщо на вході обидва операнда від'ємні ненульові, то одиничні ознаки S_A , S_B , і нульові ознаки Z_A , Z_B призведуть до того, що на виходах елементів ІІ 44, 45 будуть нульові сигнали, які з'являться на виходах елементів I 38, 39, крім того ці ознаки встановлять у нульовий стан вихід елемента І-НІ 34, що вплине на групу елементів I 35, 36, тобто на їх виходах з'являться нулі, які і пройдуть на вихід 26 вузла 24 порівняння. Одночасно нульові сигнали на виходах елементів I 38, 39 не змінять інформацію на виходах елементів АБО 40, 41. Одиничний сигнал на виході елемента АБО 31 з'явиться у двох випадках: а) якщо обидва операнда рівні, б) якщо виконується співвідношення $A_i < B_i$. Але він також не впливає на кінцевий результат, оскільки визначальним залишається нульовий сигнал з виходу елемента І-НІ 34, який забороняє проходження обох від'ємних ненульових сигналів через групи елементів I 35, 36 і АБО 37 і встановлює на виході 26 вузла 24 порівняння нульове число.

Якщо на вході один операнд від'ємний і ненульовий, а другий - нуль, то нульові і одиничні ознаки S_A , S_B , Z_A , Z_B призведуть до того, що на виходах схем нерівнозначності 42 і 43 і елемента І-НІ 34 з'явиться одиничний сигнал, а на виходах елементів АБО-НІ 30, 46 з'явиться нульовий сигнал. Таким чином, одиничний сигнал на виході елемента І-НІ 34 не буде впливати на формування сигналу на виході групи елементів I 36, 36, а нульові сигнали на виходах елементів АБО-НІ 30, 46 зроблять не визначальним сигнал на виході елемента I 32. У випадку, коли $A_i = 0$, одиничний сигнал з'явиться на виході елемента АБО 40 при наявності одиничного сигналу на виході елемента I 38 та нульового на виході елемента I 39, що призведе до появи нульового сигналу на виході елемента АБО 41. А це дозволить проходження операнда A_i через групу елементів I 35, АБО 37 на вихід 26 вузла 24 порівняння, тобто на ньому з'явиться нульове число. У другому випадку, коли $B_i = 0$, одиничний сигнал присутній на виході елемента I 39 і нульовий сигнал на виході елемента I 38. В результаті нульовий сигнал сформується на виході елемента АБО 40, що не дозволить проходження операнда A_i через групи елементів I 35, АБО 37 на вихід 26 вузла 24 порівняння. Одночасно одиничний сигнал з'явиться на виході елемента АБО 41, що дозволить проходження операнда B_i через групу елементів I 36, АБО 37 на вихід 26 вузла 24 порівняння, тобто на цьому виході з'явиться нульовий операнд.

Якщо на вході обидва операнди нульові, то нульові ознаки S_A , S_B , та одиничні ознаки Z_A , Z_B призведуть до того, що на виходах схем нерівнозначності 42, 43 сформується одиничні сигнали, які з'являться на виходах елементів I 38, 39 і встановлять у одиничний стан виходи елементів АБО 40, 41. Крім того, ці ознаки встановлять у одиничний стан елементи АБО-НІ 46, І-НІ 34 і у нульовий стан елемент АБО-НІ 30. Одиничний сигнал елемента І-НІ 34 дозволить проходження нульових сигналів на групи елементів I 35, 36, АБО 37, які і пройдуть на вихід 26 вузла 24 порівняння, тобто на виході з'явиться нульове значення.

Всі можливі варіанти появи операндів та їхніх знаків на входах вузла 24 порівняння першого рівня показані у табл. 1.

Таблиця 1

Вхідні комбінації операндів зі знаками	Входи				Виходи		
	11 _{2k-1}	11 _{2k}	13 _{2k-1}	13 _{2k}	14 _{2k-1}	14 _{2k}	26 _{2k}
+3 +5	0	0	0011	0101	0	0	0011
+5 +3	0	0	0101	0011	0	0	0011
+3 0	0	0	0011	0000	0	1	0011
0 +3	0	0	0000	0011	1	0	0011
+3	0	1	0011	0101	0	1	0011

-5							
-5 +3	1	0	0101	0011	1	0	0011
-5 -3	1	1	0101	0011	1	1	0000
-3 -5	1	1	0011	0101	1	1	0000
-5 0	1	0	0101	0000	1	1	0000
0 -5	0	1	0000	0101	1	1	0000
0 0	0	0	0000	0000	1	1	0000

Вузол 24 порівняння всіх рівнів, крім першого (фіг.5), працює таким чином. Якщо на вході обидва операнда не нульові, то нульові ознаки Z_A , Z_B призведуть до того, що на виході схеми нерівнозначності 42 буде нульовий сигнал, який пройде на вихід елементів І 38, 39, а на виходах елементів І-НІ 34 та АБО-НІ 30 сформується одиничний сигнал, який не буде впливати на формування сигналу на виході груп елементів І 35, 36 та на вихід елемента І 32. Отже, визначальним буде сигнал на виході елемента АБО 31, одиничний сигнал на виході якого сформується за двох умов: а) якщо обидва операнда рівні, б) якщо виконується співвідношення $A_i < B_i$. В результаті одиничний сигнал сформується на виході елемента АБО 40 при умові, що на виході елемента АБО-НІ 30 був одиничний сигнал. З виходу елемента АБО 40 одиничний сигнал пройде на вхід групи елементів І 35 і стане дозволяючим для проходження операнда A_i , який є меншим за модулем з двох ненульових операндів. У випадку, коли $A_i > B_i$ нульовий сигнал з виходу елемента АБО 31 пройде на вихід елемента АБО 40 і заборонить проходження операнда A_i , а одиничний сигнал, сформований на виході елемента АБО 41 дозволить проходження через групу елементів І 36, АБО 37 на вихід 26 вузла 24 порівняння операнда B_i , тобто меншого за модулем з двох ненульових операндів.

Якщо один операнд ненульовий, а інший нульовий, то одна одинична ознака з двох Z_A , Z_B призведе до того, що одиничний сигнал на виході схеми нерівнозначності 42 не вплине на вихідний сигнал елементів І 38, 39. На виходах останніх з'являться відповідно одиничний та нульовий сигнали, причому лише одиничний сигнал призведе до появи або на виході елемента АБО 40, або на виході елемента АБО 41 одиничного сигналу, незважаючи на наявність певного сигналу на виході елемента І 32. На виході елемента І-НІ 34 сформується одиничний сигнал, який буде дозволяючим для групи елементів І 35, 36 та АБО 37. Оскільки вирішальним є сигнал з виходу елементів І 38, 39, то розглянемо два випадки: а) нульовий операнд A_i б) нульовий операнд B_i . В першому випадку одинична ознака Z_A з виходу елемента АБО-НІ 28 сформує одиничний сигнал на виході елемента І 39, а отже і на виході елемента АБО 41, що дозволить проходження ненульового операнда B_i через групу елементів І 36, АБО 37 на вихід 26 вузла 24 порівняння. У другому випадку одинична ознака Z_B з виходу елемента АБО-НІ 29 сформує одиничний сигнал на виході елемента І 38, а отже і на виході елемента АБО 40, що дозволить проходження ненульового операнда A_i через групу елементів І 35, АБО 37 на вихід 26 вузла 24 порівняння.

Якщо обидва операнда нульові, то одиничні ознаки Z_A , Z_B призведуть до появи нульових сигналів на виходах схеми нерівнозначності 42 та елемента І-НІ 34, які пройдуть на виходи елементів І 38, 39, а також на треті входи груп елементів І 35, 36. Тому на виходах групи елементів АБО 37, а отже на виході 26 вузла 24 порівняння буде нульове число, незалежно від значення сигналів на виходах елементів АБО 40, 41.

Всі можливі варіанти появи операндів на входах вузла 24 порівняння всіх рівнів, крім першого, показані у табл. 2.

Таблиця 2

Вхідні комбінації операндів без знаків	Виходи		Вихід
	13_{2k-1}	13_{2k}	26_{2k}
3 5	0011	0101	0011
5 3	0101	0011	0011
3 0	0011	0000	0011
0 3	0000	0011	0011
0 0	0000	0000	0000

Блок 4 послідовного підсумовування (фіг.6) працює так. Мінімальне додатне число серед чисел поточного масиву з виходу 9 мініматора 3 подається на m -розрядні прямі входи групи всіх елементів І 49, ($i = \overline{1, n}$) на $(m-1)$ -й інверсний вхід яких подається сигнал ознаки з виходів 14; мініматора 3. Отже, якщо сигнал ознаки з відповідного виходу 14, мініматора 3 дорівнює нулю, тобто на виході 8, блока 2і інформація є ненульовою і додатною, то величина визначеного мінімального числа у початковому масиві чисел проходить через елемент І 49; і подається на вхід відповідного суматора 50. Дані, що надходять на входи суматорів 50 першого

рівня послідовно підсумовуються на всіх $\lceil \log_2 n \rceil$ рівнях обробки пірамідальної структури, а результат підсумовування, тобто поточна часткова сума формується на виході 12 блока 4 послідовного підсумовування.

Процес порогового підсумовування масиву чисел на даному пристрої можна представити таким чином:

$$y = \begin{cases} 1, & \text{якщо } S \geq p, \\ 0, & \text{якщо } S < p, \end{cases}$$

де y - підсумковий сигнал на виході 7 пристрою; S - остаточна сума масиву чисел; p - поріг обробки, причому

$$S = \sum_{i=1}^L S_i,$$

де S_i - поточна часткова сума, яка формується на i -му циклі обробки в блоці 4 послідовного підсумовування.

Отже, важливим є остаточне значення різниці виду $p - (S_1 + S_2 + \dots + S_i + \dots + S_L)$ або

$$\Delta = (\dots((p - S_1) - S_2) - \dots - S_L), \text{ оскільки}$$

$$y = \begin{cases} 1, & \text{якщо } \Delta \leq 0, \\ 0, & \text{якщо } \Delta > 0, \end{cases}$$

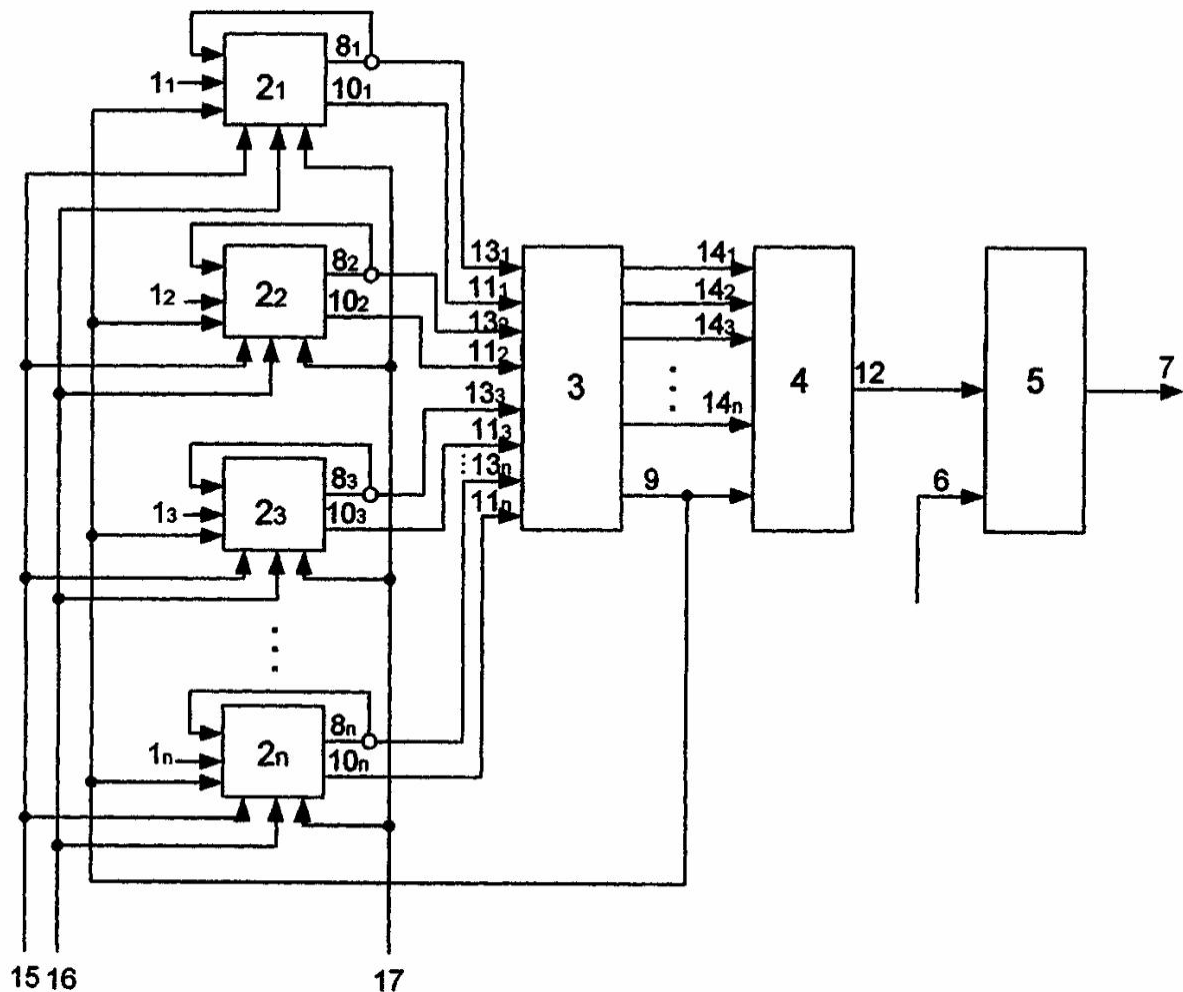
В результаті можна записати такі співвідношення:

$$\Delta_i = \Delta_{i-1} - S_i,$$

$$\Delta_i = p - S_i,$$

$$\Delta = \Delta_L.$$

Таким чином, запропонований пристрій дозволяє реалізувати паралельне порогове підсумовування масиву чисел, оскільки порівняння із порогом виконується не після отримання остаточного значення суми масиву чисел, а в процесі порівняння порогу з кожним значенням поточної часткової суми. Такий підхід дозволяє досягти максимального паралелізму обробки масиву чисел, оскільки в процесі задіяні одночасно всі операнди, а це, в свою чергу, призводить до прискорення процесу обробки, оскільки у випадку перевищення суми над порогом цей факт можна зафіксувати без формування остаточного значення суми всіх чисел масиву.



Фіг.1

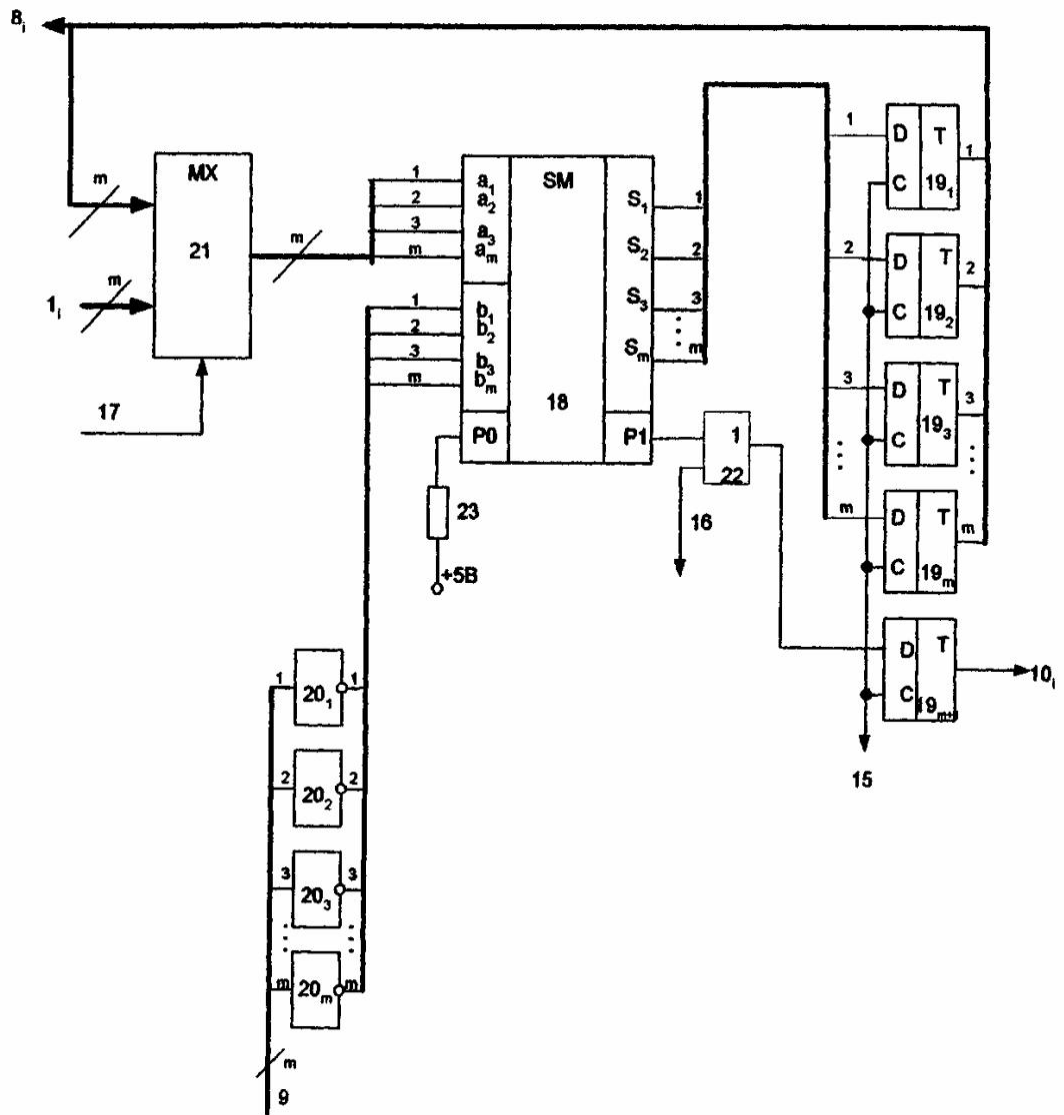


Fig.2

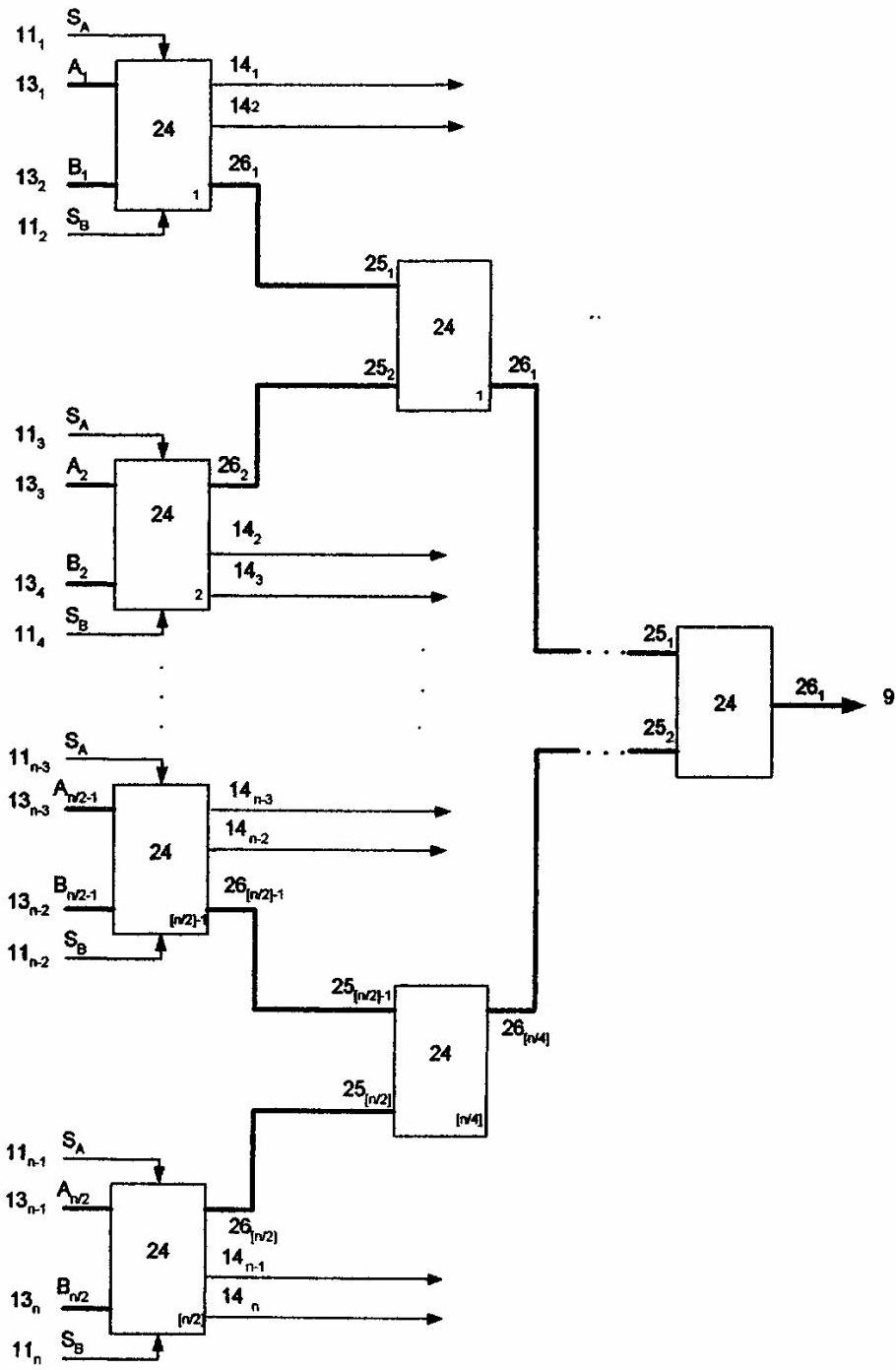
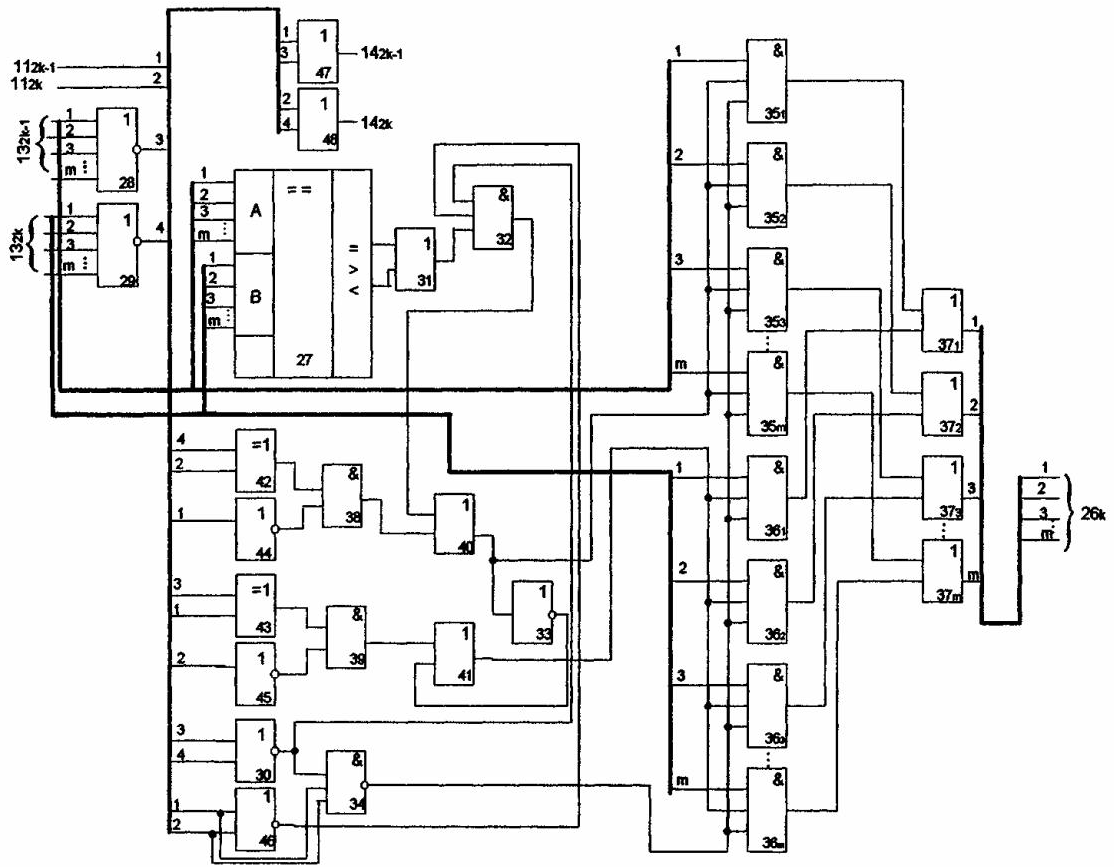
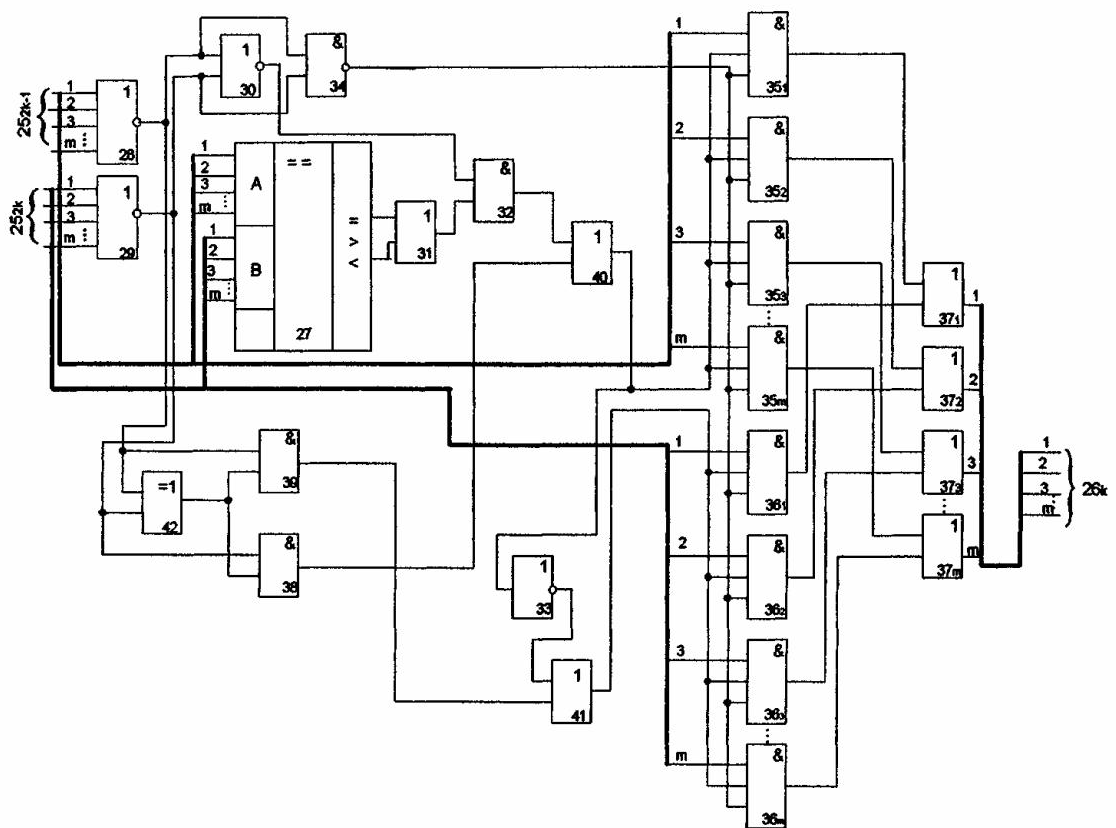


Fig. 3



Фиг.4



Фиг.5

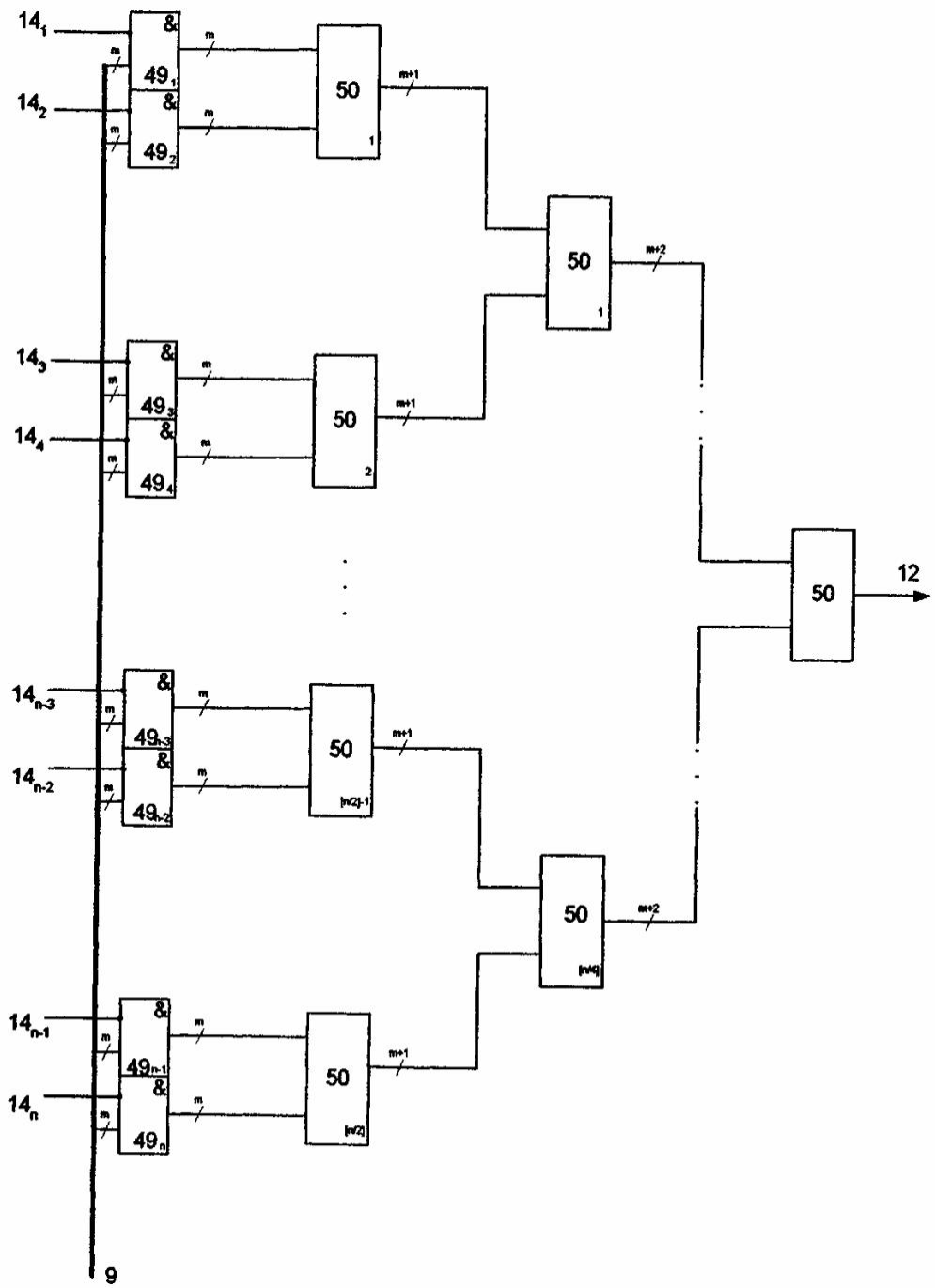


Fig.6