



УКРАЇНА

(19) UA (11) 24498 (13) A

(51) G 06 F 7/08

ДЕРЖАВНЕ
ПАТЕНТНЕ
ВІДОМСТВООПИС ДО ПАТЕНТУ
НА ВІНАХІДбез проведення експертизи по суті
на підставі Постанови Верховної Ради України
№ 3769-XII від 23 XII. 1993 р.Публікується
в редакції заявника

(54) ПРИСТРІЙ ДЛЯ СОРТУВАННЯ ЧИСЕЛ

1

(21) 97052219
(22) 14.05.97
(24) 21.07.98
(46) 30.10.98. Бюл. № 5
(47) 21.07.98(72) Кожем'яко Володимир Прокопович,
Мартинюк Тетяна Борисівна, Мартинович
Олена Миколаївна, Фофанова Наталя Володи
мирівна, Кожем'яко Андрій Вікторович(73) Вінницький державний технічний
університет

(57) Устрійство для сортировки чисел, содер
жащее входной и выходной регистры, два
элемента И и элемент НЕ и (m-1) узлов сра
внения, где m - количество чисел сортируемо
го массива, причем каждый узел сравнения
содержит схему сравнения, коммутатор, эле
мент И и регистр, выходы разрядов которого
соединены с информационными входами
первой группы схемы сравнения и коммута
тора, управляющий вход которого подклю
чен к выходу схемы сравнения, выходы
коммутатора l-го узла сравнения, где
l=1,2...(m-2) соединены с установочными
входами регистра (i+1)-го узла сравнения,
вход задания режима сортировки устрой
ства подключен к управляющим входам схем
сравнения всех узлов сравнения, первый
вход элемента И каждого узла сравнения
соединен с выходом схемы сравнения этого
узла сравнения, а выход - с входом управле
ния записи регистра этого узла сравнения,
вторые входы элементов И всех узлов сра
внения подключены к входам тактовых им
пульсов устройства, подключенным также к
входам управления записи входного и вы
ходного регистров, информационные входы
устройства соединены с установочными вхо

2

дами входного регистра, выходы разрядов
которого соединены с установочными вхо
дами регистров первого узла сравнения, ин
формационные входы второй группы, схем
сравнения и коммутаторов всех узлов сра
внения, выходы коммутатора (m-1)-го узла
сравнения соединены с установочными вхо
дами выходного регистра, вход задания ре
жима, сортировки устройства подключен к
первому входу первого элемента И и через
элемент НЕ - к первому входу второго эле
мента И, вторые входы первого и второго
элементов И подключены к шине начальной
установки устройства, а выходы - к входам
установки соответственно в единичное ну
левое состояние регистров всех узлов сра
внения, о т л и ч а ю щ е е с я тем, что
устройство содержит счетчик и второй вы
ходной регистр, вход задания режима сра
внения, а в каждом узле сравнения - второй
регистр, второй коммутатор, элемент сра
внения с тремя выходами (>, =, <) и логи
ческие элементы 2И-ИЛИ и 3И-ИЛИ, при
этом первый (>), и третий (<) выходы элемен
та сравнения подключены к первому и чет
вертому входам элемента 2И-ИЛИ
соответственно, второй и третий инверсный
входы которого являются первым управляю
щим входом схемы сравнения, который сое
динен с входом задания режима сортировки
устройства, второй выход (=) элемента сра
внения подключен к шестому входу элемента
3И-ИЛИ, третий инверсный, пятый и седь
мой входы которого соединены со вторым
управляющим входом схемы сравнения, ко
торый соединен с входом задания режима
сравнения устройства, второй и четвертый
входы элемента 3И-ИЛИ подключены к вы

(19) UA (11) 24498 (13) A

ходу элемента 2И-ИЛИ, первый вход – к третьему управляющему входу схемы сравнения, а выход – к выходу схемы сравнения, при этом третий управляющий вход i -го узла сравнения соединен с выходом $(i-1)$ -го узла сравнения, а третий управляющий вход первого узла сравнения соединен с установочным входом устройства, счетный вход счетчика подключен к входу тактовых импульсов устройства, информационные выходы счетчика подключены к установочным входам второго регистра первого узла сравнения и информационным входам второй группы второго коммутатора в каждом узле сравнения, информационные входы первой группы второго коммутатора в каждом узле сравнения соединены с выходами соответ-

ствующего второго регистра, выходы второго коммутатора i -го узла сравнения соединены с установочными входами второго регистра $(i+1)$ -го узла сравнения, выходы второго коммутатора $(m-1)$ -го узла сравнения подключены к установочным входам второго выходного регистра, вход управления записи второго регистра в каждом узле сравнения соединен с выходом элемента И, а управляющие входы второго коммутатора – с выходом схемы сравнения, причем вход обнуления вторых регистров узлов сравнения, второго выходного регистра и счетчика соединены с шиной начальной установки устройства, а вход управления записью второго выходного регистра подключен к входу тактовых импульсов устройства.

Изобретение относится к вычислительной технике и автоматике и может быть использовано в системах обработки информации при реализации технических средств числовых вычислительных машин и дискретной информатики.

Известно устройство для сортировки чисел [Авт. св. СССР № 1007099, кл. G 06 F 7/08, 1981], состоящее из m – ячеек, где m – количество чисел в выходном множестве, причем каждая ячейка содержит элемент сравнения и приемный регистр, выходы разрядов которого соединены с первой группой информационных входов элемента сравнения, кроме того каждая ячейка содержит коммутатор и регистр результата, при этом выходы регистра результата соединены со второй группой информационных входов элемента сравнения и первой группой информационных входов коммутатора, установочные входы приемного регистра являются информационными входами ячейки, а выходы разрядов приемного регистра соединены с установочными входами регистра результата и со второй группой информационных входов коммутатора, а выходы коммутатора являются выходами ячейки, входы установки приемного регистра и регистра результата в исходное состояние соединены со входом установки в исходное состояние, вход управления записью приемного регистра и первый вход управления записью регистра результата соединены с входом тактовых сигналов устройства, выход элемента сравнения соединен со вторыми входами управления записью регистра результатом и управляющим входом комму-

татора, управляющий вход элемента сравнения соединен с управляющим входом устройства, группы информационных входов каждой ячейки, кроме первой, соединены с группой выходов предыдущей ячейки, а группа информационных входов первой ячейки является группой информационных входов устройства.

Известно устройство для сортировки чисел [Авт. св. СССР № 981988, кл. G 06 F 7/06, 1980], содержащее распределитель импульсов m – регистров, m – элементов сравнения, m – групп элементов, счетчик, сумматор и регистр результатов, причем выходы i -го $(i=1, \dots, m)$ регистра соединены с первой группой входов i -го элемента сравнения и с первыми входами элементов И i -й группы, выходы которой соединены с i -й группой входов регистра результата, а вторые входы с i -ым выходом распределителя импульсов, вход которого является первым управляющим входом устройства, выход i -го элемента сравнения соединен с i -м входом счетчика, выходы которого соединены с первой группой входов сумматора, вторая группа входов которого соединена с группой информационных входов устройства, а выходы – с первыми входами элементов И первой выходной группы, выходы которых являются первой группой выходов устройства, первые входы элементов И второй выходной группы соединены с выходами регистра результата, а выходы являются второй группой выходов устройства, введены отличительные связи – выходы элементов И i -й группы соединены с $(i-1)$ -ыми группами входов элементов сравнения с первой по

($i-1$)-ю и к i -ым группам входов элементов сравнения с ($i+1$)-ой по m -ую.

Эти устройства не позволяют учитывать возможность появления одинаковых величин сортируемой последовательности чисел.

Наиболее близким к предлагаемому является устройство для сортировки чисел [Авт. св. СССР № 1112362, кл. G 06 F 7/08, 1983], содержащее $(m-1)$ узлов сравнения, где m – количество чисел сортируемого массива, причем каждый узел сравнения содержит схему сравнения, коммутатор и регистр, выходы разрядов которого соединены с информационными входами первой группы схемы сравнения и коммутатора, управляющий вход которого подключен к выходу схемы сравнения, выходы коммутатора i -го узла сравнения, где $i=1,2,\dots,(m-2)$, соединены с установочными входами регистра ($i+1$)-го узла сравнения, вход задания режима сортировки устройства подключен к управляющим входам схем сравнения всех узлов сравнения, содержит также входной и выходной регистры, два элемента И и элемент НЕ, а в каждом узле сравнения – элемент И, первый вход которого соединен с выходом схемы сравнения этого узла сравнения, а выход – с входом управления записью регистра этого узла сравнения, вторые входы элементов И всех узлов сравнения подключены к входу тактовых импульсов устройства, подключенному также к входам управления записью входного и выходного регистров, информационные входы устройства соединены с установочными входами входного регистра, выходы разрядов которого соединены с установочными входами регистра первого узла сравнения, информационными входами второй группы схем сравнения и коммутаторов всех узлов сравнения, выходы коммутатора $(m-1)$ -го узла сравнения соединены с установочными входами входного регистра, вход задания режима сортировки устройства подключен к первому входу первого элемента И и через элемент НЕ к первому входу второго элемента И, вторые входы первого и второго элемента И подключены к шине начальной установки устройства, а выходы – к входам установки соответственно в единичное и нулевое состояние регистров всех узлов сравнения.

В данном устройстве не учтена возможность появления во входной последовательности повторяющихся чисел, а также отсутствует возможность фиксации порядка следования чисел.

В основу изобретения поставлена задача усовершенствования устройства для сортировки чисел, в которое вводится счетчик,

обеспечивающий выявление соотношения равенства в сортируемой последовательности чисел и фиксации порядковых номеров входных чисел. За счет этого расширяются функциональные возможности устройств.

Поставленная задача решается тем, что в устройство для сортировки чисел, содержащее входной и выходной регистры, два элемента И и элемент НЕ и $(m-1)$ узлов сравнения, где m – количество чисел сортируемого массива, причем каждый узел сравнения содержит схему сравнения, коммутатор, элемент И и регистр, выходы разрядов которого соединены с информационными входами первой группы схемы сравнения и коммутатора, управляющий вход которого подключен к выходу схемы сравнения, выходы коммутатора i -го узла сравнения где $i=1,2,\dots,(m-2)$ соединены с установочными входами регистра ($i+1$)-го узла сравнения, вход задания режима сортировки устройства подключен к управляющим входам схем сравнения всех узлов сравнения, первый вход элемента И каждого узла сравнения соединен с выходом схемы сравнения этого узла сравнения, а выход – с входом управления записью регистра этого узла сравнения, вторые входы элементов И всех узлов сравнения подключены к входам тактовых импульсов устройства, подключенным также к входам управления записью входного и выходного регистров, информационные входы устройства соединены с установочными входами входного регистра, выходы разрядов которого соединены с установочными входами регистров первого узла сравнения, информационные входы второй группы схем сравнения и коммутаторов всех узлов сравнения, выходы коммутатора $(m-1)$ -го узла сравнения соединены с установочными входами выходного регистра, вход задания режима сортировки устройства подключен к первому входу первого элемента И и через элемент НЕ – к первому входу второго элемента И, вторые входы первого и второго элементов И подключены к шине начальной установки устройства, а выходы – к входам установки соответственно в единичное нулевое состояние регистров всех узлов сравнения, в него введены счетчик и второй выходной регистр, вход задания режима сравнения, а в каждом узле сравнения – второй регистр, второй коммутаторы, элемент сравнения с тремя выходами ($>$, $=$, $<$) и логические элементы 2И-ИЛИ и 3И-ИЛИ, при этом первый ($>$), и третий ($<$) выходы элемента сравнения подключены к первому и четвертому входам элемента 2И-ИЛИ соответственно, второй и третий инверсный входы которого являются первым управляю-

щим входом схемы сравнения, который соединен с входом задания режима сортировки устройства, второй выход (=) элемента сравнения подключен к шестому входу элемента 3И-ИЛИ, третий инверсный, пятый и седьмой входы которого соединены со вторым управляющим входом схемы сравнения, который соединен с входом задания режима сравнения устройства, второй и четвертый входы элемента 3И-ИЛИ подключены к выходу элемента 2И-ИЛИ, первый вход - к третьему управляющему входу схемы сравнения, а выход - к выходу схемы сравнения, при этом третий управляющий вход i -го узла сравнения соединен с выходом $(i-1)$ -го узла сравнения, а третий управляющий вход первого узла сравнения соединен с установочным входом устройства, счетный вход счетчика подключен к входу тактовых импульсов устройства, информационные выходы счетчика подключены к установочным входам второго регистра первого узла сравнения и информационным входам второй группы второго коммутатора в каждом узле сравнения, информационные входы первой группы второго коммутатора в каждом узле сравнения соединены с выходами соответствующего второго регистра, выходы второго коммутатора i -го узла сравнения соединены с установочными входами второго регистра $(i+1)$ -го узла сравнения, выходы второго коммутатора $(m-1)$ -го узла сравнения подключены к установочным входам второго выходного регистра, вход управления записи второго регистра в каждом узле сравнения соединен с выходом элемента И, а управляющие входы второго коммутатора - с выходом схемы сравнения, причем вход обнуления вторых регистров узлов сравнения, второго выходного регистра И счетчика соединены с шиной начальной установки устройства, а вход управления записью второго выходного регистра подключен к входу тактовых импульсов устройства.

Отличительным признаком данного устройства является введение в схему устройства счетчика и второго выходного регистра, входа задания режима сравнения и в каждую схему сравнения второго регистра, второго коммутатора, элемента сравнения с тремя выходами ($>$, $=$, $<$) и логических элементов 2И-ИЛИ и 3И-ИЛИ дает возможность выявить соотношение равенства в сортируемой последовательности чисел и при необходимости зафиксировать эти случаи, а также порядковые номера сортируемых чисел.

На чертеже представлена структурная схема устройства.

Устройство содержит информационные входы 1, вход 2 тактовых импульсов, вход 3 задания режима сортировки, шины 4 начальной установки, элемент НЕ 5, элементы И 6 и И 7, входной регистр 8, выходной регистр 9, $(m-1)$ узлов 10 сравнения (m - количество сортируемых чисел); причем каждый узел 10 сравнения содержит элемент И 11, регистр 12, схему 13 сравнения, коммутатор 14. Кроме того, устройство содержит вход 15 задания режима сравнения, схема 13 сравнения состоит из элементов сравнения 16, элемента 2И-ИЛИ 17, элемента 3И-ИЛИ 18.

В каждой схеме 13 сравнения информационные входы первой и второй группы элемента 16 сравнения являются информационными входами 19 и 20 первой и второй группы схемы 13 сравнения соответственно, а первые и третьи выходы элемента сравнения 16 подключены к первому и четвертому входам элемента 2И-ИЛИ 17 соответственно, второй и третий входы этого элемента являются управляющим входом 21 элемента 13 сравнения, который соединен с входом 3 задания режима сортировки. Вторым выходом элемента сравнения 16 подключен к 6 входу элемента 3И-ИЛИ 18, третий инверсный, пятый и седьмой входы которого соединены с управляющим входом 22, схемы сравнения 13, второй и четвертый входы - с выходами элемента 2И-ИЛИ 17, а первый вход - с управляющим входом 23 схемы 13 сравнения. Выход элемента 3И-ИЛИ 18 является выходом 24 схемы 13 сравнения, причем выход 24 схемы 13 сравнения i -го узла 10 сравнения соединен с управляющим входом коммутатора 14 i -го узла 10 сравнения и управляющим входом 23 схемы 13 сравнения $(i+1)$ -го узла 10 сравнения. Информационные входы первой и второй группы коммутатора 14 соединены с выходом разрядов регистров 12 и 8 соответственно, выходы коммутатора 14 i -го узла 10 сравнения подключены к установочным входам регистра 12 $(i+1)$ -го узла сравнения 10, а выходы коммутатора 14 $(m-1)$ -го узла сравнения 10 - к установочным входам регистра 9, при этом входы управления записью входного и выходного регистров 8 и 9 подсоединены к входу 2 тактовых импульсов. А выходы разрядов регистра соединены с информационными входами 19 первой группы схемы 13 сравнения, информационные входы 20 второй группы этой схемы подключены к выходам разрядов регистра 8. Вход элемента НЕ 5 подключен к входу 3 задания режима сортировки, а его выход - к первому входу элемента И 6, второй вход которого соединен с шиной 4 начальной установки устройства и

вторым входом элемента И 7, первый вход которого соединен с входом 3 задания режима сортировки. Выходы элементов И 6 и И 7 подключены к входам установки в единичное и нулевое состояние регистра 12 первого узла 10 сравнения, соединены с выходами разрядов регистра 8, установочные входы которого подключены к входам устройства 1. В каждом узле 10 сравнения первый вход элемента И 11 подключен к входу 2 тактовых импульсов, а второй вход — к выходу 24 схемы 13 сравнения, причем выход элемента И 11 соединен с входом управления записью регистра 12 узла 10 сравнения, управляющий вход 22 схемы 13 сравнения всех узлов 10 сравнения подключен к входу 15 задания режима сравнения, а управляющий вход 23 схемы 13 сравнения первого узла 10 сравнения соединен с входом 25 устройства. Кроме того, счетный вход счетчика 26 подключен к входу 2 устройства, а информационные выходы счетчика 26 соединены с установочными входами регистра 27 первого узла 10 сравнения и информационными входами второй группы коммутаторов 28 в каждом узле 10 сравнения, информационные входы первой группы коммутатора 28 в каждом узле 10 сравнения подключены к информационным выходам соответствующего регистра 27. Выходы коммутатора 28 i -го узла 10 сравнения соединены с установочными входами регистра 27 $(i+1)$ -го узла 10 сравнения, а выходы коммутатора 28 $(m-1)$ -го узла 10 сравнения подключены к установочным входам регистра 29. Вход управления записью регистра 27 в каждом узле 10 сравнения подключен к выходу элемента И 11, управляющий вход коммутатора 28 — к выходу 24 схемы 13 сравнения, причем вход обнуления всех регистров 27, регистра 29 и счетчика 26 соединены с входом 4 устройства, а вход управления записью регистра 29 подключен к входу 2 устройства.

Устройство работает следующим образом.

Перед началом сортировки уровнем сигнала на входе 3 задания режима сортировки выставляется режим сортировки по возрастанию (логическая "1") или по убыванию (логический "0"). Импульсом положительной полярности на входе 4 начальной установки регистра 12 устройство устанавливается в нуль (режим сортировки по убыванию), или все разряды регистров 12 устанавливаются в единичное состояние (режим сортировки по возрастанию), регистр 27, регистр 29 и счетчик 26 обнуляются, а на вход 25 устройства поступает единичный сигнал в течение всего времени сортировки чисел. Сортируемая последовательность чисел с информа-

ционным входом один поступает на входы регистра 8. В каждом такте работы в регистр 8 записывается одно из чисел этой последовательности, а содержимое счетчика 26 увеличивается на единицу. Информация с выхода регистра 8 поступает на вторые входы 20 всех схем 13 сравнения, на первые входы 19 которых поступает информация соответствующих регистров 12. Одновременно с этим с выхода счетчика 26 информация поступает на вторые входы коммутаторов 28, на первые входы которых поступает информация с выходов соответствующих регистров 27.

В режиме сортировки по убыванию при превышении содержимого регистра 8 над содержимым регистра 12 на выходе 24 схемы 13 сравнения формируется сигнал логической "1", в других случаях сигнал логического "0". При работе устройства в режиме сортировки чисел по возрастанию сигнал логической "1" на выходе 24 схемы 13 сравнения формируется, тогда содержимое регистра 12 превышает содержимое регистра 8, и остальных случаях формируется сигнал логического "0". Информация на выходе 24 схемы 13 сравнения управляет коммутаторами 14 и 28. Сигнал логической "1" на управляющем входе коммутаторов 14 и 28 устанавливает их в положение, когда на их выход поступает информация с выходов регистров 12 и 27 соответственно. Сигнал логического "0" на управляющем входе 14 и 28 устанавливает их в положение, когда на их выход поступает информация с выходов регистра 8 и счетчика 26 соответственно.

Информация на выходе 24 схемы 13 сравнения каждого узла 10 сравнения разрешает (логическая "1") или запрещает (логический "0") прохождение тактовых импульсов через элемент И 11 на вход управления записью регистров 12 и 27.

Рассмотрим работу устройства в режиме сортировки чисел по убыванию, при условии, что на вход 15 выбора режима сравнения подается логическая "1", т. е. когда учитывается случай выполнения соотношения $D_i > A_j$, и $i, j = 1, 2, \dots, (m-1)$, где D_i — содержимое регистра 12, i -го узла сравнения, A_j — j -е число в сортируемой последовательности чисел.

По первому тактовому импульсу в счетчик 26 записывается единица, а в регистр 8 записывается первое число A_1 , которое с его выхода поступает на вторые входы 20 всех схем 13 сравнения, на первые входы 19 которых поступает нуль. Если первое число не равно нулю, то на выходе всех схем сравнения формируется сигнал логической "1".

По второму тактовому импульсу содержимое счетчика 26 увеличивается на единицу, а в регистр 8 записывается второе число A_2 из сортируемого массива, в регистр 12 первого узла 10 сравнения переписывается первое число из регистра 8, а регистр 27 – число из счетчика 26, а в регистры 12 и 27 остальных узлов 10 сравнения и регистр 9 и 29 записывается информация с выходов коммутаторов 14 и 28, т. е. нули. Второе число A_2 сравнивается с содержимым D_1 регистра 12 каждого узла 10 сравнения. Если второе число больше или равно первому, то на выходе 24 схемы 13 сравнения первого узла 1 сравнения формируется сигнал логического "0", а на выходе остальных схем 10 сравнения – сигнал логической "1".

По третьему тактовому импульсу происходит запись третьего числа A_3 из сортируемого массива в регистр 8, запись второго числа (для случая, когда второе число больше первого) в регистр 12 и содержимого счетчика 26 в регистр 27 первого узла 10 сравнения; запись информации с выходов коммутаторов 14 и 28 предыдущих узлов 10 сравнения; запись информации с выходов коммутаторов 14 и 28 последнего узла 10 сравнения в регистре 9 и 29 соответственно.

Дальнейшая работа устройства в данном режиме будет проходить аналогично. После поступления $(m+1)$ импульсов числа массивов будут просортированы в порядке убывания (наибольшее число будет в регистре 12 первого узла 10 сравнения, следующее по величине число в регистре 12 второго узла 10 сравнения и т. д., наименьшее – в регистре 9). Соответственно порядковые номера расположены в порядке убывания чи-

сел, зафиксированы в регистрах 27 узлов 10 сравнения.

Работа устройства в режиме сортировки по возрастанию аналогична работе устройства в режиме сортировки чисел по убыванию.

Работа устройства при условии, что на вход 15 выбора режима сравнения подается логический "0", аналогична описанной выше работе с тем отличием, что при выполнении условия $D_i=A_i$ не происходит изменение содержимого регистров 12 всех схем 13 сравнения.

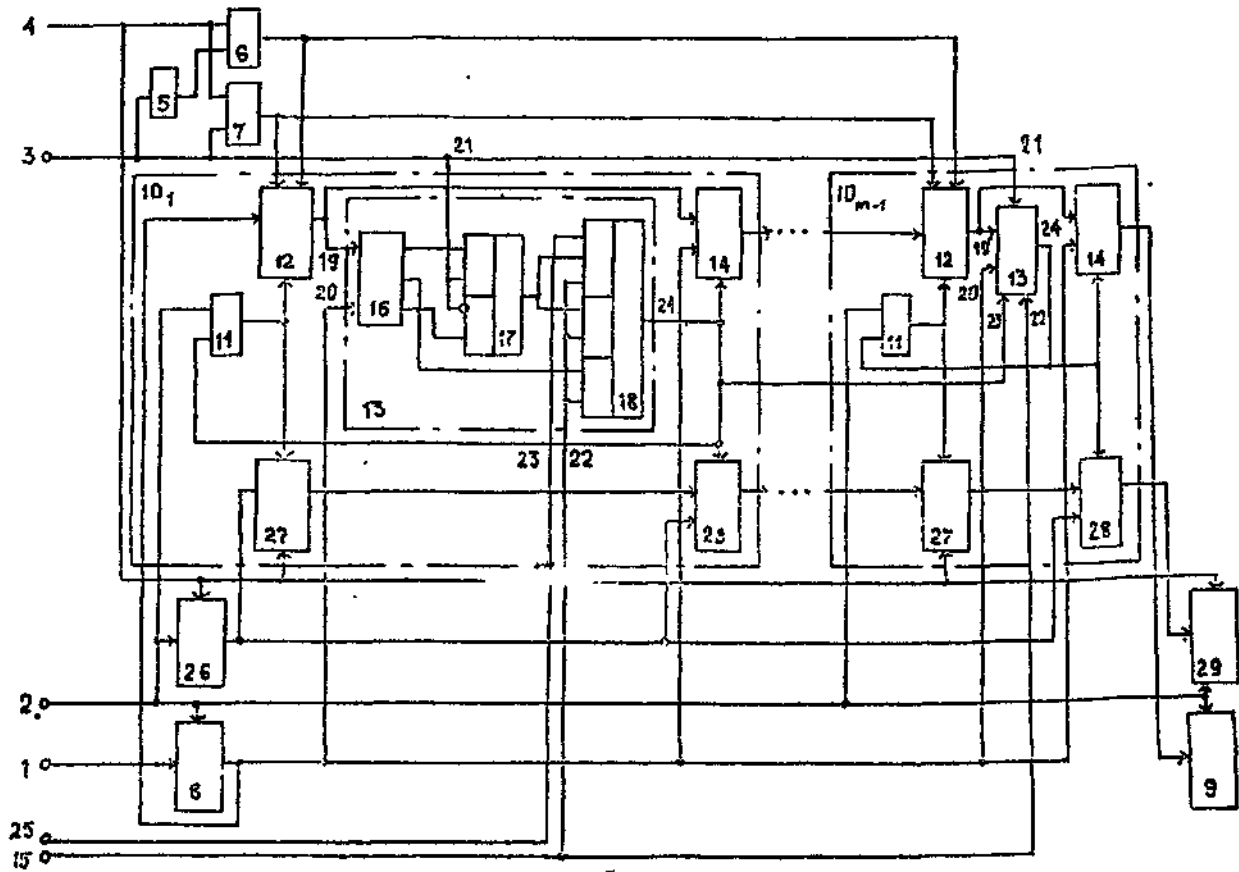
Принцип работы схемы 13 сравнения при всех возможных комбинациях сигналов на входах 3 и 15 устройства иллюстрируется таблицей, где приняты следующие обозначения: F_1 – сигнал на входе 15 задания режима сравнения; F_2 – сигнал на входе 3 задания режима сортировки; F_3 – сигнал на выходе 24 схемы 13 сравнения предыдущего узла 10 сравнения; Y_1 – сигнал на выходе 24 схемы 13 сравнения данного узла 10 сравнения; x_1, x_2, x_3 – логическое условие выполнения следующих соотношений: $x_1 : D_1 > A_j$; $x_2 : D_1 < A_j$; $x_3 : D_1 = A_j$.

Введение в устройство для сортировки чисел счетчика, второго выходного регистра, входа задания режима сравнения и в каждую схему сравнения элементов сравнения, второго регистра и второго коммутатора, и логических элементов 2И-ИЛИ и 3И-ИЛИ с соответствующими связями позволяет расширить функциональные возможности устройства за счет выявления соотношения равенства сортируемых последовательностей чисел и фиксации порядковых номеров входных чисел.

F_1	F_2	F_3	x_1	x_2	x_3	Y
0	1	1	1	0	0	1
0	1	1	0	1	0	0
0	1	1	0	0	1	0
0	0	1	1	0	0	0
0	0	1	0	1	0	1
0	0	1	0	0	1	0
0	1	0	1	0	0	0
0	1	0	0	1	0	0
0	1	0	0	0	1	0
0	0	0	1	0	0	0
0	0	0	0	1	0	0
0	0	0	0	0	1	0

Продолжение таблицы

F ₁	F ₂	F ₃	x ₁	x ₂	x ₃	Y
1	1	1	1	0	0	1
1	1	1	0	1	0	0
1	1	1	0	0	1	1
1	0	1	1	0	0	0
1	0	1	0	1	0	1
1	0	1	0	0	1	1
1	1	0	1	0	0	1
1	1	0	0	1	0	0
1	1	0	0	0	1	1
1	0	0	1	0	0	1
1	0	0	0	1	0	1
1	0	0	0	0	1	1



Упорядник

Техред М.Келемеш

Коректор О.Кравцова

Замовлення 4593

Тираж

Підписне

Державне патентне відомство України,
254655, ГСП, Київ-53, Львівська пл., 8

Відкрите акціонерне товариство "Патент", м. Ужгород, вул.Гагаріна, 101

