



УКРАЇНА

(19) UA (11) 10481 (13) U

(51) 7 G11B5/09

МІНІСТЕРСТВО ОСВІТИ  
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІ

## ОПИС

### ДО ДЕКЛАРАЦІЙНОГО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

видається під  
відповідальність  
власника  
патенту

#### (54) ПРИСТРІЙ КАНАЛЬНОГО КОДУВАННЯ

1

2

(21) u200504225

(22) 04.05.2005

(24) 15.11.2005

(46) 15.11.2005, Бюл. № 11, 2005 р.

(72) Марценюк Валерій Пантелеймонович, Кадук  
Олександр Володимирович

(73) ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ  
УНІВЕРСИТЕТ

(57) Пристрій каналного кодування, який містить генератор синхроімпульсів, перший, другий та третій лічильники імпульсів, інвертор, елемент І, схему 2I-НІ, формувач імпульсів, перший та другий лічильні тригери, перший та другий регістри зсуву, дешифратор, паралельний регістр, перший, другий, третій та четвертий блоки пам'яті, блок запису, цифровий компаратор, шину опорного коду та вхідну шину, причому вхідна шина під'єднана до інформаційного входу першого регістра зсуву, вхід синхронізації якого з'єднаний зі входом синхронізації третього лічильника імпульсів третім виходом другого лічильника імпульсів, вихід генератора синхроімпульсів під'єднано до входів синхронізації першого та другого лічильника імпульсів, вхід інвертора з'єднано з входом синхронізації паралельного регістра, а вихід першого інвертора під'єднано до входу синхронізації першого лічильного тригера, вихід якого під'єднано до входу встановлення режиму роботи другого регістра зсуву, а вхід встановлення нуля зв'язано з виходом формувача імпульсів, перший-десятий входи паралельного регістра під'єднано до першого-десятого виходів першого регістра зсуву, а перший-десятий входи паралельного регістра з'єднано з першим-десятим входами цифрового компаратора, входи якого також з'єднано з шиною опорного коду, перший-

восьмий виходи паралельного регістра з'єднано з першим-восьмим входами першого та другого блока пам'яті, перші-десяті виходи першого та другого блока пам'яті під'єднано до першого-десятого інформаційного входу другого регістра зсуву, вихід цифрового компаратора під'єднано до одинадцятого входу третього регістра, вихід якого з'єднано з входом синхронізації другого тригера, прямий вихід якого під'єднано до блока запису, а інверсний - до свого інформаційного входу, перший-другий вихід третього лічильника імпульсів під'єднано до першого-другого входу схеми 2I-НІ, виходи якої з'єднано з входом синхронізації паралельного регістра та формувача імпульсів, вихід першого лічильника імпульсів під'єднано до входу інвертора, перший-третій виходи другого лічильника імпульсів під'єднано до першого-третього входів елемента І відповідно, вихід якого з'єднано з входом встановлення в одиницю другого лічильника імпульсів, дев'ятий-десятий виходи другого регістра під'єднано відповідно до першого-другого входів дешифратора, перший-четвертий виходи якого під'єднано до входів управління режимами першого, другого, третього та четвертого блоків пам'яті, дешифратор, до першого-третього входів якого під'єднані дев'ятий-одинадцятий виходи паралельного регістра, який відрізняється тим, що в пристрій каналного кодування введено п'ятий, шостий, сьомий та восьмий блоки пам'яті, перший-восьмий виходи дешифратора під'єднано до входів управління режимами першого, другого, третього та четвертого, п'ятого, шостого, сьомого, восьмого блоків пам'яті, причому в даній схемі використовується трирозрядний дешифратор.

Корисна модель відноситься до обчислювальної техніки, а саме до пристроїв формування сигналів для високощільного запису цифрової інформації на магнітний носій.

Відомий пристрій каналного кодування [патент України № 36869 м. кл., G11B 5/09, 16.04.2001, бюл. №3-2001], який розрахований на

збільшення щільності магнітного запису за рахунок перекодування інформації в каналний код Каутса-Фібоначчі з параметрами  $n=9$ ,  $m=10$ ,  $d=0$ ,  $k=3$ .

Даний пристрій складається з генератора, під'єданого виходом до лічильного входу першого і другого лічильника імпульсів. Вихід першого лічильника з'єднаний з синхровходом другого регістра

(19) UA (11) 10481 (13) U

зсуву і через інвертор з синхровходом другого тригера, під'єданого виходом до керуючого входу регістра зсуву, вихід якого з'єднаний з лічильним входом першого тригера, інверсний вихід якого з'єднано з інформаційним входом цього тригера, а прямим виходом - до блоку запису, який з'єднується з магнітною голівкою. Виходи лічильника імпульсів зв'язані через елемент І з його входом скидання в нуль. При цьому один з виходів другого лічильника поєднується через третій лічильник імпульсів, другий інвертор і формувач до входу встановлення в одиницю другого тригера, а також до синхровходу першого регістра зсуву, що зв'язаний через паралельний регістр і перший та другий блоки пам'яті з відповідними входами регістра зсуву. До інформаційного входу Д першого регістра зсуву підключена вхідна шина. Відповідні виходи паралельного регістра з'єднані через цифровий компаратор 18 з одним із входів регістру зсуву, при цьому інші входи цифрового компаратора підключені до шини опорного сигналу.

Недоліком пристрою є невисока щільність запису внаслідок малого значення вікна детектування.

За найближчий аналог обрано пристрій каналного кодування [патент України № 36869А м. кл. G11B5/09, 16.04.2001, бюл. № 3], який збільшує вікно детектування при збереженні умови самосинхронізації. Перетворення двійкового коду в каналний код КФ здійснюється із застосуванням генератора синхроімпульсів, першого, другого та третього лічильників імпульсів, інвертора, схеми І, схеми 2І-НІ, другого інвертора, формувача імпульсів, першого та другого лічильного тригера, першого та другого регістрів зсуву, дешифратора, паралельного регістра, першого, другого, третього та четвертого блоків пам'яті, блоку запису, цифрового компаратора, шини опорного коду та вхідної шини, причому вхідна шина під'єднана до інформаційного входу першого регістра зсуву, вхід синхронізації якого з'єднаний зі входом синхронізації третього лічильника імпульсів третім виходом другого лічильника імпульсів, вихід генератора синхроімпульсів під'єднано до входів синхронізації першого та другого лічильника імпульсів, вхід інвертора з'єднано з входом синхронізації паралельного регістра, а вихід першого інвертора під'єднано до входу синхронізації першого лічильного тригера, вихід якого під'єднано до входу встановлення режиму роботи другого регістра зсуву, а вхід встановлення нуля зв'язано з виходом формувача імпульсів, перший-десятий входи паралельного регістру під'єднано до першого-десятого виходів першого регістра зсуву, а перший-десятий виходи паралельного регістра з'єднано з першим-десятим входами цифрового компаратора, входи якого також з'єднано з шиною опорного коду, перший-восьмий виходи паралельного регістра з'єднано з першим-восьмим входами першого та другого блока пам'яті, перші-десяті виходи першого та другого блока пам'яті під'єднано до першого-десятого інформаційного входу другого регістра зсуву, вихід цифрового компаратора під'єднано до одинадцятого входу третього регістра, вихід якого з'єднано з входом синхронізації другого тригера,

прямий вихід якого під'єднано до блока запису, а інверсний до свого інформаційного входу, перший-другий вихід третього лічильника імпульсів під'єднано до першого-другого входу схеми 2І-НІ, виходи якої з'єднано з входом синхронізації паралельного регістра та формувача імпульсів, а перший та другий входи першого елемента "І" з'єднано з першим та другим виходами першого лічильника імпульсів, вихід першого елемента "І" під'єднано до входу інвертора, перший-третій виходи другого лічильника імпульсів під'єднано до першого-третього входів другого елемента "І" відповідно, вихід якого з'єднано з входом встановлення в одиницю другого лічильника імпульсів, дев'ятий-десятий виходи другого регістра під'єднано відповідно до першого-другого входів дешифратора, перший-четвертий виходи якого під'єднано до входу управління режимами першого, другого, третього та четвертого блоків пам'яті.

Недолік пристрою - недостатня щільність запису цифрової інформації на магнітний носій.

В основу винаходу поставлено задачу розробки пристрою каналного кодування, в якому за рахунок введення нових блоків та зв'язків між ними досягається збільшення щільності запису інформації на магнітний носій при збереженні умов самосинхронізації, що дозволяє збільшити кількість інформації, яка записується на звичайну магнітну стрічку при використанні перекодування в код Каутса-Фібоначчі з параметрами  $n=11$ ,  $m=12$ ,  $d=0$ ,  $k=3$ .

Поставлена задача досягається тим, що в пристрій каналного кодування, який містить генератор синхроімпульсів, перший, другий та третій лічильники імпульсів, інвертор, схему І, схему 2І-НІ, другий інвертор, формувач імпульсів, перший та другий лічильні тригери, перший та другий регістри зсуву, дешифратор, паралельний регістр, перший, другий, третій та четвертий блоки пам'яті, блок запису, цифровий компаратор, шину опорного коду та вхідну шину, причому вхідна шина під'єднана до інформаційного входу першого регістра зсуву, вхід синхронізації якого з'єднаний зі входом синхронізації третього лічильника імпульсів третім виходом другого лічильника імпульсів, вихід генератора синхроімпульсів під'єднано до входів синхронізації першого та другого лічильника імпульсів, вхід інвертора з'єднано з входом синхронізації паралельного регістра, а вихід першого інвертора під'єднано до входу синхронізації першого лічильного тригера, вихід якого під'єднано до входу встановлення режиму роботи другого регістра зсуву, а вхід встановлення нуля зв'язано з виходом формувача імпульсів, перший-десятий входи паралельного регістру під'єднано до першого-десятого виходів першого регістра зсуву, а перший-десятий виходи паралельного регістра з'єднано з першим-десятим входами цифрового компаратора, входи якого також з'єднано з шиною опорного коду, перший-восьмий виходи паралельного регістра з'єднано з першим-восьмим входами першого та другого блока пам'яті, перші-десяті виходи першого та другого блока пам'яті під'єднано до першого-десятого інформаційного входу другого регістра зсуву, вихід цифрового компара-

тора під'єднано до одинадцятого входу третього регістра, вихід якого з'єднано з входом синхронізації другого тригера, прямий вихід якого під'єднано до блока запису, а інверсний до свого інформаційного входу, перший-другий вихід третього лічильника імпульсів під'єднано до першого-другого входу схеми 21-Ні виходи якої з'єднано з входом синхронізації паралельного регістра та формувача імпульсів, а перший та другий виходи першого елемента "І" з'єднано з першим та другим виходами першого лічильника імпульсів, вихід першого елемента "І" під'єднано до входу інвертора, перший-третій виходи другого лічильника імпульсів під'єднано до першого-третього входів другого елемента "І" відповідно, вихід якого з'єднано з входом встановлення в одиницю другого лічильника імпульсів, дев'ятий-десятий виходи другого регістра під'єднано відповідно до першого-другого входів дешифратора, перший-четвертий виходи якого під'єднано до входів управління режимами першого, другого, третього та четвертого блоків пам'яті введено дешифратор більшої розрядності та п'ятий, шостий, сьомий та восьмий блоки пам'яті, причому дев'ятий-одинадцятий виходи другого регістра під'єднано відповідно до першого-третього входів дешифратора, перший-восьмий виходи якого під'єднано до входів управління режимами першого, другого, третього та четвертого, п'ятого, шостого, сьомого, восьмого блоків пам'яті

На Фіг 1 представлено функціональну схему пристрою каналного кодування. На Фіг 2 представлені часові діаграми роботи пристрою каналного кодування

Пристрій складається з генератора 1, під'єданого виходом до лічильного входу першого 2 і другого 3 лічильника імпульсів. Вихід першого лічильника 2 з'єднаний з входом інвертора 8 та синхровходом другого регістра зсуву 22, вихід інвертора 8 з'єднаний з синхровходом першого тригера 12, вихід якого під'єднано до керуючого входу другого регістра зсуву 22, вихід якого з'єднаний з лічильним входом другого тригера 23, інверсний вихід якого з'єднано з інформаційним входом цього тригера, а прямий вихід з'єднано з входом блоку запису 24. Вихід блоку запису 24 з'єднується з магнітною головою (не показаний). Виходи другого лічильника імпульсів 3 зв'язані через елемент "І" 9 з його входом скидання в нуль. При цьому один з виходів другого лічильника 3 під'єднаний до синхровходу третього лічильника імпульсів 4 та синхровходу першого регістру 5. Виходи третього лічильника імпульсів 4 під'єднані до входу схеми 21-Ні 10, вихід якої з'єднано з формувачем імпульсів 11 та синхровходом паралельного регістру 7. Вихід формувача імпульсів 11 з'єднано з входом встановлення в одиницю першого тригера 12. До інформаційного входу D першого регістру 5 підключена вхідна шина 25, перший-одинадцятий інформаційні виходи першого регістру 5 під'єднані до першого-одинадцятого інформаційних входів паралельного регістру 7. Перший-одинадцятий виходи паралельного регістру 7 з'єднані з першим-одинадцятим А входами компаратора 13, а виходи (В) цифрового компаратора 13 під'єднані до шини опорного сигналу 26, вихід цифрового компарато-

ра 13 з'єднаний з інформаційним входом D12 другого регістра зсуву 22. Перший-восьмий виходи паралельного регістру 7 під'єднані до першого-восьмого адресних входів (A1-A8) першого 14, другого 15, третього 16, четвертого 17, п'ятого 18, шостого 19, сьомого 20 та восьмого 21 блоків пам'яті, виходи яких під'єднані до першого-одинадцятого інформаційних входів другого регістра зсуву 22. Дев'ятий, десятий та одинадцятий виходи паралельного регістра 7 під'єднані до входів дешифратора 6, виходи якого з'єднані з входами установки режиму роботи E відповідно до першого 14, другого 15, третього 16, четвертого 17, п'ятого 18, шостого 19, сьомого 20 та восьмого 21 блоків пам'яті.

В запропонованому пристрої кодування двійкового одинадцятирозрядного коду в дванадцятирозрядний код Каутса-Фібоначі інформаційне одинадцятирозрядне слово розвертається за допомогою першого регістра 5 з послідовної двійкової форми в паралельну. В подальшому за допомогою елементів 14, 15, 16, 17, 18, 19, 20, 21 це слово перетворюється в дванадцятирозрядне кодове слово Каутса-Фібоначі. За допомогою третього регістра 22 паралельне кодове дванадцятирозрядне слово Каутса-Фібоначі також переводиться в послідовну форму і подається на блок запису 22 для подальшої реєстрації на магнітний носій (стрічка, диск).

Пристрій працює таким чином. Вхідний двійковий код розділяють на рівномірні часові послідовності по одинадцять бітових інтервалів, перетворюють за допомогою каналних кодів Каутса-Фібоначі в дванадцятисимвольні послідовності і в подальшому в струм запису. Сигнал тактової частоти (Фіг 2а), сформований генератором 1 ділиться на 11 за допомогою першого лічильника імпульсів 2 (Фіг 2б) та на дванадцять за допомогою другого лічильника імпульсів 3 (Фіг 2в). Інформаційні сигнали в двійковому коді з виходу першого регістра 5 записуються в другий регістр 7 в момент позитивного перепаду сигналу, який надходить з виходу схеми 21-Ні 10 (Фіг 2г). Вихідні імпульси формувача імпульсів 12 (Фіг 2д) надходять на вхід встановлення в одиницю першого тригера 12, вихідний сигнал (Фіг 2е) якого подається на вхід установки режиму роботи E третього регістра зсуву 22 і встановлює режим паралельного чи послідовного зсуву. В блоках пам'яті 14, 15, 16, 17, 18, 19, 20, 21 виконується перекодування інформації з одинадцятирозрядного двійкового коду в дванадцятирозрядний код Каутса-Фібоначі. Третій регістр зсуву 22 перетворює паралельний запис цього коду в послідовний зсув кодової інформації, яка після перетворення надходить в блок запису 24 для формування сигналів запису на магнітний носій.

В загальному випадку каналного кодування інформаційні комбінації з  $n$  - символів двійкового вхідного коду заміщується групою з  $m$  - символів каналного коду. При цьому відношення числа символів  $n$  до  $m$  визначає параметр, який називають кодовою швидкістю

$$V_k = n/m$$

Параметр кодової швидкості характеризує

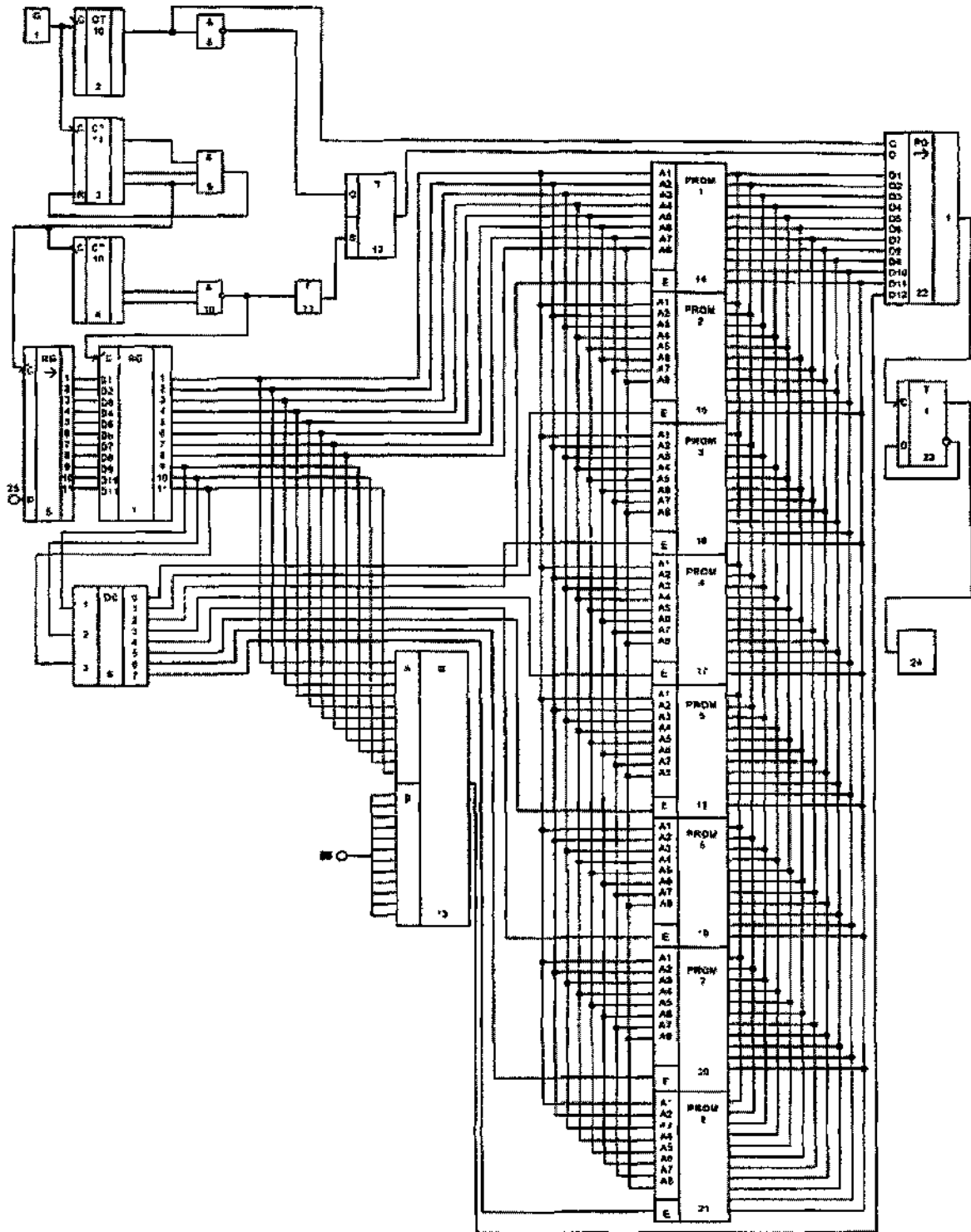
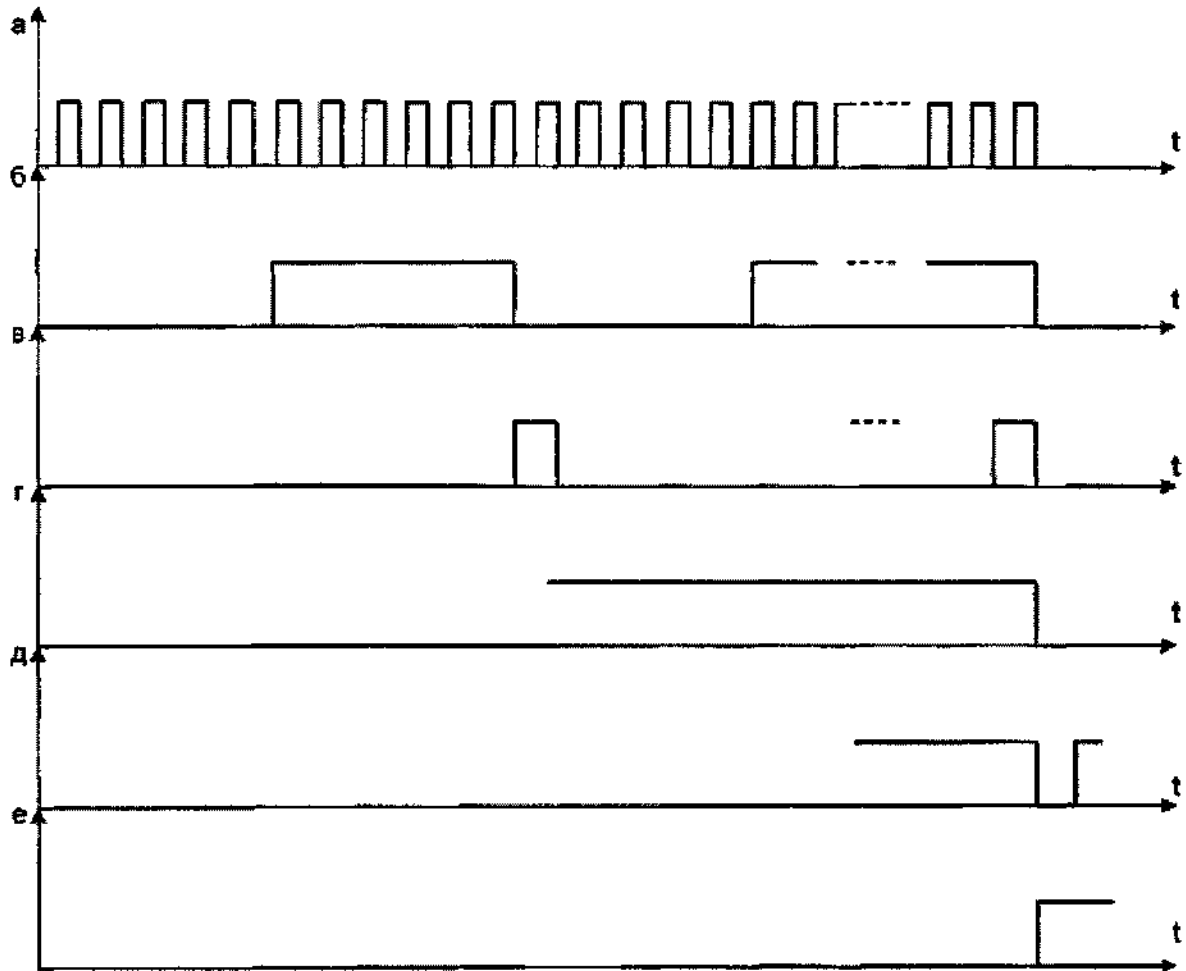


Fig. 1



Фиг. 2

