



УКРАЇНА

(19) UA

(11) 46339

(13) A

(51) G 06 F 15/00

МІНІСТЕРСТВО ОСВІТИ  
І НАУКИ УКРАЇНИДЕРЖАВНИЙ ДЕПАРТАМЕНТ  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІ

## ОПИС

ДО ДЕКЛАРАЦІЙНОГО ПАТЕНТУ  
НА ВІНАХІДВидається під  
відповідальність  
власника  
патенту

## (54) ПРИСТРІЙ ДЛЯ ШВИДКОГО ДІЙСНОГО ПЕРЕТВОРЕННЯ ХАРТЛІ-ФУР'Є

1

2

(21) 2001064412

(22) 23 08 2001

(24) 15 05 2002

(46) 15 05 2002, Бюл. № 5, 2002 р.

(72) Волинець Віктор Іванович

(73) ВІННИЦЬКИЙ ДЕРЖАВНИЙ ТЕХНІЧНИЙ  
УНІВЕРСИТЕТ

(57) Пристрій для швидкого дійсного перетворення Хартлі-Фур'є, що містить блок синхронізації, блок постійної пам'яті, два лічильники адрес, два вхідні реєстри, реєстр, вихідний реєстр, три комутатори, два помножувачі, суматор-віднімач і блок пам'яті, вихід якого є інформаційним виходом пристрою та підключений до інформаційних входів першого та другого вхідних реєстрів, перший вихід блока синхронізації підключений до лічильного входу першого лічильника адреси, інформаційний вихід якого підключений до адресного входу блока постійної пам'яті, вихід якого підключений до інформаційного входу реєстра, перший і другий виходи якого підключені до перших входів відповідно першого і другого помножувачів, другий вихід блока синхронізації підключений до лічильного входу другого лічильника адреси, інформаційний вихід якого підключений до адресного входу блока пам'яті, інформаційний вхід якого підключений до виходу першого комутатора, перший інформаційний вхід якого є інформаційним виходом пристрою, а другий інформаційний вхід з'єднаний з виходом вихідного реєстра, керуючий вхід першого комутатора підключений до третього виходу блока синхронізації, четвертий вихід якого підключений до входу керування записом-зчитуванням з блока пам'яті, п'ятий вихід блока синхронізації підключений до тактового входу

першого вхідного реєстра, тактовий вхід реєстра підключений до шостого виходу блока синхронізації, сьомий вихід якого підключений до тактового входу другого вхідного реєстра, вихід якого підключений до першого інформаційного входу другого комутатора, вихід якого підключений до першого інформаційного входу суматора-віднімача, керуючий вхід якого підключений до восьмого входу блока синхронізації, дев'ятий вихід якого підключений до тактового входу вихідного реєстра, вихід другого помножувача підключений до другого інформаційного входу другого комутатора, керуючий вхід якого з'єднаний з керуючим входом третього комутатора та підключений до десятого виходу блока синхронізації, вихід першого вхідного реєстра підключений до першого інформаційного входу третього комутатора, вихід якого підключений до другого інформаційного входу суматора-віднімача, вихід якого підключений до інформаційного входу вихідного реєстра, вихід першого помножувача підключений до другого інформаційного входу третього комутатора, який відрізняється тим, що в пристрій введені четвертий та п'ятий комутатори, керуючі виходи яких з'єднані та підключені до восьмого виходу блока синхронізації, перший інформаційний вхід четвертого комутатора і другий інформаційний вхід п'ятого комутатора з'єднані та підключені до виходу першого вхідного реєстра, другий інформаційний вхід четвертого комутатора і перший інформаційний вхід п'ятого комутатора з'єднані та підключені до виходу другого вхідного реєстра, виходи четвертого та п'ятого комутаторів підключені до других входів відповідно першого і другого помножувачів

Винахід належить до галузі цифрової обчислювальної техніки і може бути застосований у системах і пристроях цифрової обробки інформації для перетворення часової послідовності дійсних відліків вхідного сигналу в частотну та частотної послідовності у часову

Відомий пристрій для швидкого дійсного перетворення Хартлі-Фур'є [А с СССР № 1343424, кл

G 06 F 15/332, Бюл. № 37, 1987], що містить блок синхронізації, блок постійної пам'яті, блок оперативної пам'яті, два лічильники адрес, два вхідні реєстри, реєстр, проміжний реєстр, вихідний реєстр, три помножувачі, три суматори, чотири комутатори та має інформаційний вхід і інформаційний вихід

Недоліком пристрою є великі апаратні ви-

(19) UA (11) 46339 (13) A



Введення в пристрій четвертого та п'ятого комутаторів разом з їх зв'язками з вхідними реєстрами, помножувачами та блоком синхронізації, дозволило підключати виходи вхідних реєстрів, що містять вхідні дані, до входів помножувачів так, щоб забезпечити на входах останніх наявність тих вхідних даних, котрі необхідні для обчислення поточних вихідних даних при виконанні базових процедур перетворення, що містять операції множення. Це дозволило підвищити швидкість пристрою, оскільки зчитування вхідних даних із блока пам'яті у вхідні реєстри при виконанні базових процедур перетворення, що містять операції множення, виконується лише один раз.

На фіг 1 представлена структурна схема пристрою для швидкого дійсного перетворення Хартлі-Фур'є, на фіг 2 граф-схема алгоритму Хартлі-Фур'є для вимірності масиву даних  $N$  16.

Пристрій (фіг 1) містить блок 1 синхронізації, лічильники 2 і 3 адреси, блок 4 постійної пам'яті, вхідні реєстри 5 і 6, реєстр 7, блок 8 (оперативної) пам'яті, комутатори 9 - 13, помножувачі 14 і 15, суматор-віднімач 16, вихідний реєстр 17, інформаційний вхід 18 та інформаційний вихід 19.

Перший вихід блока 1 синхронізації підключений до лічильного входу першою лічильника 2 адреси, інформаційний вихід якого підключений до адресного входу блока 4 постійної пам'яті, вихід якого підключений до інформаційного входу реєстра 7, перший і другий виходи якого підключені до перших входів відповідно першого й другого помножувачів 14 - 15. Другий вихід блока 1 синхронізації підключений до лічильного входу другого лічильника 3 адреси, інформаційний вихід якого підключений до адресного входу блока 8 оперативної пам'яті, вихід якого є інформаційним виходом 19 пристрою та підключений до інформаційних входів першого та другого вхідних реєстрів 5 - 6, а інформаційний вхід підключений до виходу першого комутатора 13, перший інформаційний вхід якого є інформаційним входом 18 пристрою, а другий інформаційний вхід з'єднаний з виходом вихідного реєстра 17. Керуючий вхід першого комутатора 13 підключений до третього виходу блока 1 синхронізації, четвертий вихід якого підключений до входу керування записом-зчитуванням із блока 8 оперативної пам'яті. П'ятий вихід блока 1 синхронізації підключений до тактового входу першого вхідного реєстра 5, вихід якого підключений до першого інформаційного входу четвертого й другого інформаційного входу п'ятого комутаторів 9 - 10 та до першого інформаційного входу третього комутатора 11. Тактовий вхід реєстра 7 підключений до шостого виходу блока 1 синхронізації, сьомий вихід якого підключений до тактового входу другого вхідного реєстра 6, вихід якого підключений до другого інформаційного входу четвертого й першого інформаційного входу п'ятого комутаторів 9 - 10 та до першого інформаційного входу другого комутатора 12. Виходи четвертого й п'ятого комутаторів 9 - 10 підключені до других входів відповідно першого й другого помножувачів 14 - 15, виходи яких підключені до других входів відповідно третього та другого комутаторів 11 - 12, виходи яких підключені відповідно до другого та першого інформаційних входів суматора-віднімача 16, вихід

якого підключений до інформаційного входу вихідного реєстра 17, а керуючий вхід підключений до восьмого входу блока 1 синхронізації та з'єднаний з керуючими входами четвертого та п'ятого комутаторів 9 - 10. Дев'ятий вихід блока 1 синхронізації підключений до тактового входу вихідного реєстра 17. Керуючі входи другого та третього комутаторів 11 - 12 з'єднані та підключені до десятого виходу блока 1 синхронізації.

Пристрій працює наступним чином.

Виконання гармонічного перетворення включає чотири етапи введення вхідної інформації, обчислення коефіцієнтів Хартлі, перетворення коефіцієнтів Хартлі в коефіцієнти Фур'є, виведення результатів перетворення.

На етапі введення вхідної інформації використовуються тільки блок 1 синхронізації, другий лічильник 3 адреси, блок 8 оперативної пам'яті та перший комутатор 13. По сигналу з третього виходу блока 1 синхронізації на керуючий вхід першого комутатора 13 останній виконує підключення інформаційного входу 18 пристрою до інформаційного входу блока 8 оперативної пам'яті. Другий лічильник 3 адреси формує та послідовно передає на адресний вхід блока 8 оперативної пам'яті двійково-інверсну послідовність адрес, за якими в блок 8 оперативної пам'яті записується вхідна інформація  $h(n)$  ( $n = \overline{0, N-1}$ ), в результаті чого виконується крок R перетворення згідно з граф-схемою алгоритму перетворення (фіг 2).

Етап обчислення коефіцієнтів  $H(v)$  Хартлі (фіг 2) включає в себе послідовне виконання  $L = \log_2 N$  кроків M алгоритму перетворення Хартлі (всі кроки, за винятком двох перших, містять два підкроки), на кожному з яких послідовно реалізуються процедури ("метелики") одного з двох видів. Процедура першого виду не містить операцій множення і реалізується при виконанні перших двох кроків та на останніх підкроках (підкроках  $\alpha$ ) наступних кроків алгоритму. Процедура другого виду містить операції множення на тригонометричні коефіцієнти і реалізується при виконанні перших підкроків (підкроків  $\beta$ ) всіх кроків алгоритму, за винятком двох перших. Суть процедур першого та другого видів визначається відповідно такими математичними виразами:

$$A' = A + B$$

$$B' = A - B$$

та

$$A' = A \cdot C_k^m + B \cdot S_k^m$$

$$B' = A \cdot S_k^m - B \cdot C_k^m$$

A та B - відповідно перший та другий вхідні операнди,

A' та B' - відповідно перший та другий вхідні операнди,

$$C_k^m = \cos(2\pi k/2^m) - \text{косинусний коефіцієнт,}$$

$$S_k^m = \sin(2\pi k/2^m) - \text{синусний коефіцієнт,}$$

$m = \overline{3, L}$  - номер кроку алгоритму перетворення,

$k = \overline{1, 2^{m-2} - 1}$  - номер тригонометричного коефіцієнта на m-му кроці.

Кожна процедура реалізується наступним чином

Блок 1 синхронізації на своєму другому виході формує сигнали, по яким другий лічильник 3 адреси формує адреси операндів, що приймають участь у реалізації поточної процедури, в такій послідовності: адреса першого операнда, адреса другого операнда, адреса першого операнда. Після формування адреси першого вхідного операнда його значення з'являється на виході блока 8 оперативної пам'яті та по сигналу з п'ятого виходу блока 1 синхронізації записується в перший вхідний регістр 5, а після формування адреси другого вхідного операнда його значення з'являється на виході блока 8 оперативної пам'яті та по сигналу із сьомою виходу блока 1 синхронізації записується в другий вхідний регістр 6. При реалізації процедури другого виду одночасно з першим формуванням адреси першого операнда по сигналу з першого виходу блока 1 синхронізації лічильник 2 адреси формує адресу пари тригонометричних коефіцієнтів - синусного та косинусного, що приймають участь у реалізації поточної процедури, їх значення з'являються на виході блока 4 постійної пам'яті та по сигналу із шостого виходу блока 1 синхронізації записуються в регістр 7. Довжина слова блока 3 постійної пам'яті та відповідно регістра 7 у два рази перевищують довжину слова інших блоків пристрою.

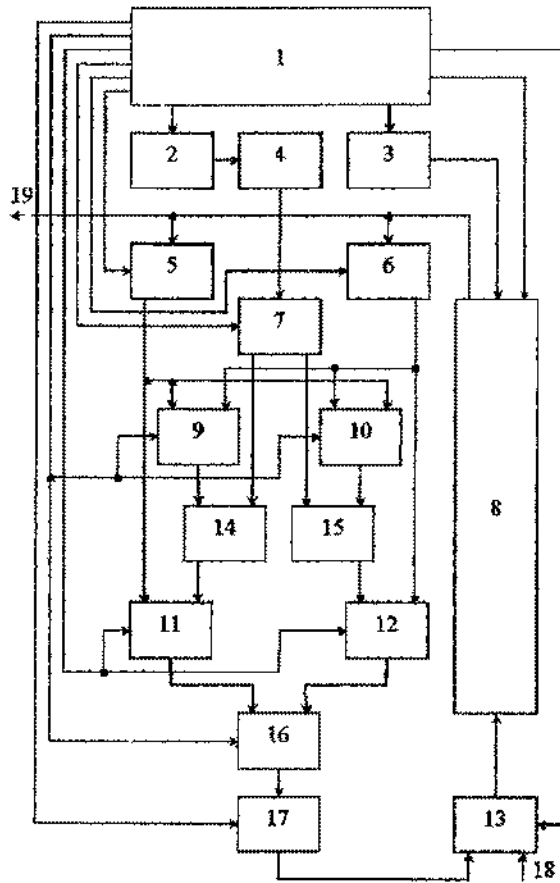
Перший та другий вхідні операнди з виходів відповідно першого та другого вхідних регістрів 5 - 6 поступають на перші входи відповідно третього та другого комутаторів 11 - 12, а через відповідно четвертий та п'ятий комутатори 9 - 10, що керуються з восьмого виходу блока 1 синхронізації, поступають на другі входи відповідно першого та другого помножувачів 14 - 15, на перші входи яких поступають відповідно перший та другий виходи регістра 7. Виходи помножувачів 14 - 15, на яких формуються результати добутоків вхідних операндів на тригонометричні коефіцієнти, поступають на другі входи відповідно третього та другого комутаторів 11 - 12. При виконанні процедур першого виду третій та другий комутатори 11 - 12, що керуються з десятого виходу блока 1 синхронізації, пропускають відповідно на другий та перший входи суматора-віднімача 16 сигнали з виходів відповідно вхідних регістрів 5 - 6, а при виконанні процедур другого виду - сигнали з виходів відповідно першого та другого помножувачів 14 - 15, в результаті чого на входах суматора-помножувача з'являються значення доданків, що використовуються при обчисленні значення другого вхідного операнда.

Керуючий сигнал із восьмого виходу блока 1

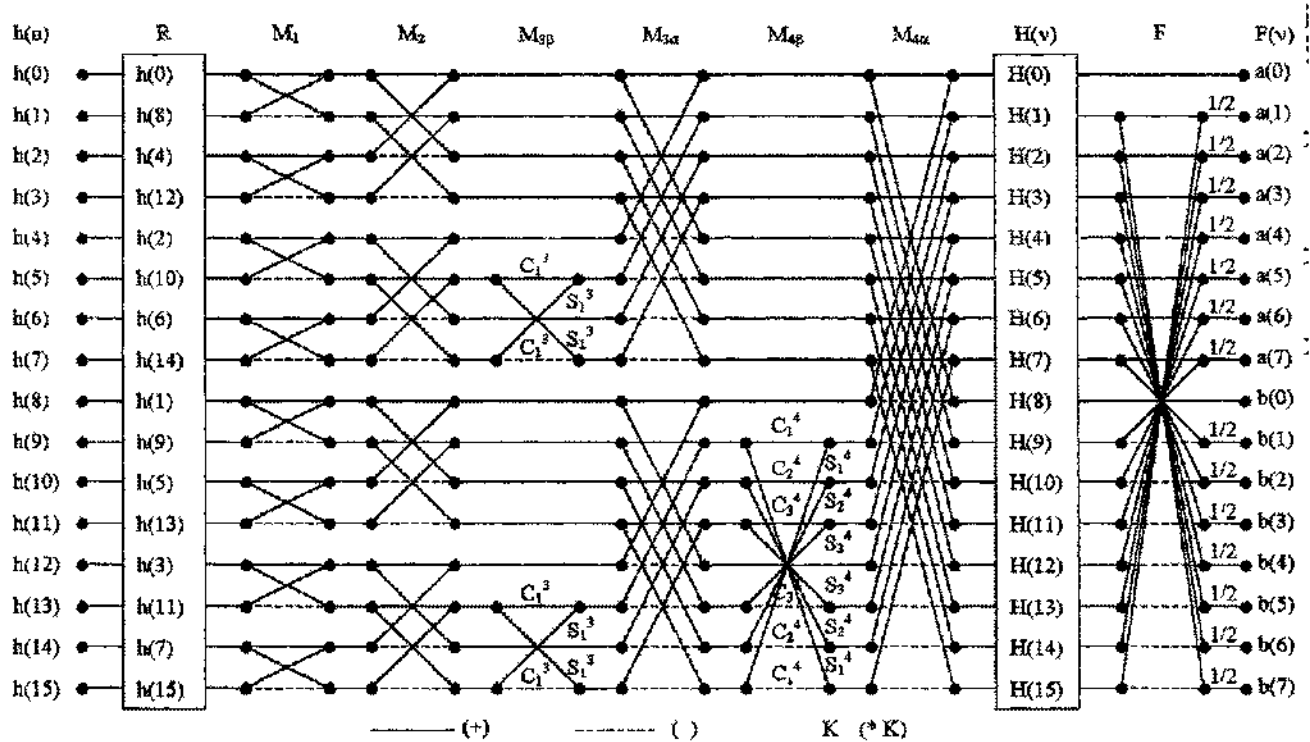
синхронізації задає на суматорі-віднімачі 16 виконання операції віднімання, внаслідок чого на його виході формується результат другого вхідного операнда, котрий по сигналу з дев'ятого виходу блока 1 синхронізації записується у вхідний регістр 17. Далі операції виконуються паралельно. Значення другого вхідного операнда з виходу вхідного регістра 17 через перший комутатор 13, що керується з третього виходу блока 1 синхронізації, поступає на інформаційний вхід блока 8 оперативної пам'яті та під керуванням сигналу запису-зчитування з четвертого виходу блока 1 синхронізації, записується в блок 8 оперативної пам'яті за адресою другого операнда, котра встановлена на виході другого лічильника 3 адреси. Одночасно з цим сигнал з восьмого виходу блока 1 синхронізації переводить четвертий та п'ятий комутатори 9 - 10 у режим пропуску відповідно другого та першого вхідних операндів із виходів відповідно другого та першого вхідних регістрів 5 - 6, а суматор-віднімач 16 в режим підсумовування, внаслідок чого на його виході формується результат першого вхідного операнда процедури першого чи другого виду в залежності від сигналу керування третього та другого комутаторів 11 - 12. По завершенню запису значення другого вхідного операнда в блок 8 оперативної пам'яті результат першого вхідного операнда з виходу суматора-віднімача 16 записується у вхідний регістр 17. В наступному такті формування адреси першого операнда його значення з виходу вхідного регістру 17 через перший комутатор 13 поступає на інформаційний вхід блока 8 оперативної пам'яті та під керуванням сигналу запису-зчитування з четвертого виходу блока 1 синхронізації, записується в блок 8 оперативної пам'яті.

Виконання етапу F (фиг 2) перетворення коефіцієнтів  $H(v)$  Хартлі в коефіцієнти  $F(v) = a(v) + j \cdot b(v)$  Фур'є, де  $a(v)$  та  $b(v)$  - відповідно дійсна та уявна частини коефіцієнта  $F(v)$ , а  $j = \sqrt{-1}$ , аналогічне виконанню одного підкроку алгоритму перетворення Хартлі на якому реалізуються процедури другого виду з тригонометричними коефіцієнтами рівними  $1/2$ .

На етапі виведення результатів перетворення використовуються тільки блок 1 синхронізації, другий лічильник 3 адреси та блок 8 оперативної пам'яті. По сигналам із другого виходу блока 1 синхронізації лічильник 3 адреси формує і послідовно передає на адресний вхід блока 8 оперативної пам'яті адреси, за якими зчитуються й виводяться на інформаційний вихід 19 значення коефіцієнтів  $F(v)$  перетворення.



Фиг. 1



Фіг 2

ДП «Український інститут промислової власності» (Укрпатент)  
 вул. Сім'ї Хохлових, 15, м. Київ, 04119, Україна  
 (044) 456 – 20 – 90

ТОВ «Міжнародний науковий комітет»  
 вул. Артема, 77, м. Київ, 04050, Україна  
 (044) 216 – 32 – 71