

Винахід відноситься до області обчислювальної техніки і може бути використаний в інформаційно-пошукових системах і системах статистичної обробки інформації.

Відомий асоціативний запам'ятовуючий пристрій (АЗП) (Кохонен Т. Ассоциативные запоминающие устройства: Пер. с англ. - М.: Мир, 1982. - С. 169, рис. 3.9), що містить блок управління зчитування/записом інформації, селектор адреси і дешифратор, модуль АЗП, пам'ять фіксації реакції, аналізатор багатократного збігу і шифратор, причому блок управління зчитування/записом, включаючи в себе регістр аргументу пошуку і регістр маски, виходи селектора адреси і дешифратору, а також виходи блоку управління зчитування/записом з'єднані відповідно з першою і другою групами виходів модуля АЗП, перша група виходів якого з'єднана з першою групою входів пам'яті фіксації реакції, виходи якої з'єднані з виходами аналізатора багатократного збігу, перша група виходів аналізатора багатократного збігу з'єднана з виходами шифратора, а друга група виходів - з другою групою входів пам'яті фіксації реакції, вихід шифратора з'єднаний з другим входом селектора адреси і дешифратора, причому на перший вхід селектора адреси і дешифратора подається зовнішня адреса, а з другої групи виходів модуля АЗП зчитується слово.

Відомий асоціативний процесор з обробкою бітових зрізів (Тербер К. Дж. Архитектура высокопроизводительных вычислительных систем : Пер. с англ. - М.: Наука, 1985. - С. 24, рис. 2.2.), що містить асоціативний запам'ятовуючий пристрій (АЗП), регістр операнда, регістр маски, селектор бітових зрізів, вхідний регістр, зовнішній обробляючий пристрій, пам'ять результатів, вихід бітових зрізів, вихідний регістр, причому виходи регістру операнда і регістру маски з'єднані з першою групою входів зовнішнього обробляючого пристрою і пам'яттю результатів, вхід селектору бітових зрізів є адресний входом пристрою, а вихід селектора бітових зрізів з'єднаний з другим входом вхідного регістру, перший вхід якого є входом словних зрізів пристрою, а вихід з'єднаний з першою групою входів АЗП, друга група входів якого з'єднана з входами бітового зрізу пристрою, перша група виходів АЗП з'єднана К входами вихідного регістру, вихід якого є виходом зрізів слів пристрою, друга група виходів АЗП з'єднана з другою групою входів зовнішнього обробляючого пристрою і пам'яттю результатів, вихід яких є виходом бітових зрізів пристрою.

Недоліком відомих пристроїв є те, що їх область ефективного використання обмежена маскованим пошуком на рівність, різноманітними видами операцій пошуку на нерівність, пошуком максимуму (мінімуму), що дозволяє знаходити максимальне (мінімальне) слово в АЗП. Виконання сортування масиву слів АЗП в даних пристроях потребує значного збільшення апаратної складності за рахунок комутуючих блоків.

Найбільш близьким за технічною суттю є пристрій для сортування чисел (А. с. СРСР № 1793438, кл. G06 F07/06, Бюл. № 5, 1993), що містить  $m$  регістрів, де  $m$  - кількість чисел, що сортуються,  $m$  лічильників,  $K$  блоків порівняння, де  $K = \lfloor m/2 \rfloor$ ,  $\lfloor X \rfloor$  - найближче ціле, не більше  $X$ , комутатор і два елемента  $I$ , причому вхід початкової установки пристрою з'єднаний з входом установлення лічильників в нульовий стан, причому в нього введені  $K$  блоків вибору кодів,  $m$  дешифраторів, блок завантаження номерів чисел в лічильники, тригер, чотири елементи АБО і два елементи  $HI$ , комутатор містить  $K$  блоків комутації, що містить кожний, окрім  $K$ -го, чотири групи елементів  $I$  і чотири елементи АБО,  $K$ -й блок комутації містить чотири групи елементів  $I$  і  $4+2 \bmod_2 m$  елементів АБО, два елементи  $HI$ , чотири елементи  $I-HI$  і три тригери, кожний блок вибору кодів містить три мультиплексори, тактовий вхід пристрою з'єднаний з входом управління зсувом регістрів, вихід старшого розряду  $j$ -го регістру ( $j=1,2,\dots,m$ ) з'єднаний з  $j$ -ми інформаційними входами мультиплексорів блоків вибору кодів, вихід  $S_1$ -го мультиплексора 1-го блока вибору кодів ( $S_1=1,2,3,1=1,2,\dots,K$ ) з'єднані з першим входом  $S_1$ -го елемента  $I$  1-го блока порівняння,  $S_2$ -й вихід якого ( $S_2=1,2$ ) з'єднаний з 1-м входом  $S_2$ -го елемента АБО і з першими входами всіх елементів  $I$  ( $2 S_2-1$ )-й і  $2 S_2$ -й груп 1-го блока комутації, входи  $r$ -го елемента АБО ( $r=1,2,3,4$ ) 1-го блока комутації підключені до входів ( $2 \cdot 1 - \bmod_2 r$ )-х елементів  $I$   $\lfloor (r+1)/2 \rfloor$ -й і  $\lfloor (r+3)/2 \rfloor$ -й груп всіх блоків комутації, за  $m$ -непарним входи ( $S_2+4$ )-го елемента АБО  $K$ -го блока комутації підключені до виходів ( $2 \cdot 1 + 1$ )-х елементів  $I$   $S_2$ -й і ( $S_2+2$ )-й груп всіх блоків комутації, вихід ( $2 S_2-1$ )-го і  $2 S_2$ -го елементів АБО 1-го блока комутації з'єднані відповідно з підсумовуючими і відраховуючими входами ( $2 \cdot 1-2+S_2$ )-го лічильника, виходи розрядів якого з'єднані з входами ( $2 \cdot 1-2+S_2$ )-го дешифратора,  $j$ -й вихід  $P$ -го дешифратора, де  $P=2,4,\dots,2K$ , з'єднаний з  $j$ -м керуючим входом другого мультиплексора  $P/2$ -го блока вибору кодів,  $j$ -й вихід  $q$ -го дешифратора, де  $q=3,5,\dots,2K-1$ , з'єднаний з  $j$ -ми керуючими входами першого і третього мультиплексорів ( $q-1$ )/2-го блока вибору кодів,  $j$ -й вихід першого дешифратора з'єднаний з  $j$ -м керуючим входом першого мультиплексора першого блока вибору кодів, за  $m$ -непарним  $j$ -й вихід  $m$ -го дешифратора з'єднаний з  $j$ -м керуючим входом третього мультиплексора  $K$ -го блока вибору кодів, виходи  $j$ -го дешифратора є інформаційними входами  $j$ -й групи пристрою,  $j$ -й вихід ( $2 \cdot 1-1+\lfloor r/2 \rfloor$ )-го дешифратора з'єднаний з другим входом  $j$ -го елемента  $I$   $r$ -й групи 1-го блока комутації, виходи першого і другого елементів АБО з'єднані відповідно з першим і другим входами третього елемента АБО і через перший і другий елементи  $HI$  - відповідно з першим і другим входами першого елемента  $I$ , вихід якого з'єднаний з входом установлення тригера в одиничний стан і першим входом другого елемента  $I$ , вихід якого є виходом закінчення роботи пристрою, вихід третього елемента АБО з'єднаний з першим входом четвертого елемента АБО, вихід якого з'єднаний з входом установлення тригера в нульовий стан, вихід якого з'єднаний з другим входом другого елемента  $I$ , вхід початкового установлення пристрою з'єднаний з входами установлення тригерів блоків порівняння в нульовий стан і входом початкового установлення блока завантаження номерів чисел в лічильники і другим входом четвертого елемента АБО, вхід управління завантаженням пристрою з'єднаний з керуючими входами блока завантаження номерів чисел в лічильники, виходи якого з'єднані з входами встановлення лічильників, вхід синхронізації пристрою з'єднаний з входами синхронізації першого і другого тригерів всіх блоків порівняння, в кожному блоці порівняння перший вхід четвертого елемента  $I$  підключений до першого входу другого елемента  $I$ , в кожному блоці порівняння виходи ( $2 S_2-1$ )-го і  $2 S_2$ -го елементів  $I$  з'єднані відповідно з першим

і другим входами  $S_2$ -го елемента АБО, вихід якого з'єднаний з першим входом  $(3-S_2)$ -го елемента I-НІ і через  $S_2$ -й елемент НІ - з другим входом  $S_2$ -го елемента I-НІ, вихід якого з'єднаний з першим входом  $(S_2+2)$ -го елемента I-НІ, вихід якого з'єднаний з інформаційним входом  $S_2$ -го тригера, інверсний вихід якого з'єднаний з третім входом  $(3-S_2)$ -го елемента I-НІ і з другим входом  $(S_2+2)$ -го елемента I-НІ, прямий вихід другого тригера з'єднаний з інформаційним входом третього тригера, вихід якого з'єднаний з першими входами п'ятого і шостого елементів I, вхід синхронізації третього тригера підключений до виходу третього елемента АБО,  $S_2$ -й керуючий вхід пристрою з'єднаний з другими входами  $S_2$ -го,  $(S_2+4)$ -го і  $(5-S_2)$ -го елементів I блоків порівняння і з  $S_2$ -м входом третього елемента АБО блоків порівняння.

Недоліком відомого пристрою є обмеженість використання просторово-розподільного подання результатів (рангів) асоціативної обробки інформації, що призводить до збільшення апаратної складності пристроїв.

В основу винаходу поставлено задачу розробки оптоелектронного асоціативного процесора, в якому за рахунок введення нових блоків та зв'язків між ними досягається можливість виконання асоціативної обробки (сортування) із збереженням початкової інформації в асоціативному запам'ятовуючому пристрої з використанням асоціативних властивостей просторово - розподільного подання інформації у блоці зсувових регістрів.

Поставлена задача вирішується тим, що в оптоелектронний асоціативний процесор, що містить комутатор, блок завантаження номерів чисел, чотири елементи АБО, два елементи I, два елементи НІ, тригер, причому виходи першого і другого елементів АБО з'єднані відповідно з першим і другим входами третього елемента АБО і через перший і другий елементи НІ - відповідно з першим і другим входами першого елемента I, вихід якого з'єднаний з входом установки тригера в одиничний стан і першим входом другого елемента I, вихід якого є виходом закінчення роботи пристрою, вихід третього елемента АБО з'єднаний з першим входом четвертого елемента АБО, вихід якого з'єднаний з входом установлення тригера в нульовий стан, прямий вихід якого з'єднаний з другим входом другого елемента I, вхід початкового установлення пристрою з'єднаний з входом початкового установлення блока завантаження номерів чисел і другим входом четвертого елемента АБО, вхід управління завантаженням пристрою з'єднаний з керуючим входом блока завантаження номерів чисел, введені асоціативний запам'ятовуючий пристрій (АЗП) вимірністю  $m \times n$ , де  $m$  - кількість чисел вимірністю  $n$ , селектор кодів, блок порівняння, що містить  $K$  вузлів, де  $K = \lfloor m/2 \rfloor$ ,  $\lfloor X \rfloor$  - найближче ціле, не більше  $X$ , блок  $m$  зсувових регістрів, причому чотири елементи АБО, два елементи I, два елементи НІ, тригер з відповідними зв'язками утворюють блок фіксації кінця циклу, виходи АЗП з'єднані з першою групою входів селектора кодів, виходи якого з'єднані з входами блока порівняння, виходи блока порівняння з'єднані з першою групою входів комутатора, друга група входів якого з'єднана з виходами блока зсувових регістрів, а виходи - з першою групою входів блока зсувових регістрів, друга група входів якого підключена до виходу блока завантаження, виходи блока зсувових регістрів з'єднані з другою групою входів селектора кодів, тактовий вхід пристрою підключений до тактового входу АЗП, керуючі входи, вхід початкового установлення приладу, вхід синхронізації пристрою з'єднані з відповідними входами блока порівняння, крім того, вхід початкового установлення пристрою підключений також до входів блока зсувових регістрів і першого керуючого входу блока завантаження, другий керуючий вхід якого з'єднаний з входом управління завантаженням пристрою.

Введення нових елементів, зокрема, селектора кодів і блока  $m$  зсувових регістрів з відповідними зв'язками дозволяє виконати асоціативну обробку (сортування) із збереженням початкової інформації у асоціативному запам'ятовуючому пристрої (АЗП) - за рахунок використання способу парного обміну з підрахунком, а також логіко-часового кодування інформації в блоці  $m$  зсувових регістрів, що дозволяє застосувати асоціативні властивості логіко-часового коду як просторово-розподіленого кодування інформації.

На фігурі представлено схему пристрою.

Оптоелектронний асоціативний процесор містить асоціативний запам'ятовуючий пристрій (АЗП) 1, блок порівняння 2, селектор кодів 3, комутатор 4, блок зсувових регістрів 5, блок завантаження 6 і блок фіксації кінця циклу 7. Виходи 8 АЗП 1 з'єднані з першою групою входів селектора кодів 3, виходи якого з'єднані з входами 9 блока порівняння 2. Виходи 10 блока порівняння 2 з'єднані з першою групою входів комутатора 4, друга група входів якого з'єднана з виходами 11 блока зсувових регістрів 5, в виходи - з першою групою входів 12 блока зсувових регістрів 5, друга група входів якого підключена до виходів 13 блока завантаження 6. Виходи 11 блока регістрів 5 з'єднані з другою групою входів селектора кодів 3. АЗП 1 містить  $m$  слів, блок зсувових регістрів 5 складається з  $m$  регістрів, блок порівняння 2 містить  $K$  схем порівняння, де  $K = \lfloor m/2 \rfloor$  - ціла частина числа  $m/2$ . Блок фіксації кінця циклу 7 містить два багатовходових елементи АБО 14, 15, два інвертори 16, 17, три елементи АБО 18, 19, 20, елемент I 21, RS-тригер 22. Керуючий вхід 23 пристрою підключений до тактового входу АЗП 1, керуючі входи 24, 25, 26 і 27 пристрою з'єднані з відповідними входами блока порівняння 2, крім того, керуючий вхід 26 пристрою підключений також до входів блока зсувових регістрів 5 і першого керуючого входу блока завантаження 6, другий керуючий вхід якого з'єднаний з керуючим входом 28 пристрою. Перша і друга групи виходів 10 блоку порівняння 2 з'єднані відповідно з входами елементів АБО 14 і 15 блока, фіксації кінця циклу 7, виходи яких підключені до входів елемента АБО 18 і через елементи НІ 16, 17 до входів елемента АБО 19, вихід якого з'єднаний з S-входом RS-тригера 22 і першим входом елемента I 21, другий вхід якого підключений до прямого виходу RS-тригера 22, а вихід є виходом 29 кінця циклу пристрою. Вихід елемента АБО 18 з'єднаний з першим входом елемента АБО 20, другий вхід якого підключений до керуючого входу 26 пристрою, а вихід - до R-входу RS-тригера 22.

Пристрій працює у такий спосіб.

Водночас з записом в АЗП 1 вимірністю  $mn$  (де  $m$  - кількість слів вимірністю  $n$ ) вхідних чисел  $A_i$  ( $i = \overline{1, m}$ ) в  $m$  зсувових регістрах блока регістрів 5 формується за допомогою блока завантаження 6 необхідна інформація, тобто фіксується порядковий номер (ранг)  $r_i$  відповідного  $i$ -го слова АЗП 1, причому перед початком процесу сортування ранг слова АЗП 1 відповідає його порядковому номеру ( $r_i=i$ ). В процесі сортування перезапису (обміну) інформації між парами слів АЗП 1 відповідає збільшення (зменшення) рангів в певних парах зсувових регістрів блока регістрів 5. Масив з  $m$  чисел буде упорядкований по зростанню не більш, ніж за  $m+1$  переглядів (циклів). Таким чином, в оптоелектронному асоціативному процесорі в процесі сортування масиву з  $m$  чисел відбувається формування в  $m$  зсувових регістрах блока регістрів 5 рангів відповідних  $m$  слів АЗП 1 за величиною інформації, що в них зберігається, тобто  $i$ -му слову, в якому знаходиться максимальне  $A_i^{\max}$  (мінімальне  $A_i^{\min}$ ) число, відповідає більший  $r_i^{\max}$  (менший  $r_i^{\min}$ ) ранг, отриманий в  $i$ -му зсувовому регістрі блока 5, що дозволяє в подальшому використовувати інформацію в регістрах блока регістрів 5 для зчитування (вибірки) відповідних даних з АЗП 1.

Принцип роботи селектора кодів 3 полягає в тому, що на  $t$ -му такті в непарних і парних циклах сортування на відповідних виходах селектора кодів 3 формуються сигнали  $l^t(2k-1)$  і  $l^t(2k)$

$$l^t(2k-1) = \sum_{i=1}^m a_i \cdot g_{i(2k-1)} \quad (1)$$

$$l^t(2k) = \sum_{i=1}^m a_i \cdot g_{i(2k)} \quad (2)$$

де  $a_i^t$  - значення  $t$ -го розряду  $i$ -го слова АЗП  $i$ ,  $g_{i(2k-1)}$  і  $g_{i(2k)}$  - значення відповідно  $(2k-1)$ -го і  $2k$ -го розрядів  $i$ -го регістру блока регістрів 5;  $t = n - 1, 0$ ;  $k = 1, K$ ;  $K = \lceil m/2 \rceil$  - найближче ціле, не більше  $m/2$ ;  $i = \overline{1, m}$ . Кожний цикл сортування включає  $n$  тактів селекції кодів  $a_i^t$  і порівняння двійкових чисел  $A_i$ , починаючи зі старших розрядів  $a_i^{n-1}$ . Якщо вхідне слово  $a_i^t$  і вихідне слово  $l^t$  блока селектора зобразити у вигляді векторів розміром  $m$ , де  $a_i^t$ ,  $l^t$  -  $t$ -й бітовий зріз відповідно масиву вхідних чисел  $A_1, \dots, A_m$  і масиву чисел  $L_1, \dots, L_m$ , що формуються на виходах селектора кодів 3 за цикл сортування, то операцій селекції (вибору) кодів, що реалізується селектором кодів, з врахуванням рівностей (1) і (2) можна описати таким чином:

$$(l^t)_1 = a^t * G' \quad (3)$$

$$(l^t)_2 = a^t * G'' \quad (4)$$

де  $(l^t)_1$  і  $(l^t)_2$  - вихідне слово  $l^t$  селектора кодів, то формується відповідно в непарні і парні цикли сортування;  $G'$ ,  $G''$  - матриці комутації розміром  $m \times (m-1)$  виду  $G' = (g_{ij})$ ,  $j = 1, m-1$

$$G'' = (g_{ij}), j = 2, m$$

де  $g_{ij}$  - значення  $j$ -го розряду  $i$ -го регістру блока регістрів 5,  $i = \overline{1, m}$ .

Таким чином,  $G'$  і  $G''$  - матрицею  $G$  комутації розміром  $m \times m$ , у якій в непарних циклах сортування виконується маскування  $m$ -го стовпця, а в парних циклах - першого стовпця.

Аналогічно розглянемо роботу комутатора 4 в непарні і парні цикли сортування. В  $(2k-1)$ -і цикли комутатором будуть сформовані такі сигнали:

$$g_i^+ = \sum_{k=1}^k g_{i(2k-1)} \cdot q_k \quad (5)$$

$$g_i^- = \sum_{k=1}^k g_{i(2k)} \cdot q_k \quad (6)$$

а в  $2k$ -і цикли - сигнали виду

$$g_i^+ = \sum_{k=1}^k g_{i(2k)} \cdot q_k \quad (7)$$

$$g_i^- = \sum_{k=1}^k g_{i(2k+1)} \cdot q_k \quad (8)$$

де  $g_i^+$ ,  $g_i^-$  - сигнали, що викликають збільшення або зменшення на одиницю рангів  $r_i$  в  $i$ -му зсувовому регістрі блока регістрів 5;  $q$  - сигнал, що формується на виході  $k$ -ї схеми порівняння блока порівняння 2;

$$k = \overline{1, K}.$$

Рівності (5)-(8) можна записати в вигляді множення матриці на вектор таким чином:

для  $(2k-i)$ -го циклу

$$q^+ = G'1 * q, \quad (9)$$

$$q^- = G'2 * q, \quad (10)$$

або

$$q^+ = (G * q')1 = (q^{\circ})1, \quad (11)$$

$$q^- = (G * q')2 = (q^{\circ})2, \quad (12)$$

для  $2k$ -го циклу

$$q^+ = G''2 * q, \quad (13)$$

$$q^- = G''1 * q, \quad (14)$$

або

$$q^+ = (G * q')2 = (q^{\circ})2, \quad (15)$$

$$q^- = (G * q')1 = (q^{\circ})1, \quad (16)$$

де  $q$  - вхідне слово комутатора, в вигляді вектора розміром  $K=]m/2[$ ,  $q'$  - вхідне слово комутатора у вигляді вектора розміром  $m$ ,  $q'=[q_1, q_1, \dots, q_j, q_j, \dots, q_k, q_k]$ ;  $q^+$ ,  $q^-$  - вихідні слова комутатора у вигляді відповідних векторів розміром  $m$ ,  $G'1, G'2 = G''2, G''1$  - матриці, складені відповідно з  $(2k-1)$ -х,  $2k$ -х,  $(2k+1)$ -х стовпців

матриці  $G$  комутації;  $k = 1, K$ .  $(q^{\circ})_i, (q^{\circ})_2$  - результуючі вектори при множенні матриці  $G$  на вектор  $q'$ , отримані в результаті маскування відповідно по непарним і парним рядкам.

Аналіз рівностей (3),(4) і (9)-(16) дозволяє зробити такі висновки:

1) селектор кодів можна реалізувати на одному векторно-матричному множнику з маскуванням у матриці  $G$  комутації  $m$ -го і першого стовпця відповідно в непарних і парних циклах сортування згідно із рівностями (3), (4);

2) комутатор можна реалізувати на двох векторно-матричних множниках з відповідним маскуванням стовпців матриці  $G$  комутації в непарних і парних циклах сортування згідно із рівностями (9), (10), (13), (14);

3) комутатор можна також реалізувати на одному векторно-матричному множнику з відповідним маскуванням векторно-матричному множнику з відповідним маскуванням рядків в результуючому векторі  $q^{\circ}$  в непарних і парних циклах сортування згідно із рівностями (11), (12), (15), (16).

В формулах (3), (4), (9)-(16) головну роль відіграє матриця  $G$  комутації, для формування елементів  $g_{ij}$  якої необхідно мати просторово-розподілену пам'ять, функції якої виконує блок зсувових регістрів 5. Використання логіко-часового (одиночного) кодування інформації в блоці зсувових регістрів 5 дозволяє. Формувати і зчитувати матрицю  $G$  комутації безпосередньо із блока регістрів 5 до селектора кодів 3 і комутатора 4.

Закінчення процесу сортування фіксується на виході елемента І 21 блока фіксації кінця циклу 7 після того, як на парному (непарному) і на наступному за ним непарному (парному) тактах циклу сортування не виконується перестановлення в одній парі чисел, що порівнюються.

В пристрої, що пропонується, використовується спосіб парного, обміну з підрахунком, що дозволяє усунути обмін в процесі сортування, тобто виконати сортування даних із збереженням їх початкового запису в АЗП.

