



УКРАЇНА

(19) **UA** (11) **140841** (13) **U**
(51) МПК
H03F 3/26 (2006.01)

МІНІСТЕРСТВО РОЗВИТКУ
ЕКОНОМІКИ, ТОРГІВЛІ ТА
СІЛЬСЬКОГО ГОСПОДАРСТВА
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

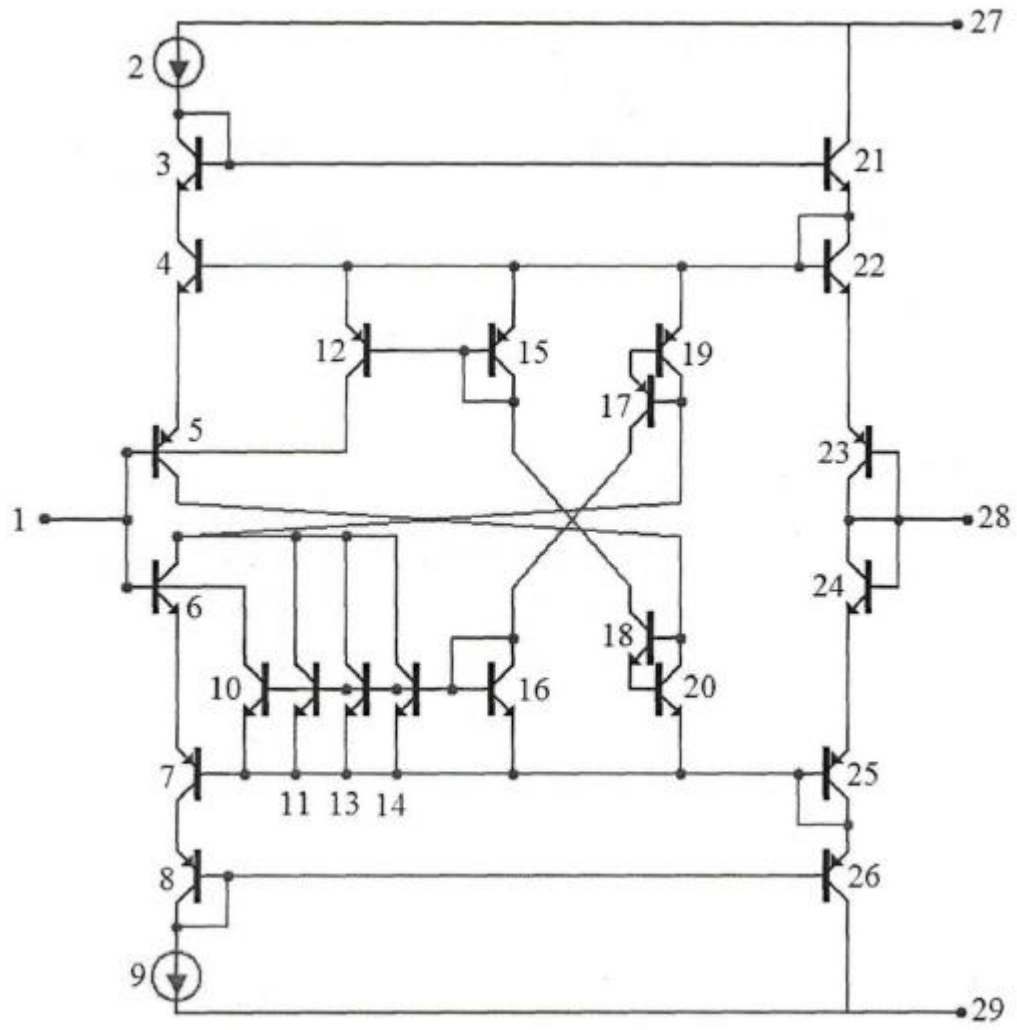
(21) Номер заявки: u 2019 09166	(72) Винахідник(и): Азаров Олексій Дмитрович (UA), Богомолов Сергій Віталійович (UA), Генеральницький Євгеній Сергійович (UA)
(22) Дата подання заявки: 07.08.2019	
(24) Дата, з якої є чинними права на корисну модель: 10.03.2020	
(46) Публікація відомостей про видачу патенту: 10.03.2020, Бюл.№ 5	(73) Власник(и): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)

(54) БУФЕРНИЙ КАСКАД

(57) Реферат:

Буферний каскад містить десять транзисторів, два джерела струму, шини додатного та від'ємного живлення, вхідну та вихідну шини, причому вхідну шину з'єднано з базами четвертого та п'ятого транзисторів, емітери першого та четвертого транзисторів з'єднані між собою, емітери п'ятого та восьмого транзисторів з'єднані між собою, колектор другого транзистора з'єднано з шиною додатного живлення, яку в свою чергу з'єднано з першим джерелом струму, колектор сьомого транзистора з'єднано з шиною від'ємного живлення, яку з'єднано з другим джерелом струму, емітер другого та колектор третього транзисторів з'єднано та об'єднано з базами третього та першого транзисторів, колектор шостого та емітер сьомого транзисторів з'єднано та об'єднано з базами шостого та восьмого транзисторів, емітери третього та дев'ятого транзисторів з'єднані між собою, емітери десятого та шостого транзисторів з'єднані між собою, бази та колектори дев'ятого та десятого транзисторів об'єднані та з'єднані з вихідною шиною. Введено тринадцять транзисторів.

UA 140841 U



Корисна модель належить до імпульсної техніки і може бути використана в аналого-цифрових перетворювачах і цифрових вимірювальних приладах.

5 За аналог обрано буферний каскад [патент України № 15896 м. кл., Н03К 5/22, МПК 2006, G05B 1/00, бюл. № 7, 2006 р.], який містить вісім транзисторів, два джерела струму, шини додатного та від'ємного живлення, вхідну та вихідну шини, причому вхідна шина з'єднана з базами четвертого та п'ятого транзисторів, колектори яких з'єднані з колекторами шостого та третього транзисторів відповідно, та емітерами сьомого та другого транзисторів відповідно, база та колектор першого транзистора об'єднані і приєднані до шини додатного живлення через перше джерело струму, а також до бази другого транзистора, база сьомого транзистора з'єднана з шиною від'ємного живлення через друге джерело струму, колектори другого та сьомого транзисторів з'єднані з шинами додатного та від'ємного живлення відповідно, крім того введені дев'ятий, десятий, одинадцятий, дванадцятий транзистори, причому база кожного з них з'єднана з його колектором, емітер восьмого транзистора з'єднаний з базою сьомого транзистора та першим виводом другого джерела струму, емітери дев'ятого та десятого транзисторів з'єднані з емітерами четвертого та п'ятого транзисторів відповідно, бази та колектори дев'ятого та десятого транзисторів з'єднані з базами третього та шостого транзисторів відповідно, а також база та колектор дев'ятого транзистора з'єднані з емітером першого транзистора, база та колектор десятого транзистора з'єднані з базою та колектором восьмого транзистора, емітери третього та шостого транзисторів з'єднані з емітерами одинадцятого та дванадцятого транзисторів відповідно, бази і колектори одинадцятого та дванадцятого транзисторів з'єднані з вихідною шиною.

Недоліками аналогу є низька точність, що викликано значною вихідною напругою зміщення нуля через неідентичність параметрів пар n-p-n та p-n-p транзисторів у верхньому та нижньому каналах.

25 За аналог вибрано буферний каскад [патент України № 51014 м. кл., Н03К 5/22, МПК 2009, G05B 1/00, бюл. № 12, 2010 р.], який містить вісім транзисторів, два джерела струму, шини додатного та від'ємного живлення, вхідну та вихідну шини, причому вхідну шину з'єднано з базами четвертого та п'ятого транзисторів, колектори другого та сьомого транзисторів з'єднано з шинами додатного та від'ємного живлення відповідно, емітери другого та сьомого транзисторів з'єднано з колекторами третього та шостого транзисторів відповідно, колектор першого транзистора з'єднано з шиною додатного живлення через відповідні виводи першого джерела струму, колектор восьмого транзистора з'єднано з шиною від'ємного живлення через відповідні виводи другого джерела струму, крім того введено дев'ятий та десятий транзистори, причому бази другого та сьомого транзисторів з'єднано з колекторами першого та восьмого транзисторів відповідно, а бази першого та восьмого транзисторів з'єднано з базами та колекторами третього та шостого транзисторів відповідно, колектори та бази дев'ятого та десятого транзисторів об'єднано між собою, а також з колекторами четвертого та п'ятого транзисторів та з'єднано з вихідною шиною.

40 Недоліками аналога є низький вхідний опір, який обумовлений низьким вхідним опором біполярних транзисторів, що призводите до збільшення похибки коефіцієнта передачі при підключенні на вхід буферного пристрою джерела сигналу з високим вихідним опором.

45 В основу корисної моделі поставлено задачу створення буферного каскаду, в якому за рахунок введення нових елементів та зв'язків між ними підвищується точність, а це в свою чергу розширює галузь використання корисної моделі в різноманітних пристроях імпульсної та обчислювальної техніки, автоматики тощо.

Поставлена задача вирішується тим, що буферний каскад, який містить двадцять три транзистори, два джерела струму, шини додатного та від'ємного живлення, вхідну та вихідну шини, причому вхідну шину з'єднано з базами четвертого та п'ятого транзисторів, емітери першого та четвертого транзисторів з'єднані між собою, емітери п'ятого та восьмого транзисторів з'єднані між собою, колектор другого транзистора з'єднано з шиною додатного живлення, яку в свою чергу з'єднано з першим джерелом струму, колектор сьомого транзистора з'єднано з шиною від'ємного живлення, яку в свою чергу з'єднано з другим джерелом струму, емітер другого та колектор третього транзисторів з'єднано та об'єднано з базами третього та першого транзисторів, колектор шостого та емітер сьомого транзисторів з'єднано та об'єднано з базами шостого та восьмого транзисторів, емітери третього та дев'ятого транзисторів з'єднані між собою, емітери десятого та шостого транзисторів з'єднані між собою, бази та колектори дев'ятого та десятого транзисторів об'єднані та з'єднані з вихідною шиною, причому базу та колектор одинадцятого транзистора об'єднано та з'єднано з базою другого транзистора та першим джерелом струму, емітер одинадцятого та колектор першого транзисторів з'єднані між собою, базу та колектор дванадцятого транзистора об'єднано та з'єднано з базою сьомого

транзистора та другим джерелом струму, колектор восьмого та емітер дванадцятого транзисторів з'єднано між собою, база четвертого та колектор п'ятнадцятого транзисторів з'єднані між собою, емітери п'ятнадцятого, вісімнадцятого, двадцять другого транзисторів об'єднані та з'єднані з базою першого транзистора, бази п'ятнадцятого та вісімнадцятого транзисторів об'єднані та з'єднані з колекторами вісімнадцятого та двадцять першого транзисторів, колектори четвертого та двадцять третього транзисторів об'єднано та з'єднано з базою двадцять першого транзистора, емітер двадцять першого та база двадцять третього з'єднані між собою, емітери двадцять третього, дев'ятнадцятого, сімнадцятого, шістнадцятого, чотирнадцятого, тринадцятого транзисторів об'єднані та з'єднані з базою восьмого транзистора, колектори п'ятого, чотирнадцятого, шістнадцятого, сімнадцятого, двадцять другого транзисторів об'єднано та з'єднано з базою двадцятого транзистора, емітер двадцятого та база двадцять другого транзисторів з'єднані між собою, базу п'ятого та колектор тринадцятого транзисторів з'єднано між собою бази дев'ятнадцятого, сімнадцятого, шістнадцятого, чотирнадцятого, тринадцятого транзисторів з'єднано та об'єднано з колекторами дев'ятнадцятого та двадцятого транзисторів.

На кресленні представлено принципову схему буферного каскаду.

Пристрій містить двадцять три транзистори, перше 2 та друге 9 джерела струму, шини додатного 27 та від'ємного 29 живлення, вхідну 1 та вихідну 28 шини, причому вхідну 1 шину з'єднано з базами четвертого 5 та п'ятого 6 транзисторів, емітери першого 4 та четвертого 5 транзисторів з'єднані між собою, емітери п'ятого 6 та восьмого 7 транзисторів з'єднані між собою, колектор другого 21 транзистора з'єднано з шиною додатного живлення 27, яку в свою чергу з'єднано з першим джерелом струму 2, колектор сьомого 26 транзистора з'єднано з шиною від'ємного живлення 29, яку в свою чергу з'єднано з другим джерелом струму 9, емітер другого 21 та колектор третього 22 транзисторів з'єднано та об'єднано з базами третього 22 та першого 4 транзисторів, колектор шостого 25 та емітер сьомого 26 транзисторів з'єднано та об'єднано з базами шостого 25 та восьмого 7 транзисторів, емітери третього 22 та дев'ятого 23 транзисторів з'єднані між собою, емітери десятого 24 та шостого 25 транзисторів з'єднані між собою, бази та колектори дев'ятого 23 та десятого 24 транзисторів об'єднані та з'єднані з вихідною шиною 28, причому базу та колектор одинадцятого 3 транзистора об'єднано та з'єднано з базою другого 21 транзистора та першим джерелом струму 2, емітер одинадцятого 3 та колектор першого 4 транзисторів з'єднані між собою, базу та колектор дванадцятого 8 транзистора об'єднано та з'єднано з базою сьомого 26 транзистора та другим джерелом струму 9, колектор восьмого 7 та емітер дванадцятого 8 транзисторів з'єднано між собою, база четвертого 5 та колектор п'ятнадцятого 12 транзисторів з'єднані між собою, емітери п'ятнадцятого 12, вісімнадцятого 15, двадцять другого 19 транзисторів об'єднані та з'єднані з базою першого 4 транзистора, бази п'ятнадцятого 12 та вісімнадцятого 15 транзисторів об'єднані та з'єднані з колекторами вісімнадцятого 15 та двадцять першого 18 транзисторів, колектори четвертого 5 та двадцять третього 20 транзисторів об'єднано та з'єднано з базою двадцять першого 18 транзистора, емітер двадцять першого 18 та база двадцять третього 20 з'єднані між собою, емітери двадцять третього 20, дев'ятнадцятого 16, сімнадцятого 14, шістнадцятого 13, чотирнадцятого 11, тринадцятого 10 транзисторів об'єднані та з'єднані з базою восьмого 7 транзистора, колектори п'ятого 6, чотирнадцятого 11, шістнадцятого 13, сімнадцятого 14, двадцять другого 19 транзисторів об'єднано та з'єднано з базою двадцятого 17 транзистора, емітер двадцятого 17 та база двадцять другого 19 транзисторів з'єднані між собою, базу п'ятого 6 та колектор тринадцятого 10 транзисторів з'єднано між собою, бази дев'ятнадцятого 16, сімнадцятого 14, шістнадцятого 13, чотирнадцятого 11, тринадцятого 10 транзисторів з'єднано та об'єднано з колекторами дев'ятнадцятого 16 та двадцятого 17 транзисторів.

Пристрій працює таким чином.

Вхідний сигнал у вигляді струму надходить на вхідну шину 1.

Якщо вхідний сигнал має додатну полярність то п'ятий 6 транзистор частково відкривається, а четвертий 5 транзистор частково закривається, При цьому емітерний струм п'ятого 6 транзистора збільшується, а четвертого 5 транзистора зменшується, це у свою чергу приводить до збільшення емітерного струму восьмого 7 транзистора та зменшення емітерного струму першого 4 транзистора і до збільшення колекторного струму восьмого 7 транзистора та зменшення колекторного струму першого 4 транзистора, у свою чергу це призводить до зменшення базового струму сьомого 26 транзистора та збільшення базового струму другого 21 транзистора, які у свою чергу частково відкриваються, що призводить до збільшення емітерного струму шостого 25 транзистора та зменшення емітерного струму третього 22 транзистора, емітерний струм шостого 25 та третього 22 транзисторів через дев'ятий 23 та десятий 24

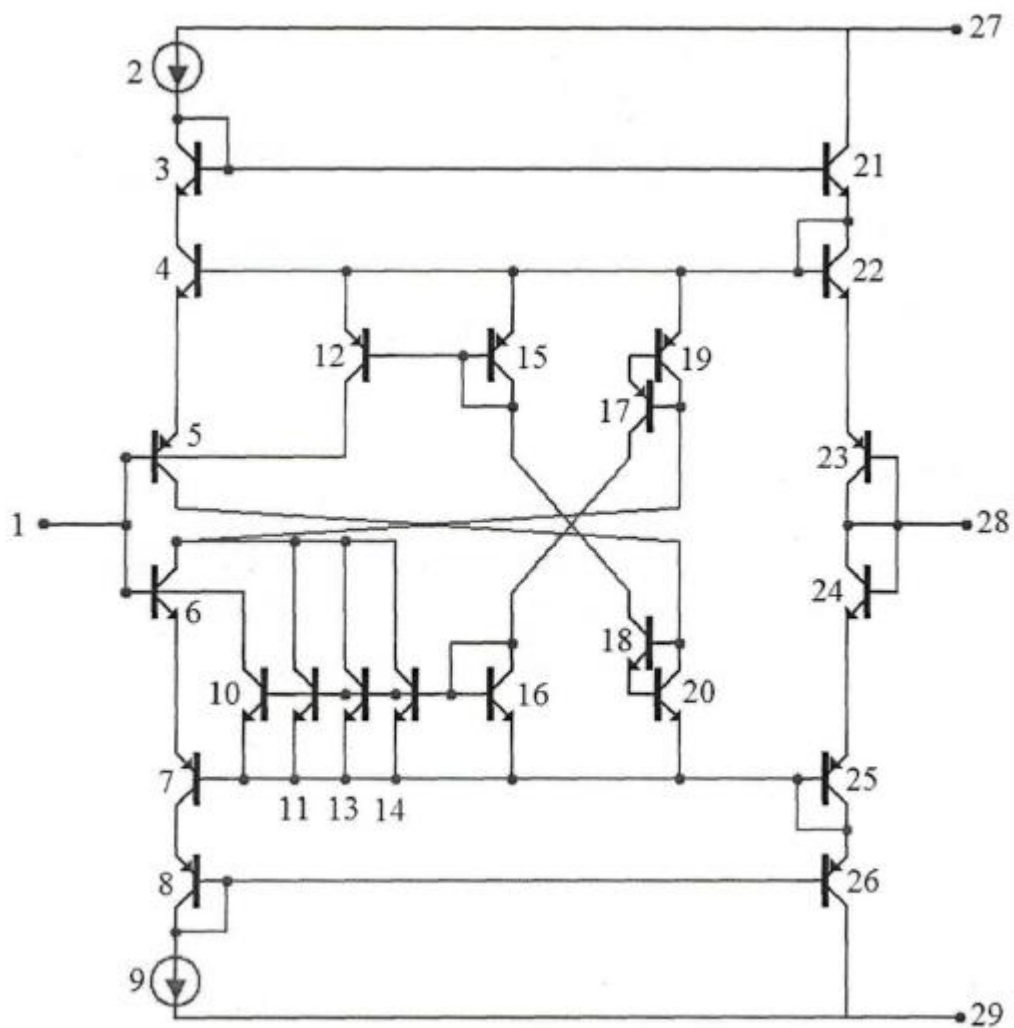
транзистори у діодному вмиканні передається на вихідну шину 28, це призводить до наближення потенціалу напруги вихідної шини 28 до шини від'ємного живлення 29.

Якщо вхідний сигнал має від'ємну полярність, то четвертий 5 транзистор частково відкривається, а п'ятий 6 транзистор частково закривається, при цьому емітерний струм четвертого 5 транзистора збільшується, а п'ятого 6 транзистора зменшується, це у свою чергу приводить до збільшення емітерного струму першого 4 транзистора та зменшення емітерного струму восьмого 7 транзистора і до збільшення колекторного струму першого 4 транзистора та зменшення колекторного струму восьмого 7 транзистора, у свою чергу це призводить до зменшення базового струму другого 21 транзистора та збільшення базового струму сьомого 26 транзистора, які у свою чергу частково відкриваються, що призводить до збільшення емітерного струму третього 22 транзистора та зменшення емітерного струму шостого 25 транзистора, емітерний струм третього 22 та шостого 25 транзистора через дев'ятий 23 та десятий 24 транзисторів у діодному вмиканні передається на вихідну шину 28, що призводить до наближення потенціалу напруги вихідної шини 28 до шини додатного живлення 27.

Перше 2 та друге 9 джерела струму задають режим по постійному струмі каскадів схеми, четвертий 5 та п'ятий 6 транзистори утворюють вхідний каскад, який забезпечує передачу вхідного сигналу на каскади схеми, двадцятий 17, двадцять другий 19 та двадцять перший 18, двадцять третій 20 транзистори та двонаправлені відбивачі на п'ятнадцятий 12, вісімнадцятий 15 та тринадцятий 10, дев'ятнадцятий 16 транзистори виконують балансування схеми, для компенсації зсуву нуля у один із відбивачів додано чотирнадцятий 11 та шістнадцятий 13 транзистори, які забезпечують коригування струму в схемі та балансування, перший 4, другий 21, третій 22, одинадцятий 3 та восьмий 7, шостий 25, сьомий 26, дванадцятий 8 транзистори утворюють відбивачі Вілсона, які передають сигнал з вхідних каскадів на вихідну шину 28 через дев'ятий 23 та десятий 24 транзистори в діодному вмиканні, відповідно таким чином забезпечується балансування потенціалу вихідної шини 28, що різниця потенціалу з вхідною шиною 1 наближається до нуля. За рахунок цього досягається підвищення точності роботи схеми буферного каскаду. Шини додатного живлення 27 та від'ємного живлення 29 забезпечують напругу, потрібну для живлення схеми.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Буферний каскад, який містить десять транзисторів, два джерела струму, шини додатного та від'ємного живлення, вхідну та вихідну шини, причому вхідну шину з'єднано з базами четвертого та п'ятого транзисторів, емітери першого та четвертого транзисторів з'єднані між собою, емітери п'ятого та восьмого транзисторів з'єднані між собою, колектор другого транзистора з'єднано з шиною додатного живлення, яку в свою чергу з'єднано з першим джерелом струму, колектор сьомого транзистора з'єднано з шиною від'ємного живлення, яку з'єднано з другим джерелом струму, емітер другого та колектор третього транзисторів з'єднано та об'єднано з базами третього та першого транзисторів, колектор шостого та емітер сьомого транзисторів з'єднано та об'єднано з базами шостого та восьмого транзисторів, емітери третього та дев'ятого транзисторів з'єднані між собою, емітери десятого та шостого транзисторів з'єднані між собою, бази та колектори дев'ятого та десятого транзисторів об'єднані та з'єднані з вихідною шиною, який **відрізняється** тим, що введено тринадцять транзисторів, причому базу та колектор одинадцятого транзистора об'єднано та з'єднано з базою другого транзистора та першим джерелом струму, емітер одинадцятого та колектор першого транзисторів з'єднані між собою, базу та колектор дванадцятого транзистора об'єднано та з'єднано з базою сьомого транзистора та другим джерелом струму, колектор восьмого та емітер дванадцятого транзисторів з'єднано між собою, база четвертого та колектор п'ятнадцятого транзисторів з'єднані між собою, емітери п'ятнадцятого, вісімнадцятого, двадцять другого транзисторів об'єднані та з'єднані з базою першого транзистора, бази п'ятнадцятого та вісімнадцятого транзисторів об'єднані та з'єднані з колекторами вісімнадцятого та двадцять першого транзисторів, колектори четвертого та двадцять третього транзисторів об'єднано та з'єднано з базою двадцять першого транзистора, емітер двадцять першого та база двадцять третього транзисторів з'єднані між собою, емітери двадцять третього, дев'ятнадцятого, сімнадцятого, шістнадцятого, чотирнадцятого, тринадцятого транзисторів об'єднані та з'єднані з базою восьмого транзистора, колектори п'ятого, чотирнадцятого, шістнадцятого, сімнадцятого, двадцять другого транзисторів об'єднано та з'єднано з базою двадцятого транзистора, емітер двадцятого та база двадцять другого транзисторів з'єднані між собою, базу п'ятого та колектор тринадцятого транзисторів з'єднано між собою, бази дев'ятнадцятого, сімнадцятого, шістнадцятого, чотирнадцятого, тринадцятого транзисторів з'єднано та об'єднано з колекторами дев'ятнадцятого та двадцятого транзисторів.



Комп'ютерна верстка А. Крижанівський

Міністерство розвитку економіки, торгівлі та сільського господарства України,
вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601