

## МЕТОД ЗМЕНШЕННЯ ПОХИБОК ЗСУВУ НУЛЯ ДЛЯ ВХІДНИХ КАСКАДІВ ДВОТАКТНИХ ПІДСИЛЮВАЧІВ ПОСТІЙНОГО СТРУМУ

*Азаров Олексій, Генеральницький Євгеній*

Вінницький національний технічний університет

### Анотація

*Зменшення похибок зсуву нуля є пріоритетною задачею для підвищення точності роботи вхідних каскадів ДППС.*

*Для зменшення вхідного струму зсуву нуля у ДППС було запропоновано застосовувати компенсацію базових струмів у вхідних каскадах, а також будувати вхідні каскади на складених транзисторах Шиклаї, що дасть змогу значно покращити точність роботи схеми загалом.*

### Abstract

*Reducing zero bias errors is a priority to improve the accuracy of the input stages of push-pull DC amplifiers.*

*To reduce the input zero bias current in push-pull DC amplifiers, it was proposed to apply basic current compensation in the input stages, as well as to build input stages on Sziklai composite transistors, which will significantly improve the accuracy of the circuit as a whole.*

### Вступ

Двотактні підсилювачі постійного струму широко використовуються в перетворювачах струм-напруга, струм-струм, АЦП, ЦАП, системах прямого цифрового синтезу та багатоканальних цифрових системах опрацювання й реєстрування аналогових сигналів [1].

Незважаючи на високі вказані статичні й динамічні характеристики ДППС, побудовані на біполярних транзисторах, мають істотну адитивну похибку у вигляді вхідного струму зсуву нуля на рівні сотен нА й одиниць мкА. Це може погіршити статичні параметри вказаних пристроїв і систем. При появі вхідного струму зсуву нуля І<sub>ЗС.0</sub> є базові струми біполярних транзисторів у вхідних каскадах підсилювачів. Для зменшення їх впливу в однотоктних підсилювачах струму застосовують деякі спеціальні схемні методи. Які дозволяють на порядок зменшити вхідний струм зсуву нуля диференційного каскаду, не погіршуючи напругу зсуву або швидкодію [2].

Для зменшення вхідного струму зсуву нуля у ДППС було запропоновано застосовувати компенсацію базових струмів у вхідних каскадах, а також будувати вхідні каскади на складених транзисторах Шиклаї, що дасть змогу значно покращити точність роботи схеми загалом.

### Результати дослідження

Побудова підсилювача за двотактною структурою дозволяє забезпечити максимальну лінійність передатної характеристики. Значний вплив на точність роботи підсилювача мають вхідні каскади [3].

Отже давайте розглянемо вхідні каскади ДППС, оскільки саме від них залежить значення І<sub>ЗС.0</sub>. На рисунку 1 та 2 наведено схеми Вх. ДК зі зменшеним І<sub>ЗС.0</sub>. Причому, перший підхід, що реалізує автокомпенсацію базових струмів n-p-n і p-n-p транзисторів продемонстровано на рисунку 1.

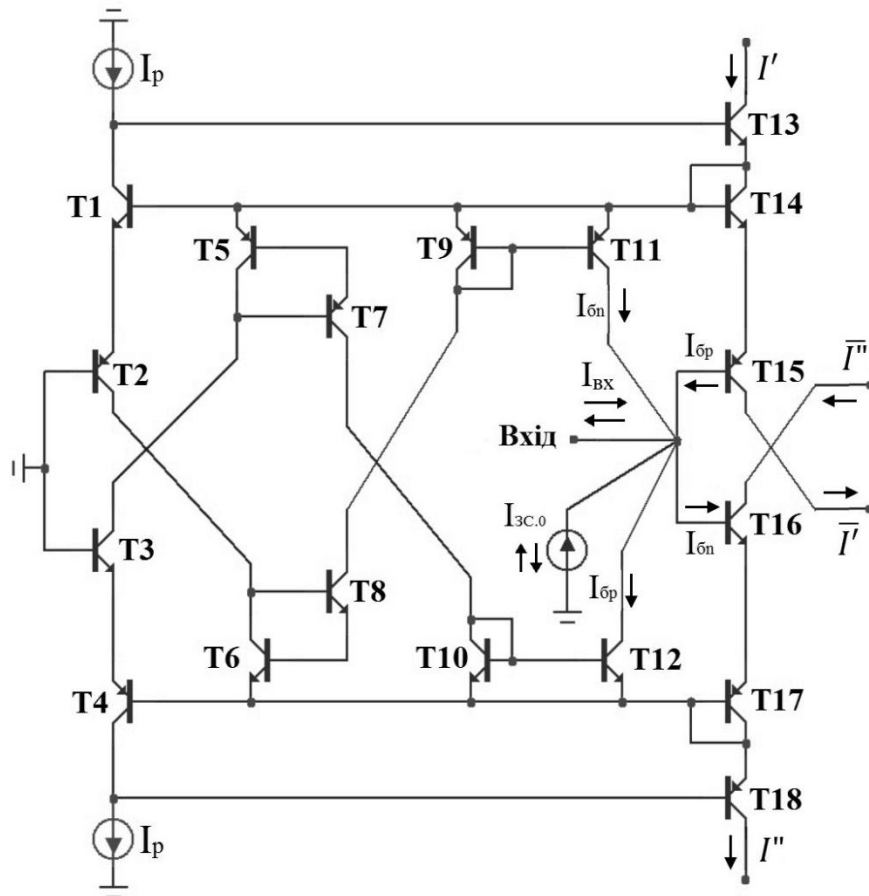


Рисунок 1 – Вхідні каскади ДППС із низькими струмами  $I_{zc.0}$ : на генераторах компенсуючих струмів.

Цю схему побудовано у вигляді двотактної комплементарної структури відбивачів струму Вілсона, відповідно на транзисторах T1-T4, транзисторах регуляторів T13, T18, транзисторах давачах T14, T17.

Саме остання пара підсилює вхідний струм  $I_{вх}$  і формує вхідний різницевий базовий струм, а саме  $\Delta I_B = I_{bp} \cdot I_{bp}$ .

Для заданого рівня  $I_P$  маємо:

$$\Delta I_B = I_P \cdot \left( \frac{1}{\beta_{p-n-p}} - \frac{1}{\beta_{n-p-n}} \right),$$

де  $\beta_{p-n-p}$  і  $\beta_{n-p-n}$  - базовий струми, відповідно, p-n-p і n-p-n транзисторів.

У випадку застосування інтегральних малопотужних транзисторів типу pnp — NUNFARRY, pnp — PUNFARRY при  $I_P = 1\text{mA}$  маємо  $\beta_{p-n-p} \approx 60$ ,  $\beta_{n-p-n} \approx 100$ . Таким чином  $\Delta I_B \approx 40\text{мкА}$ , що дає істотну похибку зсуву нуля.  $I_{zc.0}$  може бути зменшено шляхом його компенсації, якщо згенерувати струм  $\Delta I_{BK}$  близький за значенням  $\Delta I_B$ , але протилежного напрямку і підключити його до входу ДППС.

Частина яка відповідає за компенсацію зібрано на T5, T7, T10, T12 транзисторах та T6, T8, T9, T11 транзисторах відповідно.

Комп'ютерне моделювання характеристик цього вхідного каскаду за допомогою інтегрованого пакету Мікро-CAP 12 показало, що вхідний струм зсуву нуля за умов компенсації дорівнює  $I_{zc.0} = 147.4\text{нА}$ .

Подальше зменшення  $I_{zc.0}$  можна досягти, якщо побудувати вхідний каскад ДППС на складених транзисторах Шиклаї, як це показано на рисунку 2.

При цьому, симетруючі транзистори T2 - T5 і вхідні транзистори T7, T11 і T8, T12 являють собою комбінації n-p-n і p-n-p транзисторів (транзисторах Шиклаї).

Значення струму зсуву нуля  $I_{ЗС.0}$  для даного вхідного каскаду визначається технологічними похибками припасування значень  $\beta$  пар n-p-n і p-n-p транзисторів. Комп'ютерне моделювання надає результат  $I_{ЗС.0} \approx 1.92$  нА.

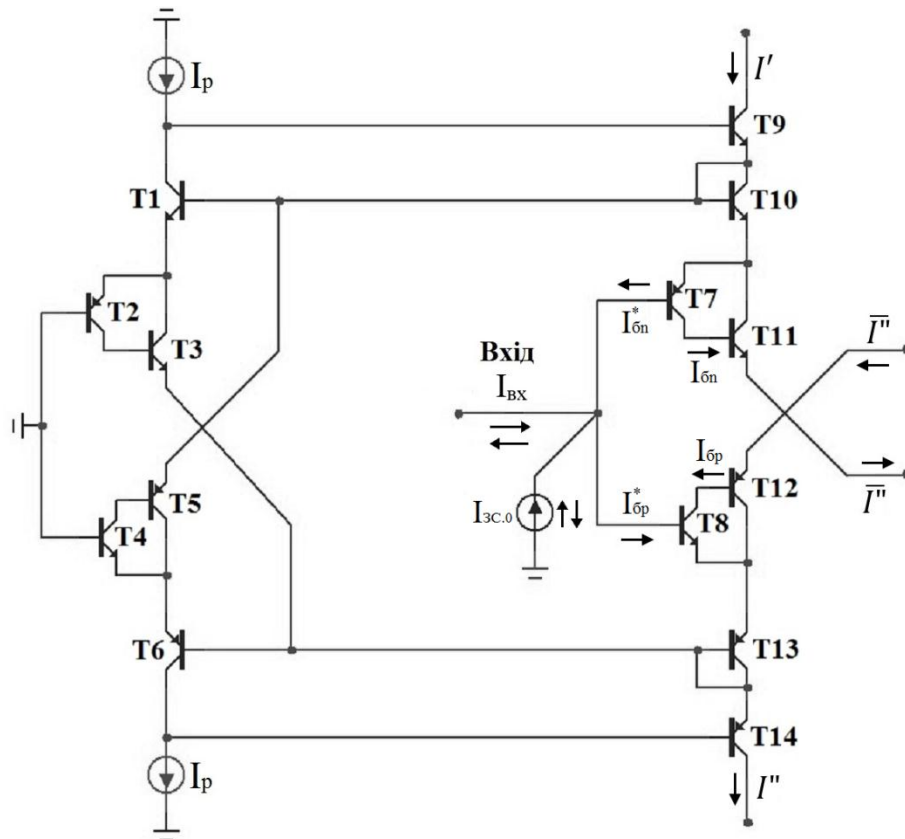


Рисунок 2 – Вхідні каскади ДППС із низькими струмами  $I_{ЗС.0}$ : на складених транзисторах Шиклаї.

Отже орієнтуючись на дані, що наведені при дослідженні можна стверджувати, що  $I_{ЗС.0}$  буде зменшено, як мінімум у 50 разів. Треба також додати, що робочі точки T2, T3 і T13, T14 особливо по колекторному струму повинні бути максимально наближенні, що забезпечується конфігурацією ДППС.

### Список використаних джерел

1. О.Д. Азаров, та С.В. Богомоллов, «Основи теорії високолінійних аналогових пристроїв на базі двотактних підсилювальних схем» : монографія /УНІВЕРСУМ-Вінниця, 2013.- 142 с.
2. И. П. Степаненко, «Основы теории транзисторов и транзисторных схем», изд. 4-е, перераб. и доп. Москва: Энергия, 1977.
3. Г. В. Зевеке, П. А. Ионкин, А. В. Нетушил, и С. В. Страхов, «Основы теории цепей» Москва: Энергия, 1975. 752 с