



УКРАЇНА

(19) **UA** (11) **148098** (13) **U**
(51) МПК
Н03К 5/22 (2006.01)

НАЦІОНАЛЬНИЙ ОРГАН
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
ДЕРЖАВНЕ ПІДПРИЄМСТВО
"УКРАЇНСЬКИЙ ІНСТИТУТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ"

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

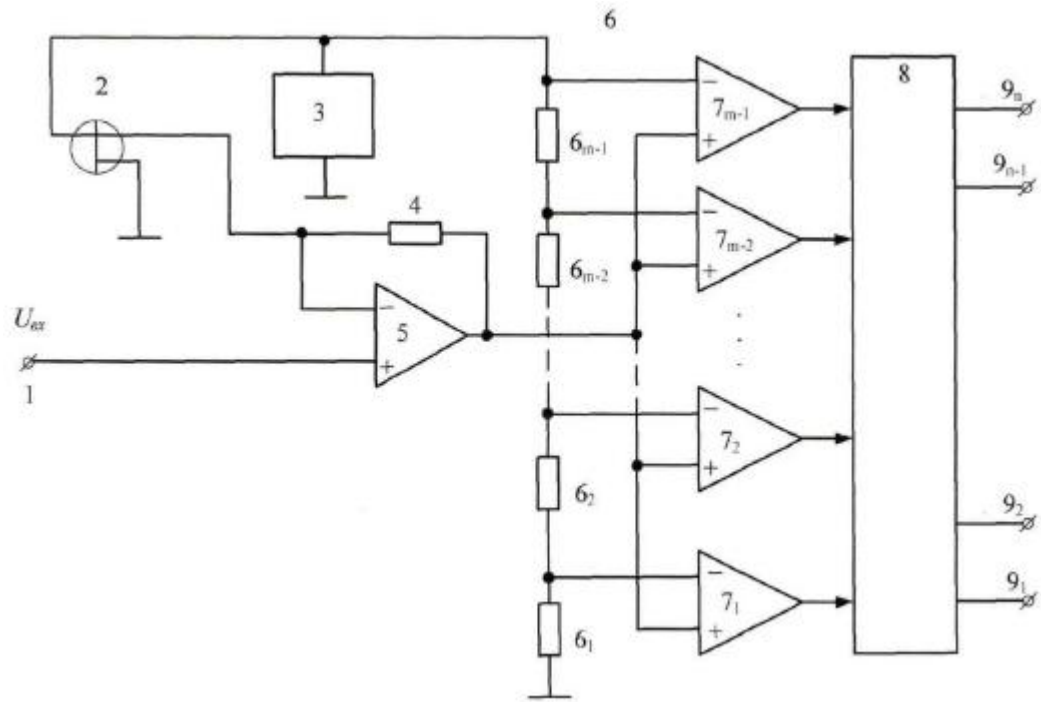
<p>(21) Номер заявки: u 2021 01487</p> <p>(22) Дата подання заявки: 22.03.2021</p> <p>(24) Дата, з якої є чинними права інтелектуальної власності: 01.07.2021</p> <p>(46) Публікація відомостей про державну реєстрацію: 30.06.2021, Бюл.№ 26</p>	<p>(72) Винахідник(и): Бортник Геннадій Григорович (UA), Васильківський Микола Володимирович (UA), Антонюк Ганна Леонідівна (UA), Полуденко Ольга Сергіївна (UA)</p> <p>(73) Володілець (володільці): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)</p>
---	---

(54) ПАРАЛЕЛЬНИЙ АНАЛОГО-ЦИФРОВИЙ ПЕРЕТВОРЮВАЧ

(57) Реферат:

Паралельний аналого-цифровий перетворювач, який у випадку n розрядів містить резистивну матрицю, $m-1$ компараторів, інвертувальні входи яких під'єднано до відповідних виходів резистивної матриці, вхід якої під'єднано до шини джерела опорної напруги, а виходи компараторів під'єднано до відповідних входів блока кодувальної логіки, виходи якого є вихідною розрядною шиною аналого-цифрового перетворювача. В нього введено польовий транзистор, операційний підсилювач, резистор. При цьому до інвертувального входу операційного підсилювача під'єднано перший вивід резистора та стік польового транзистора, а другий вивід резистора під'єднано до виходу операційного підсилювача та до неінвертувальних входів лінійки з $m-1$ компараторів. Неінвертувальний вхід операційного підсилювача під'єднано до шини джерела вхідного сигналу $U_{вх}$, заслін польового транзистора під'єднано до першого виходу джерела опорної напруги та до першого входу резистивної матриці. Другий вихід джерела опорної напруги, другий вхід резистивної матриці та витік польового транзистора під'єднано до спільної шини пристрою.

UA 148098 U



Корисна модель належить до імпульсної техніки і призначена для використання в системах обробки швидкоплинної інформації.

Відомий паралельний аналого-цифровий перетворювач, який у випадку n розрядів містить m груп компараторів, елементів пам'яті, причому загальне число компараторів в цьому випадку складає $2^n - 1$, а елементів пам'яті $2^n - 1$, виходи компараторів підключені до керуючих виходів елементів пам'яті, тактові входи яких підключені до джерела стробуючого сигналу, а виходи, під'єднані до розрядних шин (патент США № 3829853, М.КЛ. Н 03 М 1/36).

Недоліком цього пристрою є низька точність.

Відомий аналого-цифровий перетворювач паралельної дії, який містить групу компараторів старших розрядів і групу компараторів молодших розрядів, перші входи яких підключені до джерел опорних напруг, сигнальні входи групи компараторів старших розрядів підключені до джерела сигналу, який перетворюється, а виходи компараторів в кожній групі, крім компараторів старших розрядів, об'єднані попарно і підключені до керуючих входів елементів пам'яті, і резистивні підсилювачі, перші входи яких підключені до джерел струмів зміщення, другі через повторювач та інвертор підключені до джерела сигналу, який перетворюється, а виходи попарно зі зсувом на один підключені до входів елемента, виходи яких через елемент АБО з'єднанні з сигнальними входами компараторів молодших розрядів, входи стробування елементів пам'яті підключені до джерела стробуючого сигналу (А.с. СРСР № 879771, М.КЛ. Н 03 К 5/22, бюлетень № 41, 1981р.).

Недоліками даного перетворювача є низька точність.

Найбільш близьким є паралельний аналого-цифровий перетворювач, який у випадку n розрядів містить резистивну матрицю, вхід якої під'єднано до шини джерела опорної напруги, $2^n - 1$ компараторів, в подальшому $m - 1$ компараторів, інвертувальні входи яких під'єднано до відповідних виходів резистивної матриці, а неінвертувальні входи з'єднано з шиною джерела напруги, яка підлягає перетворенню, виходи компараторів під'єднано до відповідних входів блоку кодувальної логіки, виходи якої є вихідною розрядною шиною аналого-цифрового перетворювача (АЦП). (Гельман М.М. Системные аналого-цифровые преобразователи и процессоры сигналов.- М.: Мир, 1996, С. 142, рис. 2.4).

Недоліком даного пристрою є низька точність, що обумовлена нестабільністю джерела опорної напруги.

В основу корисної моделі поставлено задачу створення паралельного аналого-цифрового перетворювача, в якому за рахунок введення нових блоків, елементів та зв'язків усувається вплив нестабільності джерела опорної напруги, що призводить до підвищення точності.

Поставлена задача вирішується тим, що в паралельний аналого-цифровий перетворювач, який у випадку n розрядів містить резистивну матрицю, $m - 1$ компараторів, інвертувальні входи яких під'єднано до відповідних виходів резистивної матриці, вхід якої під'єднано до шини джерела опорної напруги, а виходи компараторів під'єднано до відповідних входів блоку кодувальної логіки, виходи якого є вихідною розрядною шиною аналого-цифрового перетворювача, згідно з корисною моделлю, введено польовий транзистор, операційний підсилювач, резистор, причому до інвертувального входу операційного підсилювача під'єднано перший вивід резистора та стік польового транзистора, а другий вивід резистора під'єднано до виходу операційного підсилювача та до неінвертувальних входів лінійки з $m - 1$ компараторів, неінвертувальний вхід операційного підсилювача під'єднано до шини джерела вхідного сигналу $U_{вх}$, заслін польового транзистора під'єднано до першого виходу джерела опорної напруги та до першого входу резистивної матриці, а другий вихід джерела опорної напруги, другий вхід резистивної матриці та витік польового транзистора під'єднано до спільної шини пристрою.

На кресленні наведена структурна електрична схема паралельного аналого-цифрового перетворювача.

Пристрій містить шину 1 джерела вхідного сигналу $U_{вх}$, до якої під'єднано неінвертувальний вхід операційного підсилювача 5, польовий транзистор 2, заслін якого під'єднано до першого виходу джерела опорної напруги 3 та до першого входу резистивної матриці 6, а стік польового транзистора 2 під'єднано до першого виводу резистора 4 та до інвертувального входу операційного підсилювача 5, а другий вивід резистора 4 під'єднано до виходу операційного підсилювача 5 та до неінвертувальних входів лінійки з $m - 1$ компараторів 7, а другий вихід джерела опорної напруги 3, другий вхід резистивної матриці 6 та витік польового транзистора 2 під'єднано до спільної шини пристрою, інвертувальні входи лінійки з $m - 1$ компараторів 7 під'єднано до відповідних виходів резистивної матриці 6, а виходи $m - 1$ компараторів 7 під'єднано до відповідних входів блоку коду вальної логіки 8, виходи якого є вихідною розрядною шиною 9 пристрою.

Паралельний аналого-цифровий перетворювач працює наступним чином. Вхідний сигнал $U_{вх}$, який перетворюється, через шини джерела вхідного сигналу 1 надходить на неінвертувальний вхід операційного підсилювача 5 і з його виходу на неінвертувальні входи лінійки з $m-1$ компараторів 7, де відбувається його порівняння з опорними напругами сформованими за допомогою резистивної матриці 6. За допомогою блоку кодувальної логіки 8 відбувається перетворення $m-1$ - розрядного унітарного коду з виходів лінійки з $m-1$ компараторів 7 у n -розрядний позиційний двійковий код. Двійковий код з виходів блоку кодувальної логіки 8 подається на n -розрядну вихідну шини пристрою.

Опорна напруга для резистивної матриці 6 формується за допомогою джерела опорної напруги 3. Рівень вхідного сигналу залежить від значення опорної напруги U_{ref} , що подається на заслін польового транзистора 2 і керує опором каналу польового транзистора 2, який у свою чергу задає коефіцієнт підсилення операційного підсилювача 5 K_{amp} . Коефіцієнт підсилення K_{amp} є прямо пропорціональним значенню опорної напруги U_{ref} , тобто $K_{amp} = K_s \cdot U_{ref}$, де K_s - коефіцієнт керування, що характеризує крутість керувальної характеристики операційного підсилювача 5. Для цієї характеристики можна записати, що:

$$\Delta U_{ref} \cdot K_s = \frac{\Delta U_{ref}}{\Delta K_{amp}}$$

де ΔU_{ref} - нестабільність джерела опорної напруги 3.

Звідси можна записати, що відносне змінювання значення опорної напруги призводить до такого ж змінювання коефіцієнта підсилення вхідного сигналу:

$$\frac{\Delta U_{ref}}{U_{ref}} = \frac{\Delta K_{amp}}{K_{amp}}$$

Це дозволяє стверджувати, що в паралельному АЦП усувається вплив нестабільності джерела опорної напруги 3 на точність аналого-цифрового перетворення. Таким чином, введення на вході паралельного АЦП операційного підсилювача 5 з регульованим коефіцієнтом підсилення, резистора 4 дозволяє усунути вплив нестабільності опорної напруги на результати аналого-цифрового перетворення, що в свою чергу підвищує точність паралельного АЦП.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Паралельний аналого-цифровий перетворювач, який у випадку n розрядів містить резистивну матрицю, $m-1$ компараторів, інвертувальні входи яких під'єднано до відповідних виходів резистивної матриці, вхід якої під'єднано до шини джерела опорної напруги, а виходи компараторів під'єднано до відповідних входів блока кодувальної логіки, виходи якого є вихідною розрядною шиною аналого-цифрового перетворювача, який **відрізняється** тим, що в нього введено польовий транзистор, операційний підсилювач, резистор, причому до інвертувального входу операційного підсилювача під'єднано перший вивід резистора та стік польового транзистора, а другий вивід резистора під'єднано до виходу операційного підсилювача та до неінвертувальних входів лінійки з $m-1$ компараторів, неінвертувальний вхід операційного підсилювача під'єднано до шини джерела вхідного сигналу $U_{вх}$, заслін польового транзистора під'єднано до першого виходу джерела опорної напруги та до першого входу резистивної матриці, а другий вихід джерела опорної напруги, другий вхід резистивної матриці та витік польового транзистора під'єднано до спільної шини пристрою.

