



УКРАЇНА

(19) **UA** (11) **147977** (13) **U**
(51) МПК
Н03К 5/22 (2006.01)

НАЦІОНАЛЬНИЙ ОРГАН
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
ДЕРЖАВНЕ ПІДПРИЄМСТВО
"УКРАЇНСЬКИЙ ІНСТИТУТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ"

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

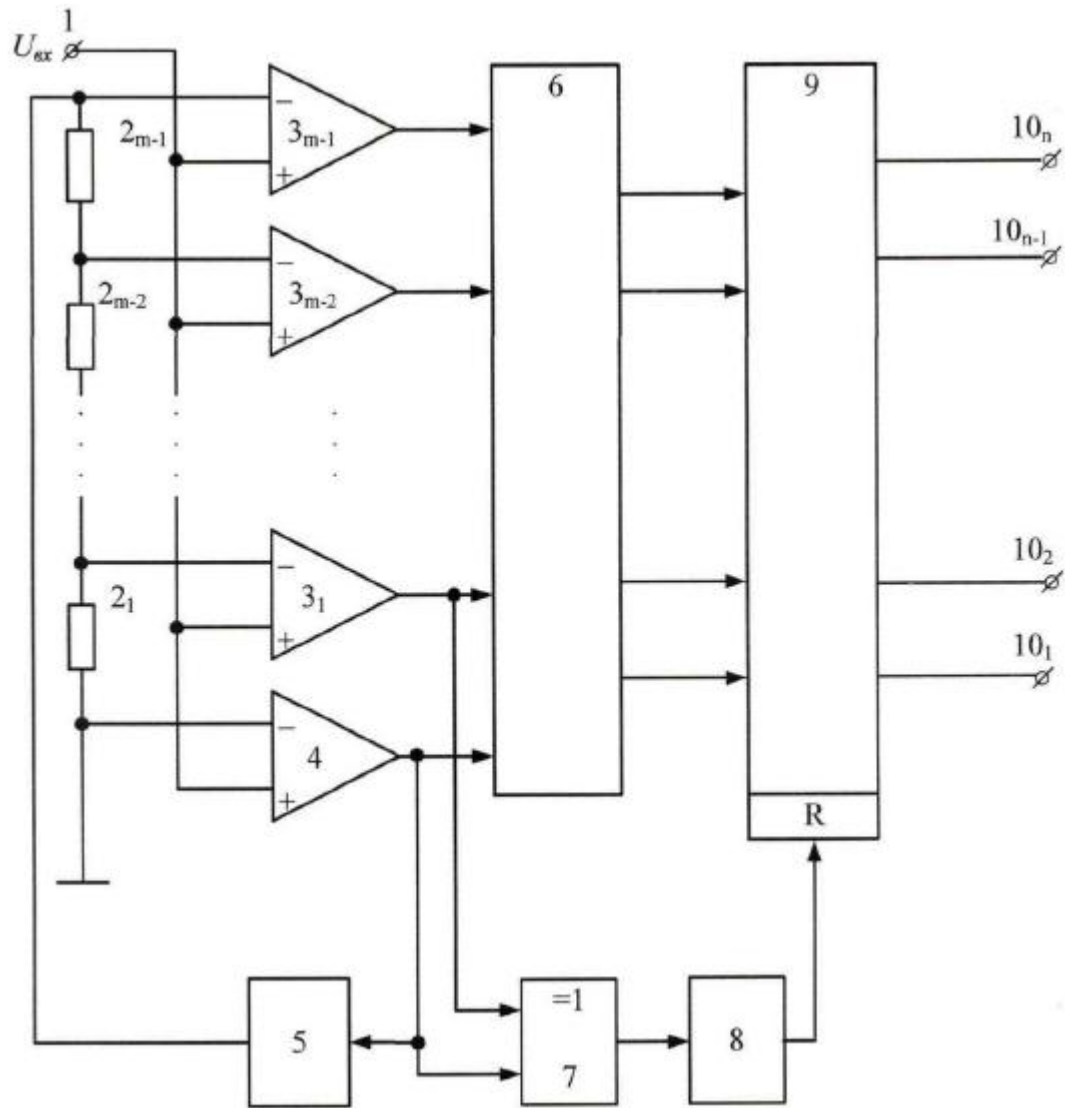
(21) Номер заявки: u 2021 00824	(72) Винахідник(и): Бортник Геннадій Григорович (UA), Васильківський Микола Володимирович (UA), Кирилюк Сергій Олександрович (UA)
(22) Дата подання заявки: 22.02.2021	(73) Володілець (володільці): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ, вул. Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)
(24) Дата, з якої є чинними права інтелектуальної власності: 24.06.2021	
(46) Публікація відомостей про державну реєстрацію: 23.06.2021, Бюл.№ 25	

(54) ПАРАЛЕЛЬНИЙ АНАЛОГО-ЦИФРОВИЙ ПЕРЕТВОРЮВАЧ

(57) Реферат:

Паралельний аналого-цифровий перетворювач, який у випадку n розрядів містить резистивну матрицю, вхід якої під'єднано до виходу формувача опорної напруги, $m-1$ компараторів, інвертувальні входи яких під'єднано до відповідних виходів резистивної матриці, а неінвертувальні входи з'єднано з шиною джерела напруги, яка підлягає перетворенню, виходи компараторів під'єднано до відповідних входів блока кодувальної логіки, знаковий компаратор, неінвертувальний вхід якого з'єднано з шиною джерела напруги, яка підлягає перетворенню, інвертувальний вхід якого під'єднано до спільної шини АЦП, а вихід знакового компаратора під'єднано до відповідного входу блока кодувальної логіки та до керувального входу формувача опорної напруги. В нього введено елемент ВИКЛЮЧНЕ АБО, перший вхід якого під'єднано до виходу знакового компаратора, керувального входу формувача опорної напруги та відповідного входу блока кодувальної логіки, другий вхід під'єднано до виходу компаратора молодшого розряду та відповідного входу блока кодувальної логіки, одинвібратор, вхід якого під'єднано до виходу елемента ВИКЛЮЧНЕ АБО, буферний регістр, входи якого під'єднано до відповідних виходів блока кодувальної логіки, виходи буферного регістра є вихідною розрядною шиною АЦП, а вхід встановлення нуля під'єднано до виходу одинвібратора.

UA 147977 U



Корисна модель належить до імпульсної техніки і призначена для використання в системах обробки швидкоплинної інформації.

Відомий аналого-цифровий перетворювач паралельної дії, який містить групу компараторів старших розрядів і групу компараторів молодших розрядів, перші входи яких підключені до джерел опорних напруг, сигнальні входи групи компараторів старших розрядів підключені до джерела сигналу, який перетворюється, а виходи компараторів в кожній групі, крім компараторів старших розрядів, об'єднані попарно і підключені до керуючих входів елементів пам'яті, і резистивні підсилювачі, перші входи яких підключені до джерел струмів зміщення, другі через повторювач та інвертор підключені до джерела сигналу, який перетворюється, а виходи попарно зі зсувом на один підключені до входів елемента, виходи яких через елемент АБО з'єднані з сигнальними входами компараторів молодших розрядів, входи стробування елементів пам'яті підключені до джерела стробуючого сигналу (А.С. СРСР № 879771, М.КЛ. N 03 K 5/22, бюлетень № 41, 1981 р.).

Недоліками даного перетворювача є низька точність.

Відомий паралельний аналого-цифровий перетворювач, який у випадку n розрядів містить резистивну матрицю, вхід якої під'єднано до шини джерела опорної напруги, 2^n-1 компараторів, інвертувальні входи яких під'єднано до відповідних виходів резистивної матриці, а неінвертувальні входи з'єднано з шиною джерела напруги, яка підлягає перетворенню, виходи компараторів під'єднано до відповідних входів кодувальної логіки, виходи якої є вихідною розрядною шиною аналого-цифрового перетворювача (АЦП). (Гельман М.М. Системные аналого-цифровые преобразователи и процессоры сигналов. - М.: Мир, 1996, С. 142, рис. 2.4).

Недоліками даного перетворювача є низька точність.

Найбільш близьким є паралельний аналого-цифровий перетворювач, який у випадку n розрядів містить резистивну матрицю, вхід якої під'єднано до виходу формувача опорної напруги, 2^n-1 компараторів, в подальшому $m-1$ компараторів, інвертувальні входи яких під'єднано до відповідних виходів резистивної матриці, а неінвертувальні входи з'єднано з шиною джерела напруги, яка підлягає перетворенню, виходи компараторів під'єднано до відповідних входів блока кодувальної логіки, виходи якої є вихідною розрядною шиною аналого-цифрового перетворювача (АЦП), знаковий компаратор, неінвертувальний вхід якого з'єднано з шиною джерела напруги, яка підлягає перетворенню, інвертувальний вхід якого під'єднано до спільної шини АЦП, а вихід знакового компаратора під'єднано до відповідного входу блока кодувальної логіки та до керувального входу формувача опорної напруги (Никамин В.А. Аналого-цифровые и цифро-аналоговые преобразователи. - М.: Альтекс-А, 2003, С. 78, рис. 2.16).

Недоліком даного пристрою є низька точність, що обумовлена похибкою квантування в моменти переходу вхідного сигналу через нуль.

В основу корисної моделі поставлено задачу створення паралельного аналого-цифрового перетворювача, в якому за рахунок введення нових блоків, елементів та зв'язків усувається вплив похибки квантування в моменти переходу вхідного сигналу через нуль, що призводить до підвищення точності.

Поставлена задача вирішується тим, що в паралельний аналого-цифровий перетворювач, який у випадку n розрядів містить резистивну матрицю, вхід якої під'єднано до виходу формувача опорної напруги, $m-1$ компараторів, інвертувальні входи яких під'єднано до відповідних виходів резистивної матриці, а неінвертувальні входи з'єднано з шиною джерела напруги, яка підлягає перетворенню, виходи компараторів під'єднано до відповідних входів блока кодувальної логіки, знаковий компаратор, неінвертувальний вхід якого з'єднано з шиною джерела напруги, яка підлягає перетворенню, інвертувальний вхід якого під'єднано до спільної шини АЦП, а вихід знакового компаратора під'єднано до відповідного входу блока кодувальної логіки та до керувального входу формувача опорної напруги введено елемент ВИКЛЮЧНЕ АБО, перший вхід якого під'єднано до виходу знакового компаратора, керувального входу формувача опорної напруги та відповідного входу блока кодувальної логіки, другий вхід під'єднано до виходу компаратора молодшого розряду та відповідного входу кодувальної логіки, одновібратор, вхід якого під'єднано до виходу елемента ВИКЛЮЧНЕ АБО, буферний регістр, входи якого під'єднано до відповідних виходів блока кодувальної логіки, виходи буферного регістра є вихідною розрядною шиною АЦП, а вхід встановлення нуля під'єднано до виходу одновібратора.

На кресленні наведена структурна електрична схема паралельного аналого-цифрового перетворювача.

Пристрій містить шину 1 джерела напруги $U_{вх}$, резистивну матрицю 2, до виходів якої під'єднано інвертувальні входи лінійки з $m-1$ компараторів 3, а неінвертувальні входи компараторів 3 під'єднано до шини 1 джерела напруги $U_{вх}$, знаковий компаратор 4,

неінвертувальний вхід якого з'єднано з шиною 1 джерела напруги $U_{вх}$, а інвертувальний вхід під'єднано до спільної шини пристрою, формувач опорної напруги 5, вихід якого з'єднано з входом резистивної матриці 2, блок кодувальної логіки 6, входи якого під'єднано до виходів відповідних компараторів 3, елемент ВИКЛЮЧНЕ АБО 7, перший вхід якого під'єднано до виходу знакового компаратора 4, керувального входу формувача опорної напруги 5 та відповідного входу блока кодувальної логіки 6, другий вхід під'єднано до виходу компаратора молодшого розряду 3_1 та відповідного входу блока кодувальної логіки 6, а вихід з'єднано з входом одновібратора 8, вихід якого з'єднано з входом встановлення нуля буферного регістра 9, входи якого під'єднано до відповідних виходів блока кодувальної логіки 6, виходи буферного регістра 9 є вихідною розрядною шиною АЦП 10.

Паралельний аналого-цифровий перетворювач працює наступним чином. Вхідний сигнал $U_{вх}$, який перетворюється, через шину 1 джерела напруги надходить на неінвертувальні входи лінійки з $m-1$ компараторів 3 і знакового компаратора 4, де відбувається його порівняння з опорними напругами, сформованими за допомогою резистивної матриці 2.

За допомогою блока кодувальної логіки 6 відбувається перетворення унітарного коду з виходів лінійки компараторів 3 та знакового компаратора 4 у позиційний двійковий код. Вихідний код з блока кодувальної логіки 6 подається на відповідні входи буферного регістру 9, з виходів якого результат аналого-цифрового перетворення формується на вихідній розрядній шині АЦП 10.

Опорна напруга для резистивної матриці 2 формується за допомогою формувача опорної напруги 5. Полярність опорної напруги залежить від полярності вхідного сигналу $U_{вх}$. Знаковий компаратор 4 визначає знак вхідного сигналу і змінює свій вихідний стан в момент переходу вхідного сигналу через нуль. Таким чином, вихідний сигнал знакового компаратора 4 задає полярність опорної напруги через керувальний вхід формувача опорної напруги 5. При появі на виході компаратора молодшого розряду 3_1 рівня "0" та при наявності на виході знакового компаратора рівня "1" вихідний сигнал елемента ВИКЛЮЧНЕ АБО 7 запускає одновібратор 8, який генерує імпульс на вході встановлення нуля буферного регістра 9. На виході буферного регістра 9 формується нульова кодова комбінація, що відповідає нульовому рівню сигналу на вході АЦП 10. Тривалість імпульсу на виході одновібратора 8 перевищує тривалість перехідного процесу формувача опорної напруги 5 при зміні її полярності. Таким чином, усувається нестабільність опорної напруги при зміні її полярності, а це у свою чергу блокує виникнення похибки квантування в моменти переходу вхідного сигналу через нуль.

Це дозволяє стверджувати, що введення в схему паралельного АЦП кола примусового встановлення нульового вихідного коду дає змогу усунути вплив похибки квантування в моменти переходу вхідного сигналу через нуль, що призводить до підвищення точності АЦП 10.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Паралельний аналого-цифровий перетворювач, який у випадку n розрядів містить резистивну матрицю, вхід якої під'єднано до виходу формувача опорної напруги, $m-1$ компараторів, інвертувальні входи яких під'єднано до відповідних виходів резистивної матриці, а неінвертувальні входи з'єднано з шиною джерела напруги, яка підлягає перетворенню, виходи компараторів під'єднано до відповідних входів блока кодувальної логіки, знаковий компаратор, неінвертувальний вхід якого з'єднано з шиною джерела напруги, яка підлягає перетворенню, інвертувальний вхід якого під'єднано до спільної шини АЦП, а вихід знакового компаратора під'єднано до відповідного входу блока кодувальної логіки та до керувального входу формувача опорної напруги, який **відрізняється** тим, що в нього введено елемент ВИКЛЮЧНЕ АБО, перший вхід якого під'єднано до виходу знакового компаратора, керувального входу формувача опорної напруги та відповідного входу блока кодувальної логіки, другий вхід під'єднано до виходу компаратора молодшого розряду та відповідного входу блока кодувальної логіки, одновібратор, вхід якого під'єднано до виходу елемента ВИКЛЮЧНЕ АБО, буферний регістр, входи якого під'єднано до відповідних виходів блока кодувальної логіки, виходи буферного регістра є вихідною розрядною шиною АЦП, а вхід встановлення нуля під'єднано до виходу одновібратора.

