

КОМП'ЮТЕРНІ СИСТЕМИ ТА КОМПОНЕНТИ

УДК 621.375.024

В. О. Багацький¹, С. В. Богомолів², С. М. Захарченко²
**ВИСОКОЛІНІЙНІ БУФЕРИ НАПРУГИ ДЛЯ
ВИСОКОПРОДУКТИВНИХ АЦП І ЦАП**¹Інститут кібернетики ім. В. М. Глушкова НАН України, Київ²Вінницький національний технічний університет, Вінниця

Анотація. У статті проаналізовано запропоновані методи структурно-функціональної організації високолінійних буферів напруги які побудовано за двотактними симетричними структурами. У першому методі передбачається підвищення опору виходів по струму. Завдяки цьому можна забезпечити стабілізацію напруги переходу колектор-емітер транзисторів вихідних каскадів. У другому методі пропонується зменшення впливу струму баз транзисторів вихідних каскадів, що дозволить зменшити похибку лінійності. У третьому методі запропоновано підвищення лінійності без зменшення рівня швидкодії, шляхом стабілізації напруг колектор-емітер вихідних каскадів. Показано, що використання стабілізації напруг переходів колектор-емітер, дає змогу покращити на 1÷2 порядки характеристики схем. Виведено аналітичні залежності, що описують похибки лінійності ядер буферів напруги, які побудовано за двотактною симетричною структурою. Показано, що запропоновані підходи дозволяють на порядок і більше зменшити похибки лінійності та зсуву нуля. Для визначення складових, які впливають на появу похибки розглянуто еквівалентну схему заміщення виходу ядра буфера напруги. Визначено, що запропоновані методи побудови буферів напруги мають спільний недолік, а саме, низьку навантажувальну здатність, яка визначається вихідними опорами схем. Розглянуто підхід, що дозволяє підвищити навантажувальну здатність буферів напруги. Показано, що він дає змогу на 2÷3 порядки зменшити вихідний опір. Щоб підвищити навантажувальну здатність та зберегти задану лінійність схеми буферів напруги запропоновано доповнити двотактним двоканальним підсилювачем струму. Використання запропонованих методів та підходів для побудови буферів напруги, дозволяє отримати такі пристрої, які мають необхідні характеристики та можуть застосовуватись у складі високопродуктивних АЦП і ЦАП.

Ключові слова: високолінійний, високопродуктивний, буфер напруги, АЦП, ЦАП, двотактна структура.

Abstract. The article analyzes the proposed methods of structural and functional organization of highly linear voltage buffers built according to two-stroke symmetrical structures. In the first method, it is assumed to increase the resistance of the current outputs. Thanks to this, it is possible to stabilize the collector-emitter junction voltage of the transistors of the output stages. In the second method, it is proposed to reduce the influence of the base current of the transistors of the output stages, which will reduce the linearity error. In the third method, it is proposed to increase the linearity without reducing the speed level, by stabilizing the collector-emitter voltages of the output stages. It is shown that the use of voltage stabilization of the collector-emitter transitions makes it possible to improve the circuit characteristics by 1÷2 orders of magnitude. Analytical dependencies describing the linearity errors of the cores of voltage buffers, which are built according to a two-stroke symmetrical structure, are derived. It is shown that the proposed approaches allow to reduce the errors of linearity and zero shift by an order of magnitude or more. To determine the components that affect the appearance of the error, an equivalent scheme for replacing the output of the voltage buffer core is considered. It was determined that the proposed methods of building voltage buffers have a common drawback, namely, low load capacity, which is determined by the output resistances of the circuits. An approach that allows increasing the load capacity of voltage buffers is considered. It is shown that it makes it possible to reduce the output resistance by 2÷3 orders of magnitude. In order to increase the load capacity and maintain the specified linearity of the voltage buffer scheme, it is proposed to supplement it with a two-stroke two-channel current amplifier. The use of the proposed methods and approaches for the construction of voltage buffers allows obtaining such devices that have the necessary characteristics and can be used as part of high-performance ADCs and DACs.

Key words: high-linearity, high-performance, voltage buffer, ADC, DAC, push-pull structure.

DOI: <https://doi.org/10.31649/1999-9941-2023-56-1-44-51>.

Вступ

Буферні пристрої є аналоговими елементами, що часто використовуються у складі високопродуктивних АЦП і ЦАП, які, в свою чергу, є частиною високоточних аналого-цифрових і цифро-аналогових систем [1-2]. Буферний пристрій дозволяє узгодити опір генератора сигналу та навантаження. У цьому випадку буфер напруги (БН) діє як перетворювач опорів з високим вхідним і низьким вихідним опором. Коефіцієнт передачі напруги БН дорівнює 1. БН забезпечує набагато більший струм до навантаження, ніж вхідний струм. БН також відомий як повторювач напруги. З іншого боку, буфер струму (БС) має низький вхідний і високий вихідний опір. Коефіцієнт передачі струму БС дорівнює 1 і не залежить від опору навантаження.

У більшості випадків буферні пристрої будують на базі операційних підсилювачів [1,2]. Однак такий підхід обмежує їх швидкість. Рішення цього полягає у використанні емітерних повторювачів або двотактних структур на основі біполярних або польових транзисторів.

Актуальність

Двотактні схеми буферних пристроїв можуть забезпечити високу лінійність передатної характеристики і необхідну швидкодію [2]. Відомі буферні пристрої за двотактною структурою, що забезпечують високу швидкодію і лінійність, є розбалансованими, характеризуються великими похибками зсуву нуля і високим температурним дрейфом. Праці, присвячені високолінійним буферним пристроям на базі двотактних симетричних структур для високопродуктивних АЦП і ЦАП, є неструктурованими та у літератур-

них джерелах описані частково. Тому тема статті, присвячена побудові високолінійних буферних пристроїв на базі двотактних симетричних структур для високопродуктивних АЦП і ЦАП, є актуальною.

Мета

Аналіз запропонованих методів схемотехнічної організації високолінійних буферів напруги на базі двотактних симетричних структур для високопродуктивних АЦП і ЦАП.

Постановка задач

1. Проаналізувати запропоновані методи структурно-функціональної організації високолінійних буферів напруги, які побудовано за двотактними симетричними структурами.
2. Вивести аналітичні залежності, що описують похибки лінійності ядер буферів напруги, які побудовано за двотактною симетричною структурою.
3. Розглянути підхід, що дозволяє підвищити навантажувальну здатність буферів напруги.

Розв'язання поставлених задач

Так, відома схема [3], яку наведено на рисунку 1, має значну похибку зсуву нуля. Причиною тому є незбалансованість напруги переходу база-емітер транзисторів T6 і T7 відповідно.

Щоб стабілізувати напруги колекторних переходів транзисторів T6 і T7, які є вихідними каскадами ядра, у схему додано каскоди, які побудовано на базі транзисторів T1, T5 і T4, T8 відповідно. Такий підхід, дозволяє ефективно стабілізувати робочі точки транзисторів T6 і T7, а саме, струми колекторів та напруги переходів база-емітер і знизити рівні похибок лінійності і масштабу. Проте, транзистори T5 і T8 каскодів є неідеальними, адже коефіцієнт передачі β кожного транзистора залежить від напруг переходів база-емітер. У свою чергу, це впливає на зміну їх базових струмів, що в подальшому, не дозволить мінімізувати ці складові. Як наслідок, це призведе до зміни величини струмів емітерів вхідних транзисторів T2 і T3 та напруг їх переходів база-емітер, що призводить до появи похибки зсуву нуля, яка в подальшому, передається на вихід схеми. Як відомо, для інтегральних транзисторів рівні похибок зсуву нуля рівний 10÷50 мВ.

Похибки лінійності і масштабу досить сильно залежать від зміни напруг на переходах колектор-емітер транзисторів ядра.

Основними причинами негативного впливу на характеристики схеми, є:

1. Залежність напруг переходів база-емітер U_{be} транзисторів від напруг переходів колектор-емітер U_{ce} .
2. Залежність колекторного струму I_K транзисторів від напруги переходу колектор-емітер, через обмеженість значення опору колекторного переходу r_K^* .
3. Залежність коефіцієнту передачі β транзисторів від напруг переходів колектор-емітер U_{ce} .

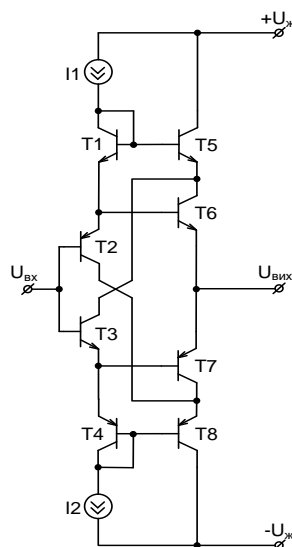


Рисунок 1 – Схематична організація відомого ядра буфера напруги

Для визначення складових, які впливають на появу статичної похибки $\Delta U_{вих}$ доцільно розглянути еквівалентну схему заміщення виходу ядра буфера напруги, яку зображено на рисунку 2, а.

Тут: $r_{\delta}^{\prime}, r_{\delta}^{\prime\prime}$ – опір бази транзисторів Т5 і Т8 відповідно, $r_{\kappa}^{*\prime}, r_{\kappa}^{*\prime\prime}$ – опір колектора транзисторів Т5 і Т8 відповідно, $r_e^{\prime}, r_e^{\prime\prime}$ – опір емітера транзисторів Т5 і Т8 відповідно, причому $r_e^{\prime} = r_e^{\prime\prime} = r_e$, $r_{\delta}^{\prime}, r_{\delta}^{\prime\prime}$ – опір р-п переходу транзисторів Т6 і Т7 відповідно, причому $r_{\delta}^{\prime} = r_{\delta}^{\prime\prime} = r_{\delta} = r_e$, $U^{\prime}, U^{\prime\prime}$ – напруга додатної і від'ємної шин живлення відповідно.

Схему можна представити у вигляді, як зображено на рисунку 2, б.

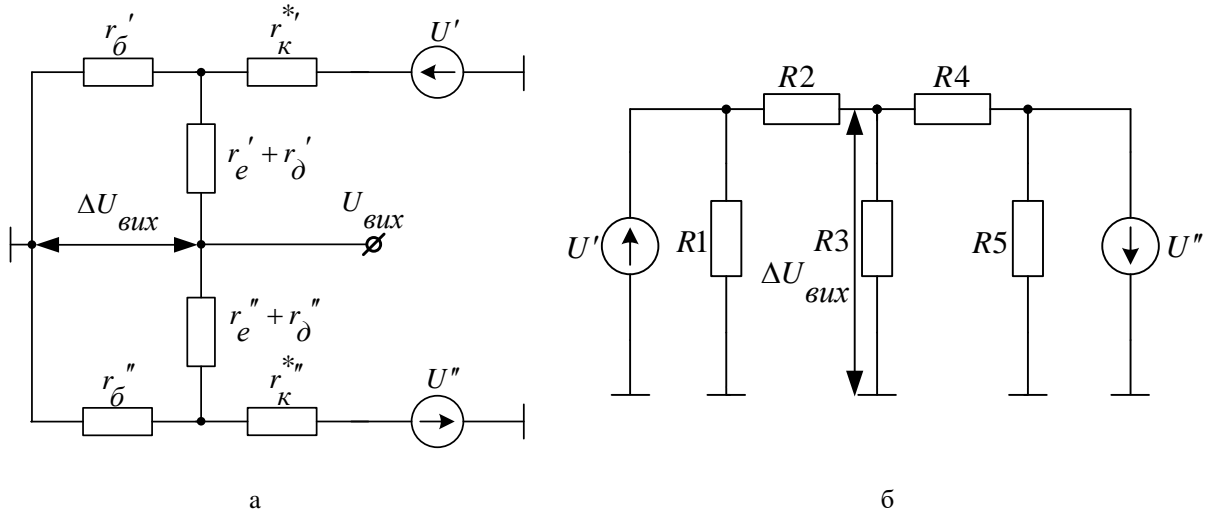


Рисунок 2 – Еквівалентні схеми заміщення ядра буфера напруги: а) до перетворення; б) після перетворення

У цьому випадку:

$$R1 = r_{\kappa}^{*\prime} + r_{\delta}^{\prime} + \frac{r_{\kappa}^{*\prime} \cdot r_{\delta}^{\prime}}{2 \cdot r_e}; \quad R2 = 2 \cdot r_e + r_{\kappa}^{*\prime} + \frac{2 \cdot r_e \cdot r_{\kappa}^{*\prime}}{r_{\delta}^{\prime}};$$

$$R3 = \frac{R3' \cdot R3''}{R3' + R3''}, \text{ де } R3' = 2 \cdot r_e + r_{\delta}^{\prime} + \frac{2 \cdot r_e \cdot r_{\delta}^{\prime}}{r_{\kappa}^{*\prime}}; R3'' = 2 \cdot r_e + r_{\delta}^{\prime\prime} + \frac{2 \cdot r_e \cdot r_{\delta}^{\prime\prime}}{r_{\kappa}^{*\prime\prime}}; \quad (1)$$

$$R4 = 2 \cdot r_e + r_{\kappa}^{*\prime\prime} + \frac{2 \cdot r_e \cdot r_{\kappa}^{*\prime\prime}}{r_{\delta}^{\prime\prime}}; \quad R5 = r_{\kappa}^{*\prime\prime} + r_{\delta}^{\prime\prime} + \frac{r_{\kappa}^{*\prime\prime} \cdot r_{\delta}^{\prime\prime}}{2 \cdot r_e}.$$

Використовуючи метод суперпозиції можна записати статичну похибку $\Delta U_{вих}$ у вигляді:

$$\Delta U_{вих} = \Delta U'_{вих} + \Delta U''_{вих}, \quad (2)$$

де $\Delta U'_{вих} = f(U^{\prime}), \Delta U''_{вих} = f(U^{\prime\prime})$ – приріст напруг у верхньому і нижньому ярусах, які можна визначити, як:

$$\begin{aligned}\Delta U'_{вих} &= U' \cdot \frac{R3}{R2 + R3}; \\ \Delta U''_{вих} &= U'' \cdot \frac{R3}{R4 + R3}.\end{aligned}\quad (3)$$

З урахуванням попередніх залежностей та рівняння (2), запишемо:

$$\Delta U_{вих} = \frac{[U' \cdot (R4 + R3) + U'' \cdot (R2 + R3)] \cdot R3}{(R2 + R3) \cdot (R4 + R3)}.\quad (4)$$

Шляхом підстановки в рівняння (4) значень з (2), отримаємо абсолютну похибку. Відносна ж похибка визначається у вигляді:

$$\delta = \frac{\Delta U_{вих}}{U_{вих}} \cdot 100\%.$$

Якщо підставити у рівняння (3) значення з рівнянь (1) і врахувати, що в існуючих схемах $r_{\delta}' \ll r_{\kappa}'$, $r_{\delta}'' \ll r_{\kappa}''$ і $r_{\delta}' \approx r_{\delta}''$ матимемо:

$$\Delta U'_{вих} \approx U' \cdot \frac{2 \cdot r_e}{r_{\kappa}'}; \quad \Delta U''_{вих} \approx U'' \cdot \frac{2 \cdot r_e}{r_{\kappa}''}.$$

Можна побачити, що на похибку лінійності в основному впливає величина r_{κ}' і r_{κ}'' , а також r_e , значення якого на 2-3 порядки менше значень r_{κ}' і r_{κ}'' .

Для побудови високолінійних буферів напруги запропоновано наступні методи:

1. Ввести до ядра каскодів на польових транзисторах.
2. Будувати каскоди ядра з використанням складених транзисторах Шиклаї.
3. Застосувати параметричну стабілізацію напруг зміщення транзисторів ядра.

У першому методі передбачається підвищення опору виходів по струму [4] (рисунок 3, а).

Завдяки цьому можна забезпечити стабілізацію напруги переходу колектор-емітер транзисторів Т6 і Т9. При цьому, струми бази цих транзисторів можна не враховувати. З врахуванням рівняння (3), можна записати приріст напруг по верхньому і нижньому ярусах:

$$\Delta U'_{вих} \approx U' \cdot \frac{2 \cdot r_e}{r'_{св} (1 + S' \cdot R'_e)}; \quad \Delta U''_{вих} \approx U'' \cdot \frac{2 \cdot r_e}{r''_{св} (1 + S'' \cdot R''_e)};$$

де $r'_{св}, r''_{св}$ – вихідні диференційні опори, S', S'' – крутизни передатних характеристик, R'_e, R''_e – опори витоків n- і p-канальних польових транзисторів Т5 і Т10 відповідно [4]. Застосування каскодів на польових транзисторах призводить до підвищення лінійності на 1-2 порядки.

У другому методі запропоновано зменшення впливу струму баз транзисторів Т9 і Т14 в β' і β''

разів відповідно (рисунок 3, б). У цьому випадку похибку лінійності можна зменшити в $\frac{\beta_{\min}}{2}$ разів,

де β_{\min} – найменше значення β транзисторів Т9 і Т14 відповідно. З урахуванням рівняння (3), можна записати приріст напруг у верхньому і нижньому ярусах:

$$\Delta U'_{вих} \approx U' \cdot \frac{4 \cdot r_e}{r'_{вих} \cdot \beta'}; \quad \Delta U''_{вих} \approx U'' \cdot \frac{4 \cdot r_e}{r''_{вих} \cdot \beta''}, \quad (5)$$

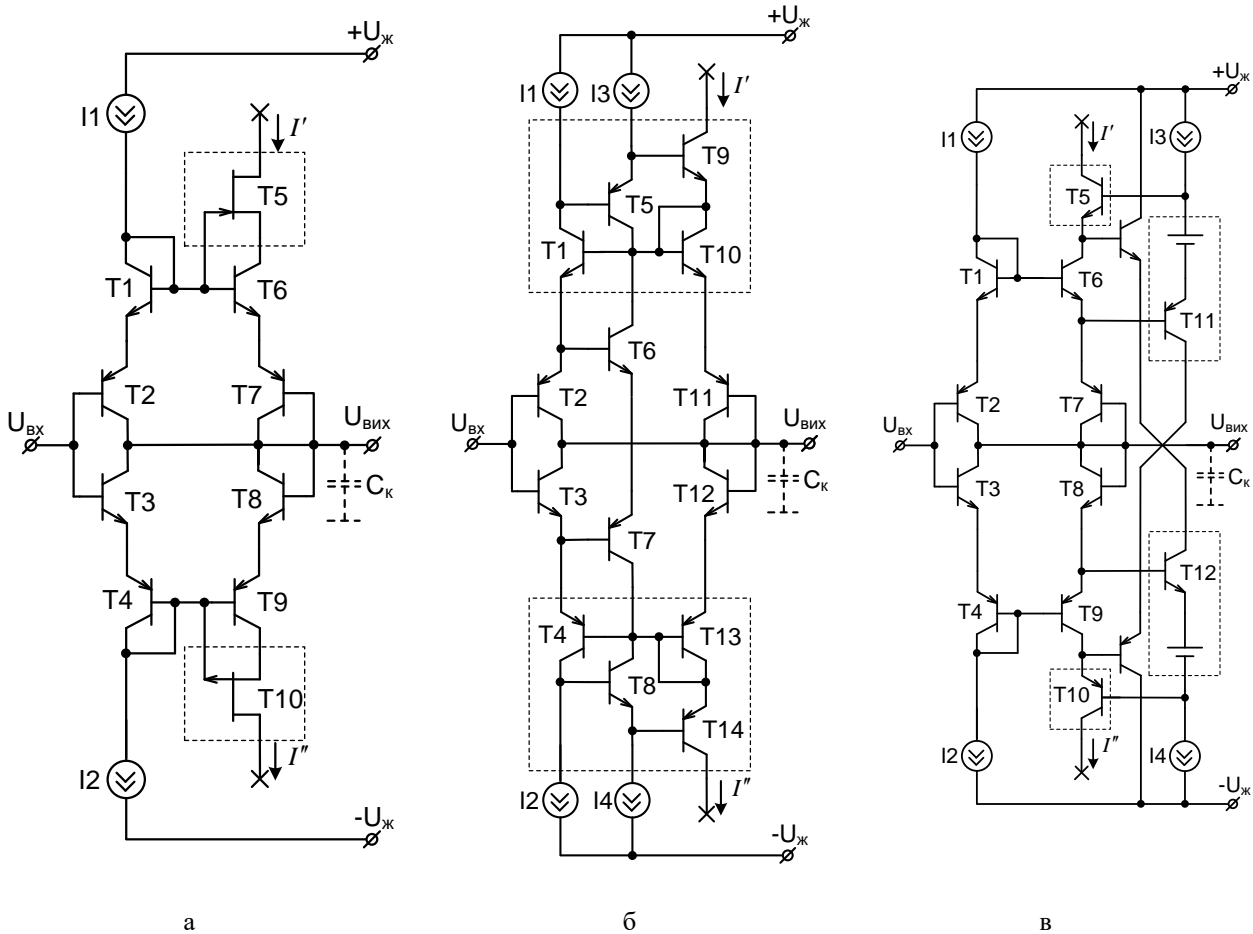


Рисунок 3 – Схемно-функціональна організація входних кіл високолінійних буферів напруги: а) на польових транзисторах; б) на відбивачах струму на складених транзисторах Шиклаї; в) із стабілізаванням напруг колектор-емітер

Проте необхідно вживати заходів щодо коригування перехідної характеристики, оскільки на високих частотах використання складених транзисторів призведе до появи додаткового полюсу.

У третьому методі запропоновано підвищення лінійності без зменшення рівня швидкодії (рисунок 3, в). У такому випадку величина похибки лінійності трохи менша, ніж у схемі із на рисунку 2, б. Для такої схеми природи напруги, описуються рівнянням (5).

Графіки похибок лінійності та масштабу високолінійних буферів напруги наведено на рисунку 4. На графіках криві 1-3 відповідно для схем на рисунку 3, а-в.

Водночас, розглянуті схеми мають спільний недолік, а саме, низьку навантажувальну здатність, яка визначається вихідними опорами схем $r_{вих}$. При цьому:

$$r_{вих} = r_e,$$

де $r_e = \frac{\varphi_T}{I_e}$, $\varphi_T \approx 25 \text{ мВ}$ – термопотенціал, I_e – емітерний струм.

Вихідний опір схеми призводить до появи нелінійності передатної характеристики та зміни масштабу.

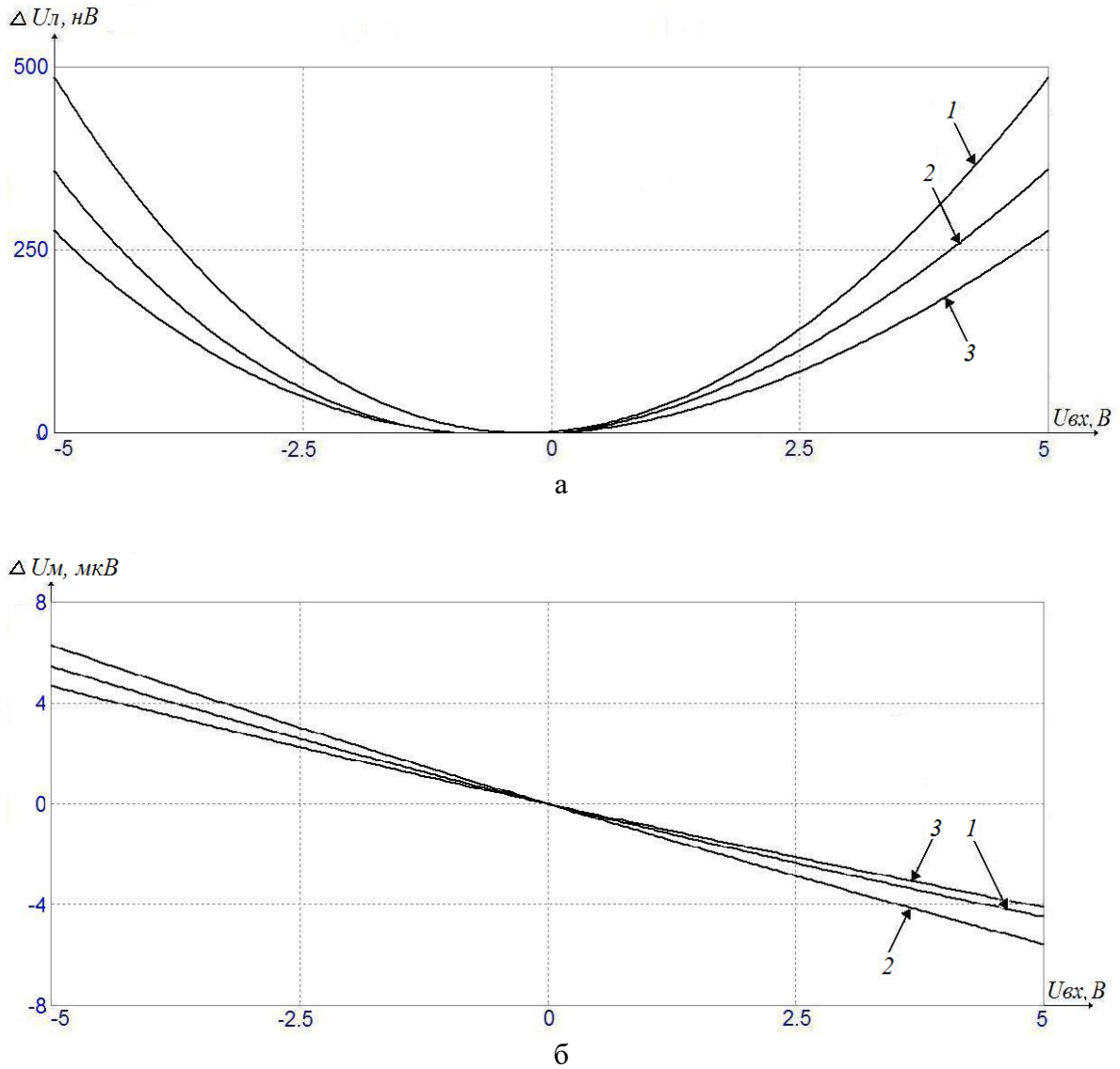


Рисунок 4 – Похибки ядер високолінійних буферів напруги: а) лінійності; б) масштабу

Щоб підвищити навантажувальну здатність та зберегти задану лінійність, доречно доповнити схеми буферів напруги двотактним двоканальним підсилювачем струму (ДПС). Структурно-функціональну схему такого буферного пристрою показано на рисунку 5.

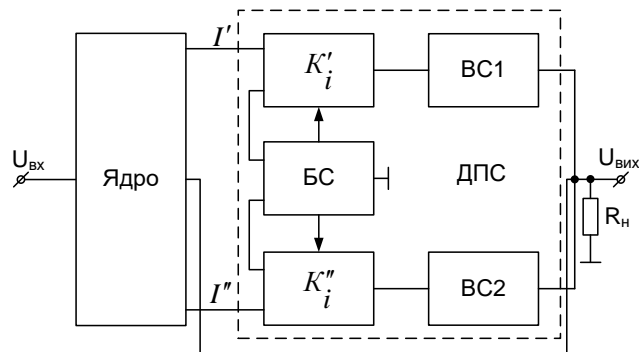


Рисунок 5 – Структурно-функціональна організація високолінійного буферного пристрою на базі двотактної симетричної структури

Він складається із підсилювальних каскадів K'_i і K''_i , балансної схеми (БС) і відбивачів струму BC1 і BC2 [5]. Завдяки застосуванню БС отримуємо пропорційну залежність коефіцієнтів передачі і вирівняним їх значенням у діапазоні сигналу. Головною умовою самобалансування є:

$$\frac{I'}{I_p} = \frac{I_p}{I''},$$

де I_p – робочий струм. У такому випадку: $K'_i = K''_i$.

Використання ДДПС у колі зворотного зв'язку між ядром буфера напруги і навантаженням, дозволить зменшити вихідний опір до рівня:

$$r_{вих} = \frac{r_e}{K_i},$$

де K_i – сумарний коефіцієнт підсилення ДДПС, який рівний:

$$K_i = \frac{2 \cdot K'_i \cdot K''_i}{K'_i + K''_i}.$$

Реалізований високолінійний буферний пристрій, побудований за вищезгаданою структурно-функціональною організацією, дає змогу забезпечити такі характеристики:

- діапазон вхідного сигналу: $\pm 5\text{В}$;
- діапазон вихідного струму: $\pm 5\text{ мА}$;
- похибки:
 - зсуву нуля $\Delta U_{зс0} \leq 50\text{ мкВ}$;
 - масштабу $\delta_M = 5 \cdot 10^{-5}\%$;
 - лінійності $\delta_L = 5 \cdot 10^{-7}\%$.

Запропоновані буферні пристрої з вищенаведеними характеристиками можуть застосовуватись у складі високопродуктивних АЦП і ЦАП.

Висновки:

1. Проаналізовано запропоновані методи структурно-функціональної організації високолінійних буферів напруги, які побудовано за двотактними симетричними структурами. Показано, що використання стабілізування напруг переходів колектор-емітер, дає змогу покращити (на 1÷2 порядки) характеристики схем.
2. Виведено аналітичні залежності, що описують похибки лінійності ядер буферів напруги, які побудовано за двотактною симетричною структурою. Показано, що запропоновані підходи дозволяють (на порядок і більше) зменшити похибки лінійності та зсуву нуля.
3. Розглянути підхід, що дозволяє підвищити навантажувальну здатність буферів напруги. Показано, що він дає змогу (на 2÷3 порядки) зменшити вихідний опір.

Список літератури

- [1] Walt Kesler, *Analog-digital conversion*. ADI Central Application Department, 2004, 1127 p.
- [2] Alan V. Grebene, *Bipolar and MOS analog integrated circuit design*. New Jersey: Wiley Classic Library, 2002, 915 p.
- [3] О. Д. Азаров, О. В. Дудник, С. В. Богомоллов, О. В. Кадук, «Буферний каскад,» *Патент України Н03К 5/22, G05В 1/00. №51014 МПК (2009)*, 25.06.2010.
- [4] U. Tietze, Ch. Schenk, E. Gamm, *Electronic Circuits: Handbook for Design and Application*. 2nd ed., Springer, USA, 2008, 1543 p.

- [5] О. Д. Азаров, В. А. Гарнага, *Двотактні підсилювачі постійного струму для багаторозрядних перетворювачів форми інформації, що самокалібруються*. Вінниця, Україна: ВНТУ, 2011, 156 с.
- [6] О. Д. Азаров, С. В. Богомолів, В. Я. Стейскал, «Похибки лінійності передатної характеристики вхідного каскаду двотактних підсилювачів струму,» *Інформаційні технології та комп'ютерна інженерія. Вінницький національний технічний університет*, №3(19), с. 4-12. 2010.

Стаття надійшла: 24.01.2023.

References

- [1] Walt Kesler, *Analog-digital conversion*. ADI Central Application Department, 2004, 1127 p.
- [2] Alan B. Grebene, *Bipolar and MOS analog integrated circuit design*. New Jersey: Wiley Classic Library, 2002, 915 p.
- [3] O. D. Azarov, O. V. Dudnyk, S. V. Bogomolov, O. V. Kaduk, "Buffer Cascade," *Patent of Ukraine H03K 5/22, G05B 1/00. No. 51014 IPC (2009)*, 25.06.2010 [in Ukrainian].
- [4] U. Tietze, Ch. Schenk, E. Gamm, *Electronic Circuits: Handbook for Design and Application*. 2nd ed., Springer, USA, 2008, 1543 p.
- [5] O. D. Azarov, V. A. Garnaga, *Push-pull direct current amplifiers for multi-bit self-calibrating information form converters*. Vinnytsia, Ukraine: VNTU, 2011, 156 p. [in Ukrainian].
- [6] O. D. Azarov, S. V. Bogomolov, V. Ya. Stejskal, "Transfer linearity errors of the input stage of push-pull current amplifiers," *Information Technology and Computer Engineering. Vinnytsia National Technical University*, no. 3(19), p. 4-12. 2010 [in Ukrainian].

Відомості про авторів

Багацький Валентин Олексійович – доктор технічних наук, провідний науковий співробітник інституту кібернетики ім. В. М. Глушкова НАН України.

Богомолів Сергій Віталійович – кандидат технічних наук, доцент кафедри обчислювальної техніки.

Захарченко Сергій Михайлович – кандидат технічних наук, доцент кафедри обчислювальної техніки.

V. O. Bagatsky¹, S. V. Bogomolov², S. M. Zakharchenko²

HIGH-LINE VOLTAGE BUFFERS FOR HIGH-PERFORMANCE ADCS AND DACS

¹V. M. Glushkov Institute of Cybernetics of the NAS of Ukraine, Kyiv

²Vinnytsia National Technical University, Vinnytsia