

## АНАЛІЗ АРХІТЕКТУРИ ЯДРА AMD ZEN

Вінницький національний технічний університет

### *Анотація*

*У роботі виконано аналіз покоління процесорів корпорації AMD на основі ядра «Zen». Показано, що ядро «Zen» є значно енергоефективнішим завдяки вдвічі більшій щільності транзисторів у порівнянні з ядром, що використовувалось раніше. Помітною відмінністю від попередніх архітектур є поява мікроопераційних кешів, що підвищує швидкість роботи процесора.*

**Ключові слова:** AMD, Naples, Zen, Ryzen, Raven Ridge, Summit Ridge, процесор, ядро.

### *Abstract*

*The paper analyzes the generation of AMD processors based on the Zen core. The Zen core has been shown to be significantly more energy efficient due to twice the density of transistors compared to the core used previously. A noticeable difference from previous architectures is the appearance of micro operative caches, which increases the speed of the processor.*

**Keywords:** AMD, Naples, Zen, Ryzen, Raven Ridge, Summit Ridge, processor, core.

Корпорації AMD та Intel є основними виробниками центральних процесорів комп'ютерів загального використання [1]. У 2017 році було представлено покоління процесорів на новому ядрі 14 нанометрового стандарту, кодова назва якого «Zen». Процесорні чіпи на даній мікроархітектурі поділяються на три групи: Summit Ridge – серія процесорів Ryzen для використання на стаціонарних комп'ютерах, що мають потужні дискретні відео карти; Raven Ridge – серія Ryzen для використання на різних пристроях, зокрема, й на таких мобільних платформах, як ноутбуки. В основі таких чіпів є вбудований блок забезпечення для опрацювання відео та 3D-графіки, що робить їх автономною системою для роботи з графікою; Naples – серія процесорів EPYC, призначених для використання у серверах. Суть полягає в тому, щоб збільшити кількість операцій за такт (IPC). Очікується, що перехід від модульної мікроархітектури, що використовується в Bulldozer, до повноцінних ядер допоможе підвищити продуктивність ядра в операціях з плаваючою комою з більшою кількістю FPU.

Особливості нової мікроархітектури такі [2-4]:

- два потоки на ядро (опціонально);
- зменшення кількості помилок прогнозування;
- додано кеш мікрооперацій;
- збільшено розмір кешу L1;
- збільшено пропускну здатність кешу;
- оптимізовано затримки доступу до кешу;
- всього 8 МБ кешу типу «victim» L3 на кожен 4-ядерний чіп;
- 512 КБ - кеш-пам'яті L2 на ядро, в 2 рази швидший (включаючи кеш L1);
- 64 КБ для інструкцій і 32 КБ для даних - кеш-пам'яті L1 на ядро, в 2 рази швидший;
- використання сокету AM4;
- два апаратні прискорювачі, що реалізують стандарт шифрування AES.

Помітною відмінністю від попередніх архітектур є поява мікроопераційних кешів. У конструкції AMD Bulldozer не було кешу операцій, що вимагало отримання деталей з інших кешів для реалізації часто використовуваних мікрооперацій. Intel використовувала такий метод кешування в декількох поколіннях процесорів, і наявність таких кешів в процесорах AMD гарантує, що вони тільки підвищать швидкість [3].

Механізми декодування в Zen можуть декодувати чотири інструкції за цикл для подачі в чергу операцій. Ця черга за допомогою кешу операцій може доставити планувальникам 6 операцій за цикл. Причини того, що черга може надсилати більше за цикл, полягає в тому, що декодер може надати інструкцію, яка потім розподіляється на дві мікрооперації. На відміну від Intel, яка використовує комбінований планувальник для INT (Integer) і FP (float point), AMD передбачає, що наразі вони залишаться відділеними з власними планувальниками для забезпечення паралелізму на рівні

виконання інструкцій процесора [4]. INT сторона ядра опрацьовує операції ALU (arithmetic logic unit), а також процеси завантаження та операції зберігання. Блоки завантаження та зберігання можуть виконувати два 16-байтових завантаження та одне 16-байтове зберігання за цикл, використовуючи 32 КБ асоціативний кеш даних L1 із зворотним записом. AMD застосувала кеш зворотного запису, а не кеш через запис (використовується у Bulldozer), який був затратним у часі для виконання деяких частин коду [4]. На стороні FP ядро має два порти для операції множення та два порти для додавання, які повинні дозволяти дві об'єднані операції FMA3 (Filter Math Accelerator) або одну операцію для 256-бітного операнда (AVX - Advanced Vector Extensions) за цикл.

Пристрій кеш-пам'яті також зазнав змін в архітектурі Zen. Обсяг кешу даних першого рівня (L1-D) порівняно з архітектурою Bulldozer було збільшено у два рази. Кеш інструкцій першого рівня (L1-I) у новій архітектурі не розділений між двома ядрами, що знижує кількість помилок [5]. На кожне ядро припадає по 512 Кбайт кеша другого рівня (L2), який має 8-канальну (8-way) асоціативність. Об'єм кешу третього рівня становить 8 Мбайт, а на одне ядро припадає 2 Мбайт 16-канального L3-кеша. Крім того, не використовується загальний LLC (Load-Line Calibration) кеш. Потенційно це може підвищити продуктивність окремого потоку.

Також у новій архітектурі AMD покращено енергоспоживання у порівнянні з попередніми реалізаціями. Досить низьке енергоспоживання у процесорів Zen забезпечує використання 14-нм розмірності транзистора FinFET (fin field-effect transistor). Крім того, для зменшення енергоспоживання та покращення ефективності роботи використані деякі методи та технології (допрацьовані та покращені), які використовувались раніше у процесорах Carrizo та Bristol Ridge для ноутбуків [5].

Кожне ядро процесора Zen підтримує два потоки або одночасну багатопоточність (Simultaneous multithreading або SMT). Головна складність у реалізації даної технології полягає в тому, що потоки не повинні блокувати один одного, завантажуючи весь кеш та буфери. Для цього використовується власний для кожного ядра кеш L2, поділ блоків INT і FP й інші особливості, що дозволяють розділити навантаження, не створюючи конфлікту між потоками.

Таким чином, ядро «Zen» є значно енергоефективнішим завдяки у двічі більшій щільності транзисторів. Помітною відмінністю від попередніх архітектур є поява мікроопераційних кешів, що підвищує швидкість роботи процесора [6].

## СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ

1. “Процесор: основні характеристики, функції, виробники,.” *LiveJournal*, 18-Jan-2012. [Online]. Available: <https://alex-legend.livejournal.com/1270.html>. [Accessed: 15-Apr-2022].
2. “Технологии ядра «zen» | AMD,” Архитектура ядра AMD Zen. [Online]. Available: <https://www.amd.com/ru/technologies/zen-core-technologies>. [Accessed 15-Apr-2022].
3. D. I. Cutress, “AMD Zen microarchitecture: Dual Schedulers, micro-op cache and memory hierarchy revealed,” *RSS*, 18-Aug-2016. [Online]. Available: <https://www.anandtech.com/show/10578/amd-zen-microarchitecture-dual-schedulers-micro-op-cache-memory-hierarchy-revealed>. [Accessed: 15-Apr-2022].
4. Sozi, “Подробнее об особенностях микроархитектуры Amd Zen,” *Overclockers.ru*, 18-Aug-2016. [Online]. Available: <https://overclockers.ru/hardnews/show/78513/podrobnee-ob-osobennostyah-mikroarhitektury-amd-zen>. [Accessed: 15-Apr-2022].
5. AMD, “Высокопроизводительные вычисления на архитектуре x86 для эпохи технологий с эффектом присутствия,” *Хабр*, 09-Dec-2016. [Online]. Available: <https://habr.com/ru/company/amd/blog/399941/>. [Accessed: 15-Apr-2022].
6. K. Moammer, “AMD Zen CPU architecture doubles down on IPC and floating point throughput - details surface in linux kernel patch,” *Wccfttech*, 20-Mar-2016. [Online]. Available: <https://wccfttech.com/amd-zen-cpu-core-microarchitecture-detailed/>. [Accessed: 15-Apr-2022].

**Шмалюх Владислав Анатолійович** - студент групи ЗПІ-19б, факультет інформаційних технологій та комп'ютерної інженерії, Вінницький національний технічний університет, Вінниця, e-mail: zskat02@gmail.com.

**Майданюк Володимир Павлович** - канд. техн. наук, доцент кафедри програмного забезпечення, Вінницький національний технічний університет.

**Shmaliukh Vladyslav A.** - student of group ЗПІ-19b, Faculty of Information Technologies and Computer Engineering, Vinnytsia National Technical University, Vinnytsia, e-mail: zskat02@gmail.com.

**Maidaniuk Volodymyr P.** - Cand. Sc. (Eng), Associate Professor of Software, Vinnytsia National Technical University.