



УКРАЇНА

(19) **UA** (11) **155936** (13) **U**
(51) МПК (2024.01)
H03K 5/22 (2006.01)
G05B 1/00

НАЦІОНАЛЬНИЙ ОРГАН
ІНТЕЛЕКТУАЛЬНОЇ ВЛАСНОСТІ
ДЕРЖАВНА ОРГАНІЗАЦІЯ
"УКРАЇНСЬКИЙ НАЦІОНАЛЬНИЙ
ОФІС ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ ТА ІННОВАЦІЙ"

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: u 2023 05311	(72) Винахідник(и): Азаров Олексій Дмитрович (UA), Кирилащук Світлана Анатоліївна (UA), Богомолов Сергій Віталійович (UA), Войцеховська Олена Валеріївна (UA)
(22) Дата подання заявки: 08.11.2023	
(24) Дата, з якої є чинними права інтелектуальної власності: 18.04.2024	
(46) Публікація відомостей про державну реєстрацію: 17.04.2024, Бюл.№ 16	(73) Володілець (володільці): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, вул. Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)

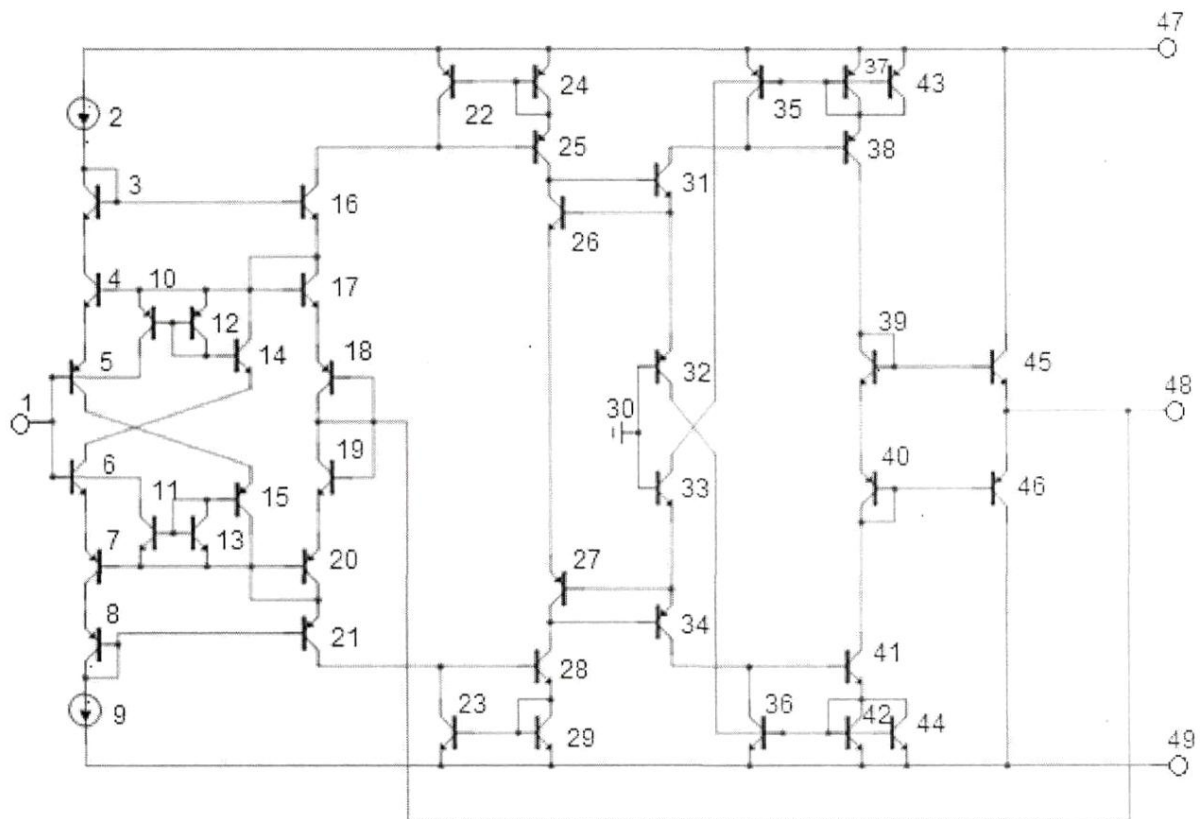
(54) БУФЕР НАПРУГИ

(57) Реферат:

Буфер напруги містить шини додатного та від'ємного живлення, вхідну та вихідну шини, два джерела струму, вісімнадцять транзисторів. При цьому вхідну шину з'єднано з базами третього і четвертого транзисторів та з колекторами сьомого і восьмого транзисторів, емітери третього і четвертого транзисторів з'єднано з емітерами другого і п'ятого транзисторів, відповідно, колектори третього і четвертого транзисторів з'єднано з емітерами дванадцятого та одинадцятого транзисторів, відповідно, бази другого і п'ятого транзисторів з'єднано з базами і колекторами чотирнадцятого і сімнадцятого транзисторів, відповідно, з колекторами одинадцятого і дванадцятого транзисторів, відповідно, з емітерами тринадцятого і вісімнадцятого транзисторів, відповідно, з емітерами сьомого і восьмого транзисторів, відповідно, та з емітерами дев'ятого і десятого транзисторів, відповідно, колектор другого транзистора з'єднано з емітером першого транзистора, базу і колектор якого з'єднано з базою тринадцятого транзистора та з другим виводом першого джерела струму, перший вивід якого з'єднано з шиною додатного живлення, колектор п'ятого транзистора з'єднано з емітером шостого транзистора, базу і колектор якого з'єднано з базою вісімнадцятого транзистора та з першим виводом другого джерела струму, другий вивід якого з'єднано з шиною від'ємного живлення, емітери чотирнадцятого і сімнадцятого транзисторів з'єднано з емітерами п'ятнадцятого та шістнадцятого транзисторів, відповідно, бази і колектори яких об'єднано і з'єднано з вихідною шиною. Введено двадцять транзисторів, шину нульового потенціалу. При цьому колектори дев'ятнадцятого і двадцятого транзисторів з'єднано з колекторами тринадцятого і вісімнадцятого транзисторів відповідно та з базами двадцять другого та двадцять п'ятого транзисторів, відповідно, емітер дев'ятнадцятого транзистора з'єднано з шиною додатного живлення, з першим виходом першого джерела струму та з емітерами двадцять першого, тридцять першого, тридцять третього та тридцять сьомого транзисторів, відповідно, емітер двадцятого транзистора з'єднано з шиною від'ємного живлення, з другим виходом другого джерела струму та з емітерами двадцять шостого, тридцять другого, тридцять шостого та тридцять восьмого транзисторів, відповідно, бази дев'ятнадцятого і двадцятого транзисторів з'єднано з базами і колекторами двадцять першого і двадцять шостого транзисторів, відповідно, та з емітерами двадцять другого і двадцять п'ятого транзисторів, відповідно, колектори двадцять другого і двадцять п'ятого транзисторів з'єднано з колекторами двадцять третього і двадцять четвертого транзисторів, відповідно, а також з базами двадцять сьомого і тридцятого транзисторів, відповідно, емітери двадцять третього і двадцять четвертого

UA 155936 U

транзисторів об'єднано, а їх бази з'єднано з емітерами двадцять сьомого і двадцять восьмого та тридцятого і двадцять дев'ятого транзисторів, відповідно, бази двадцять восьмого та двадцять дев'ятого транзисторів об'єднано і з'єднано з шиною нульового потенціалу, колектори двадцять сьомого і тридцятого транзисторів з'єднано з колекторами тридцять першого і тридцять другого транзисторів, відповідно, та з базами тридцять четвертого і тридцять п'ятого транзисторів, відповідно, колектори двадцять дев'ятого і двадцять восьмого транзисторів з'єднано з базами тридцять першого і тридцять другого транзисторів, відповідно, з базами і колекторами тридцять третього і тридцять шостого транзисторів, відповідно, з базами тридцять сьомого і тридцять восьмого транзисторів, відповідно, а також з емітерами тридцять четвертого і тридцять п'ятого транзисторів, відповідно, та з колекторами тридцять сьомого і тридцять восьмого транзисторів, відповідно, колектори тридцять четвертого і тридцять п'ятого транзисторів об'єднано та з'єднано з колекторами і базами п'ятнадцятого і шістнадцятого транзисторів та з вихідною шиною.



Корисна модель належить до аналогової техніки і може бути використана в аналого-цифрових перетворювачах і цифрових вимірювальних приладах.

Відомий буферний каскад, який містить шини додатного та від'ємного живлення, вхідну та вихідну шини, два джерела струму, вісімнадцять транзисторів, чотири резистори, причому вхідна шина з'єднана з базами четвертого і п'ятого транзисторів, емітери четвертого і п'ятого транзисторів з'єднані з емітерами дев'ятого і десятого транзисторів, відповідно, бази дев'ятого і десятого транзисторів з'єднані з базами третього і шостого транзисторів, відповідно, колектор дев'ятого транзистора з'єднано з емітером першого транзистора, базу десятого транзистора з'єднано з колектором восьмого транзистора, базу сьомого транзистора з'єднано з виходом другого джерела струму, бази першого і другого транзисторів та колектор першого транзистора з'єднано з виходом першого джерела струму, входи першого і другого джерел струму та колектори другого і сьомого транзисторів з'єднані з шинами додатного і від'ємного живлення, відповідно, емітери другого і сьомого транзисторів з'єднані з колекторами третього і шостого транзисторів, відповідно, емітери третього і шостого транзисторів з'єднані з емітерами одинадцятого і дванадцятого транзисторів, відповідно, колектори одинадцятого і дванадцятого транзисторів з'єднані з вихідною шиною, колектор шістнадцятого транзистора з'єднано з базою шістнадцятого транзистора і виходом другого джерела струму, колектор десятого транзистора з'єднано з емітером шістнадцятого транзистора, бази четвертого і п'ятого транзисторів з'єднані з колекторами тринадцятого і вісімнадцятого транзисторів, колектори четвертого і п'ятого транзисторів з'єднані з емітерами восьмого і п'ятнадцятого транзисторів відповідно, емітер тринадцятого транзистора з'єднано з входом першого резистора, вихід першого резистора з'єднано з емітером чотирнадцятого транзистора, бази тринадцятого і чотирнадцятого транзисторів з'єднані з базою п'ятнадцятого і колектором чотирнадцятого транзисторів, колектори п'ятнадцятого і третього транзисторів з'єднані між собою та з базою третього транзистора, емітери вісімнадцятого і сьомого транзисторів з'єднані з колектором восьмого транзистора та з входом другого резистора, вихід другого резистора з'єднано з емітером сімнадцятого транзистора, бази вісімнадцятого, сімнадцятого та восьмого транзисторів з'єднані з колектором сімнадцятого транзистора, бази одинадцятого і дванадцятого транзисторів з'єднані з входами третього і четвертого резисторів, виходи третього і четвертого резисторів з'єднані з вихідною шиною [Патент України № 135903, м.кл. H03F 3/26, опубл. 25.07.2019, бюл. № 14].

Недоліком даного пристрою є низька навантажувальна здатність, що призводить до низької точності роботи.

Найближчим аналогом є буфер напруги, який містить шини додатного та від'ємного живлення, вхідну та вихідну шини, два джерела струму, тридцять вісім транзисторів, шину нульового потенціалу, причому вхідну шину з'єднані з базами третього і четвертого транзисторів та з колекторами сьомого і восьмого транзисторів, емітери третього і четвертого транзисторів з'єднані з емітерами другого і п'ятого транзисторів, відповідно, колектори третього і четвертого транзисторів з'єднані з емітерами дванадцятого та одинадцятого транзисторів, відповідно, бази другого і п'ятого транзисторів з'єднані з базами і колекторами чотирнадцятого і сімнадцятого транзисторів, відповідно, з колекторами одинадцятого і дванадцятого транзисторів, відповідно, з емітерами тринадцятого і вісімнадцятого транзисторів, відповідно, з емітерами сьомого і восьмого транзисторів, відповідно, та з емітерами дев'ятого і десятого транзисторів, відповідно, колектор другого транзистора з'єднано з емітером першого транзистора, базу і колектор якого з'єднані з базою тринадцятого транзистора та з другим виводом першого джерела струму, перший вивід якого з'єднано з шиною додатного живлення, колектор п'ятого транзистора з'єднано з емітером шостого транзистора, базу і колектор якого з'єднані з базою вісімнадцятого транзистора та з першим виводом другого джерела струму, другий вивід якого з'єднано з шиною від'ємного живлення, емітери чотирнадцятого і сімнадцятого транзисторів з'єднані з емітерами п'ятнадцятого та шістнадцятого транзисторів, відповідно, бази і колектори яких об'єднані і з'єднані з вихідною шиною, колектори дев'ятнадцятого і двадцятого транзисторів з'єднані з колекторами тринадцятого і вісімнадцятого транзисторів, відповідно, та з базами двадцять другого та двадцять п'ятого транзисторів, відповідно, емітер дев'ятнадцятого транзистора з'єднано з шиною додатного живлення, з першим виходом першого джерела струму та з емітерами двадцять першого, тридцять першого, тридцять третього та тридцять сьомого транзисторів, відповідно, емітер двадцятого транзистора з'єднано з шиною від'ємного живлення, з другим виходом другого джерела струму та з емітерами двадцять шостого, тридцять другого, тридцять шостого та тридцять восьмого транзисторів, відповідно, бази дев'ятнадцятого і двадцятого транзисторів з'єднані з базами і колекторами двадцять першого і двадцять шостого транзисторів, відповідно,

та з емітерами двадцять другого і двадцять п'ятого транзисторів, відповідно, колектори двадцять другого і двадцять п'ятого транзисторів з'єднано з колекторами двадцять третього і двадцять четвертого транзисторів, відповідно, а також з базами двадцять сьомого і тридцятого транзисторів, відповідно, емітери двадцять третього і двадцять четвертого транзисторів об'єднано, а їх бази з'єднано з емітерами двадцять сьомого і двадцять восьмого та тридцятого і двадцять дев'ятого транзисторів, відповідно, бази двадцять восьмого та двадцять дев'ятого транзисторів об'єднано і з'єднано з шиною нульового потенціалу, колектори двадцять сьомого і тридцятого транзисторів з'єднано з колекторами тридцять першого і тридцять другого транзисторів, відповідно, та з базами тридцять четвертого і тридцять п'ятого транзисторів, відповідно, колектори двадцять дев'ятого і двадцять восьмого транзисторів з'єднано з базами тридцять першого і тридцять другого транзисторів, відповідно, з базами і колекторами тридцять третього і тридцять шостого транзисторів, відповідно, з базами тридцять сьомого і тридцять восьмого транзисторів, відповідно, а також з емітерами тридцять четвертого і тридцять п'ятого транзисторів, відповідно, та з колекторами тридцять сьомого і тридцять восьмого транзисторів, відповідно, колектори тридцять четвертого і тридцять п'ятого транзисторів об'єднано та з'єднано з колекторами і базами п'ятнадцятого і шістнадцятого транзисторів та з вихідною шиною [Патент України № 152467, м.кп. Н03К 5/22 G05B 1/00, опубл. 08.02.2023, бюл. № 6].

Недоліком даного пристрою є низька навантажувальна здатність, що призводить до низької точності роботи.

В основу корисної моделі поставлено задачу розробки такого буфера напруги, в якому за рахунок введення нових елементів та зв'язків між ними досягається підвищення навантажувальної здатності, що приводить до підвищення точності роботи.

Поставлена задача вирішується тим, що в буфер напруги, який містить шини додатного та від'ємного живлення, вхідну та вихідну шини, два джерела струму, тридцять вісім транзисторів, шину нульового потенціалу, причому вхідну шину з'єднано з базами третього і четвертого транзисторів та з колекторами сьомого і восьмого транзисторів, емітери третього і четвертого транзисторів з'єднано з емітерами другого і п'ятого транзисторів, відповідно, колектори третього і четвертого транзисторів з'єднано з емітерами дванадцятого та одинадцятого транзисторів, відповідно, бази другого і п'ятого транзисторів з'єднано з базами і колекторами чотирнадцятого і сімнадцятого транзисторів, відповідно, з колекторами одинадцятого і дванадцятого транзисторів, відповідно, з емітерами тринадцятого і вісімнадцятого транзисторів, відповідно, з емітерами сьомого і восьмого транзисторів, відповідно, та з емітерами дев'ятого і десятого транзисторів, відповідно, колектор другого транзистора з'єднано з емітером першого транзистора, базу і колектор якого з'єднано з базою тринадцятого транзистора та з другим виводом першого джерела струму, перший вивід якого з'єднано з шиною додатного живлення, колектор п'ятого транзистора з'єднано з емітером шостого транзистора, базу і колектор якого з'єднано з базою вісімнадцятого транзистора та з першим виводом другого джерела струму, другий вивід якого з'єднано з шиною від'ємного живлення, емітери чотирнадцятого і сімнадцятого транзисторів з'єднано з емітерами п'ятнадцятого та шістнадцятого транзисторів, відповідно, бази і колектори яких об'єднано і з'єднано з вихідною шиною, колектори дев'ятнадцятого і двадцятого транзисторів з'єднано з колекторами тринадцятого і вісімнадцятого транзисторів, відповідно, та з базами двадцять другого та двадцять п'ятого транзисторів, відповідно, емітер дев'ятнадцятого транзистора з'єднано з шиною додатного живлення, з першим виходом першого джерела струму та з емітерами двадцять першого, тридцять першого, тридцять третього та тридцять сьомого транзисторів, відповідно, емітер двадцятого транзистора з'єднано з шиною від'ємного живлення, з другим виходом другого джерела струму та з емітерами двадцять шостого, тридцять другого, тридцять шостого та тридцять восьмого транзисторів, відповідно, бази дев'ятнадцятого і двадцятого транзисторів з'єднано з базами і колекторами двадцять першого і двадцять шостого транзисторів, відповідно, та з емітерами двадцять другого і двадцять п'ятого транзисторів, відповідно, колектори двадцять другого і двадцять п'ятого транзисторів з'єднано з колекторами двадцять третього і двадцять четвертого транзисторів, відповідно, а також з базами двадцять сьомого і тридцятого транзисторів, відповідно, емітери двадцять третього і двадцять четвертого транзисторів об'єднано, а їх бази з'єднано з емітерами двадцять сьомого і двадцять восьмого та тридцятого і двадцять дев'ятого транзисторів, відповідно, бази двадцять восьмого та двадцять дев'ятого транзисторів об'єднано і з'єднано з шиною нульового потенціалу, колектори двадцять сьомого і тридцятого транзисторів з'єднано з колекторами тридцять першого і тридцять другого транзисторів, відповідно, та з базами тридцять четвертого і тридцять п'ятого транзисторів, відповідно, колектори двадцять дев'ятого і двадцять восьмого транзисторів з'єднано з базами тридцять першого і тридцять другого транзисторів, відповідно, з базами і колекторами тридцять

третього і тридцять шостого транзисторів, відповідно, з базами тридцять сьомого і тридцять восьмого транзисторів, відповідно, а також з емітерами тридцять четвертого і тридцять п'ятого транзисторів, відповідно, та з колекторами тридцять сьомого і тридцять восьмого транзисторів, відповідно, колектори тридцять четвертого і тридцять п'ятого транзисторів об'єднано та з'єднано з колекторами і базами п'ятнадцятого і шістнадцятого транзисторів та з вихідною шиною, введено тридцять дев'ятий, сороковий, сорок перший та сорок другий транзистори, причому емітер тридцять дев'ятого транзистора з'єднано з емітером сорокового транзистора, колектор та базу тридцять дев'ятого транзистора з'єднано з колектором тридцять четвертого транзистора та базою сорок першого транзистора, колектор та базу сорокового транзистора з'єднано з колектором тридцять сьомого транзистора та базою сорок другого транзистора, емітер сорок першого транзистора з'єднано з емітером сорок другого транзистора, з вихідною шиною та з базами та колекторами п'ятнадцятого та шістнадцятого транзисторів, колектор сорок першого транзистора з'єднано з емітерами дев'ятнадцятого, двадцять першого, тридцять першого, тридцять третього, тридцять сьомого транзисторів, з першим джерелом живлення та з шиною додатного живлення, колектор сорок другого транзистора з'єднано з емітерами двадцятього, двадцять шостого, тридцять другого, тридцять шостого, тридцять восьмого транзисторів, з другим джерелом живлення та з шиною від'ємного живлення.

На кресленні наведено схему буфера напруги.

Буфер напруги містить вхідну шину 1, яку з'єднано з базами третього 5 і четвертого 6 транзисторів та з колекторами сьомого 10 і восьмого 11 транзисторів, емітери третього 5 і четвертого 6 транзисторів з'єднано з емітерами другого 4 і п'ятого 7 транзисторів, відповідно, колектори третього 5 і четвертого 6 транзисторів з'єднано з емітерами дванадцятого 15 та одинадцятого 14 транзисторів, відповідно, бази другого 4 і п'ятого 7 транзисторів з'єднано з базами і колекторами чотирнадцятого 17 і сімнадцятого 20 транзисторів, відповідно, з колекторами одинадцятого 14 і дванадцятого 15 транзисторів, відповідно, з емітерами тринадцятого 16 і вісімнадцятого 21 транзисторів, відповідно, з емітерами сьомого 10 і восьмого 11 транзисторів відповідно та з емітерами дев'ятого 12 і десятого 13 транзисторів, відповідно, колектор другого 4 транзистора з'єднано з емітером першого 3 транзистора, базу і колектор якого з'єднано з базою тринадцятого 16 транзистора та через перше 2 джерело струму з'єднано з шиною додатного живлення 47, з емітерами дев'ятнадцятого 22, двадцять першого 24, тридцять першого 35, тридцять третього 37 та тридцять сьомого 43 транзисторів, відповідно, та з колектором сорок першого транзистора 45, колектор п'ятого 7 транзистора з'єднано з емітером шостого 8 транзистора, базу і колектор якого з'єднано з базою вісімнадцятого 21 транзистора та через друге 9 джерело струму з'єднано з шиною від'ємного живлення 49, з емітерами двадцятього 23, двадцять шостого 29, тридцять другого 36, тридцять шостого 40 та тридцять восьмого 44 транзисторів, відповідно, та колектором сорок другого 46 транзистора, емітери чотирнадцятого 17 і сімнадцятого 20 транзисторів з'єднано з емітерами п'ятнадцятого 18 та шістнадцятого 19 транзисторів, відповідно, бази і колектори яких об'єднано і з'єднано з вихідною шиною 48 та з об'єднаними емітерами сорок першого 45 і сорок другого транзисторів 46, колектори дев'ятнадцятого 22 і двадцятього 23 транзисторів з'єднано з колекторами тринадцятого 16 і вісімнадцятого 21 транзисторів, відповідно, та з базами двадцять другого 25 та двадцять п'ятого 28 транзисторів, відповідно, бази дев'ятнадцятого 22 і двадцятього 23 транзисторів з'єднано з базами і колекторами двадцять першого 24 і двадцять шостого 29 транзисторів відповідно та з емітерами двадцять другого 25 і двадцять п'ятого 28 транзисторів, відповідно, колектори двадцять другого 25 і двадцять п'ятого 28 транзисторів з'єднано з колекторами двадцять третього 26 і двадцять четвертого 27 транзисторів, відповідно, а також з базами двадцять сьомого 31 і тридцятього 34 транзисторів, відповідно, емітери двадцять третього 26 і двадцять четвертого 27 транзисторів об'єднано, а їх бази з'єднано з емітерами двадцять сьомого 31 і двадцять восьмого 32 та тридцятього 34 і двадцять дев'ятого 33 транзисторів, відповідно, бази двадцять восьмого 32 та двадцять дев'ятого 33 транзисторів об'єднано і з'єднано з шиною нульового потенціалу 30, колектори двадцять сьомого 31 і тридцятього транзисторів 34 з'єднано з колекторами тридцять першого 35 і тридцять другого 36 транзисторів, відповідно, та з базами тридцять четвертого 38 і тридцять п'ятого 41 транзисторів, відповідно, колектори двадцять дев'ятого 33 і двадцять восьмого 32 транзисторів з'єднано з базами і колекторами тридцять третього 37 і тридцять шостого 42 транзисторів, відповідно, з базами і колекторами тридцять сьомого 43 і тридцять восьмого 44 транзисторів, відповідно, а також з емітерами тридцять четвертого 38 і тридцять п'ятого 41 транзисторів, відповідно, колектори тридцять четвертого 38 та тридцять п'ятого 41 транзисторів з'єднано з колекторами та базами тридцять дев'ятого 39 та сорокового 40 транзисторів та базами сорок першого 45 та сорок

другого 46 транзисторів, відповідно, емітери тридцять дев'ятого 39 та сорокового 40 транзисторів з'єднано.

Пристрій працює наступним чином.

Вхідний сигнал у вигляді напруги надходить на вхідну шину 1.

5 Якщо напруга має додатній потенціал, то третій 5 транзистор частково закривається, а четвертий 6 транзистор частково відкривається, при цьому емітерний струм третього 5 транзистора зменшується, а четвертого 6 транзистора збільшується, це призводить до зменшення емітерних струмів другого 4 і першого 3 транзисторів та збільшення емітерних струмів п'ятого 7 і шостого 8 транзисторів, відповідно, в свою чергу, це призводить до того, що збільшується базовий струм тринадцятого 16 транзистора та зменшується базовий струм вісімнадцятого 21 транзистора, що, в свою чергу, призводить до часткового відкривання тринадцятого 16 транзистора та збільшення його колекторного струму та часткового закривання вісімнадцятого 21 транзистора та зменшення його колекторного струму, відповідно. Надалі збільшення колекторного струму тринадцятого 16 транзистора призводить до збільшення базового струму і привідкривання двадцять сьомого 31 транзистора та збільшення його колекторного струму. Зменшення ж колекторного струму вісімнадцятого 21 транзистора призводить до зменшення базового струму і призакривання тридцятьох 34 транзистора та зменшення його колекторного струму. Збільшення колекторного струму двадцять сьомого 31 транзистора та зменшення колекторного струму тридцятьох 34 транзистора призводить до збільшення колекторного струму тридцять четвертого 38 транзистора та зменшення колекторного струму тридцять п'ятого 41 транзистора, відповідно, які, у свою чергу, передаються на вихідну шину 48.

Також вищезгадані збільшення базового струму тринадцятого 16 транзистора та зменшення базового струму вісімнадцятого 21 транзистора призводить до збільшення емітерного струму чотирнадцятого 17 транзистора та зменшення емітерного струму сімнадцятого 20 транзистора, відповідно, які, у свою чергу, передаються на вихідну шину 48 через п'ятнадцятий 18 та шістнадцятий 19 транзистори, відповідно, що, у свою чергу, також призводить до збільшення вихідної напруги на вихідній шині 48. Це триває до того часу, поки встановиться баланс напруг вхідної 1 та вихідної 48 шин, відповідно.

30 Якщо напруга на вхідній шині 1 має від'ємний потенціал, то третій 5 транзистор частково відкривається, а четвертий 6 транзистор частково закривається, при цьому емітерний струм третього 5 транзистора збільшується, а четвертого 6 транзистора зменшується, це призводить до збільшення емітерних струмів другого 4 і першого 3 транзисторів та зменшення емітерних струмів п'ятого 7 і шостого 8 транзисторів, відповідно, в свою чергу, це призводить до того, що зменшується базовий струм тринадцятого 16 транзистора та збільшується базовий струм вісімнадцятого 21 транзистора, що, в свою чергу, призводить до часткового закривання тринадцятого 16 транзистора та зменшення його колекторного струму та часткового відкривання вісімнадцятого 21 транзистора та збільшення його колекторного струму, відповідно. Надалі зменшення колекторного струму тринадцятого 16 транзистора призводить до зменшення базового струму і призакривання двадцять сьомого 31 транзистора та зменшення його колекторного струму. Збільшення ж колекторного струму вісімнадцятого 21 транзистора призводить до збільшення базового струму і привідкривання тридцятьох 34 транзистора та збільшення його колекторного струму. Зменшення колекторного струму двадцять сьомого 31 транзистора та збільшення колекторного струму тридцятьох 34 транзистора призводить до зменшення колекторного струму тридцять четвертого 38 транзистора та збільшення колекторного струму тридцять п'ятого 41 транзистора, відповідно, які у свою чергу передаються на вихідну шину 48.

Також вищезгадані зменшення базового струму тринадцятого 16 транзистора та збільшення базового струму вісімнадцятого 21 транзистора призводить до зменшення емітерного струму чотирнадцятого 17 транзистора та збільшення емітерного струму сімнадцятого 20 транзистора, відповідно, які, у свою чергу, передаються на вихідну шину 48 через п'ятнадцятий 18 та шістнадцятий 19 транзистори, відповідно, що, у свою чергу, також призводить до зменшення вихідної напруги на вихідній шині 48. Це триває до того часу, поки встановиться баланс напруг вхідної 1 та вихідної 48 шин відповідно.

55 Одинадцятий 14 та дванадцятий 15 транзистори забезпечують генерацію базових струмів, що передаються на вхідну шину 1 через відбивачі струму, які побудовано на сьомому 10, дев'ятому 12 та восьмому 11, десятому 13 транзисторах відповідно.

Одинадцятий 14 і дванадцятий 15 транзистори та відбивачі струму, які побудовано на сьомому 10, дев'ятому 12 та восьмому 11, десятому 13 транзисторах, відповідно, утворюють

генератор струму, що компенсує струм зміщення вхідного каскаду, який побудовано на третьому 5 та четвертому 6 транзисторах.

Перше 2 і друге 9 джерела струму задають робочі струми каскадів схеми. Через відбивачі струму, які побудовано на першому 3, другому 4, тринадцятому 16, чотирнадцятому 17 та шостому 8, п'ятому 7, вісімнадцятому 21, сімнадцятому 20 транзисторах, відповідно, забезпечується завдання режиму по постійному струму каскадів схеми та передача вхідного сигналу на проміжні підсилювальні каскади на двадцять сьомому 31 та тридцятому 34 транзисторах, відповідно, через відбивачі струму, які побудовано на дев'ятнадцятому 22, двадцять першому 24, двадцять другому 25 та двадцятим 23, двадцять п'ятому 28, двадцять шостому 29 транзисторах, відповідно.

Відбивачі струму, які побудовано на тридцять першому 35, тридцять третьому 37, тридцять четвертому 38 та тридцять другому 36, тридцять п'ятому 41, тридцять шостому 42 транзисторах, відповідно, забезпечують передачу сигналу з проміжних підсилювальних каскадів, що побудовано на двадцять сьомому 31 та тридцятому 34 транзисторах, відповідно, на вихідну шину 48.

Тридцять сьомий 43 і тридцять восьмий 44 транзистори у діодному вмиканні забезпечують завдання струму двонаправленого відбивача струму, який побудовано на двадцять третьому 26, двадцять четвертому 27, двадцять восьмому 32, двадцять дев'ятому 33 транзисторах, що забезпечує балансування базових струмів проміжних підсилювальних каскадів, які побудовано на двадцять сьомому 31 та тридцятому 34 транзисторах, відповідно.

П'ятнадцятий 18 та шістнадцятий 19 транзистори в діодному вмиканні забезпечують балансування виходу пристрою відносно до вхідного каскаду, який побудовано на третьому 5 та четвертому 6 транзисторах, відповідно.

Тридцять дев'ятий 39, сороковий 40, сорок перший 45 та сорок другий 46 транзистори являють собою двотактний вихідний підсилювальний каскад.

Шини додатного 47 і від'ємного живлення 49 та шина нульового потенціалу 30 забезпечують живлення пристрою.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

30

Буфер напруги, що містить шини додатного та від'ємного живлення, вхідну та вихідну шини, два джерела струму, вісімнадцять транзисторів, причому вхідну шину з'єднано з базами третього і четвертого транзисторів та з колекторами сьомого і восьмого транзисторів, емітери третього і четвертого транзисторів з'єднано з емітерами другого і п'ятого транзисторів, відповідно, колектори третього і четвертого транзисторів з'єднано з емітерами дванадцятого та одинадцятого транзисторів, відповідно, бази другого і п'ятого транзисторів з'єднано з базами колекторами чотирнадцятого і сімнадцятого транзисторів, відповідно, з колекторами одинадцятого і дванадцятого транзисторів, відповідно, з емітерами тринадцятого і вісімнадцятого транзисторів, відповідно, з емітерами сьомого і восьмого транзисторів, відповідно, та з емітерами дев'ятого і десятого транзисторів відповідно, колектор другого транзистора з'єднано з емітером першого транзистора, базу і колектор якого з'єднано з базою тринадцятого транзистора та з другим виводом першого джерела струму, перший вивід якого з'єднано з шиною додатного живлення, колектор п'ятого транзистора з'єднано з емітером шостого транзистора, базу і колектор якого з'єднано з базою вісімнадцятого транзистора та з першим виводом другого джерела струму, другий вивід якого з'єднано з шиною від'ємного живлення, емітери чотирнадцятого і сімнадцятого транзисторів з'єднано з емітерами п'ятнадцятого та шістнадцятого транзисторів, відповідно, бази і колектори яких об'єднано і з'єднано з вихідною шиною, який **відрізняється** тим, що введено двадцять транзисторів, шину нульового потенціалу, при цьому колектори дев'ятнадцятого і двадцятого транзисторів з'єднано з колекторами тринадцятого і вісімнадцятого транзисторів, відповідно, та з базами двадцять другого та двадцять п'ятого транзисторів, відповідно, емітер дев'ятнадцятого транзистора з'єднано з шиною додатного живлення, з першим виходом першого джерела струму та з емітерами двадцять першого, тридцять першого, тридцять третього та тридцять сьомого транзисторів, відповідно, емітер двадцятого транзистора з'єднано з шиною від'ємного живлення, з другим виходом другого джерела струму та з емітерами двадцять шостого, тридцять другого, тридцять шостого та тридцять восьмого транзисторів, відповідно, бази дев'ятнадцятого і двадцятого транзисторів з'єднано з базами і колекторами двадцять першого і двадцять шостого транзисторів, відповідно, та з емітерами двадцять другого і двадцять п'ятого транзисторів, відповідно, колектори двадцять другого і двадцять п'ятого транзисторів з'єднано з колекторами двадцять третього і двадцять четвертого транзисторів, відповідно, а також з

60

базами двадцять сьомого і тридцятого транзисторів, відповідно, емітери двадцять третього і двадцять четвертого транзисторів об'єднано, а їх бази з'єднано з емітерами двадцять сьомого і двадцять восьмого та тридцятого і двадцять дев'ятого транзисторів, відповідно, бази двадцять восьмого та двадцять дев'ятого транзисторів об'єднано і з'єднано з шиною нульового потенціалу, колектори двадцять сьомого і тридцятого транзисторів з'єднано з колекторами тридцять першого і тридцять другого транзисторів, відповідно, та з базами тридцять четвертого і тридцять п'ятого транзисторів, відповідно, колектори двадцять дев'ятого і двадцять восьмого транзисторів з'єднано з базами тридцять першого і тридцять другого транзисторів, відповідно, з базами і колекторами тридцять третього і тридцять шостого транзисторів, відповідно, з базами тридцять сьомого і тридцять восьмого транзисторів, відповідно, а також з емітерами тридцять четвертого і тридцять п'ятого транзисторів, відповідно, та з колекторами тридцять сьомого і тридцять восьмого транзисторів, відповідно, колектори тридцять четвертого і тридцять п'ятого транзисторів об'єднано та з'єднано з колекторами і базами п'ятнадцятого і шістнадцятого транзисторів та з вихідною шиною.

