

АПАРАТНА РЕАЛІЗАЦІЯ ЧІФП ЗІ ЗМІННОЮ РОЗРЯДНІСТЮ ТА ОЦІНКА ШВИДКОДІЇ

¹Національний університет «Львівська політехніка»

Відомо багато різних типів перетворювачів число-імпульсного коду (ЧІК), які працюють у реальному масштабі часу за приростами аргументу, тобто результат (значення функції) формується за час надходження кожного вхідного імпульсу.

Актуальність розробки число-імпульсних функціональних перетворювачів (ЧІФП) зі змінною розрядністю, які в багатьох роботах ще називають біт-потокowymi пристроями, останнім часом зумовлена тенденцією розвитку інтелектуальних сенсорів і перенесенням первинних перетворень вимірювальної інформації максимально близько до них

Сигнали сенсорів часто представлені число-імпульсним кодом (ЧІК), тобто в біт-потокowej формі, що допускає реальне функціональне перетворення в цифровій елементній базі зі застосуванням операцій ділення/множення, які замінюються додаванням /відніманням.

В роботі подані результати проектування ЧІФП зі змінною розрядністю, які відрізняються поліпшеними метрологічними характеристиками в порівнянні з відомими пристроями, які вирішують аналогічні завдання .

Як результат дослідження описано варіант реалізації ЧІФП зі змінною розрядністю пристрою для ділення число-імпульсного коду на паралельний код, що може працювати в двійковій і двійково-десятьковій системах числення на ПЛІС. Проведено оцінку його часових характеристик і апаратних витрат, що підтверджує ефективність використаного принципу змінної розрядності.

Часовий аналіз реалізованих пристроїв на ПЛІС проводиться з урахуванням точності їхнього перетворення і динамічного діапазону.

Особливістю побудови пристроїв за принципом зі змінною розрядністю є можливість простого нарощування розрядності структурних елементів, а отже, розширення динамічного діапазону за вхідним ЧІК теоретично відбувається в будь-яких заданих межах.

Тому доцільно визначати швидкодію ЧІФП залежно від їхнього динамічного діапазону за вхідним ЧІК за фіксованих (заданих) інших метрологічних характеристик до початку їхньої фізичної реалізації.

Ключові слова: число-імпульсні функціональні перетворювачі, біт-потокowej пристрої, динамічний діапазон, ПЛІС, швидкодія.

Вступ

У зв'язку з розвитком інтелектуальних сенсорів, різноманітних пристроїв для вимірювань, засобів робототехніки та Інтернету речей і відповідно потреби в обробленні результатів вимірювання в реальному часі активно розробляються біт-потокowej пристрої (БПП). Це підтверджується науковими публікаціями [1]—[4]. Значний прогрес у розвитку технологій виготовлення, зменшення енергоспоживання, вдосконалення самих базових вузлів, можливостей бездротової передачі інформації зумовило тенденцію перенесення первинних перетворень вимірювальної інформації максимально близько до вузлів її отримання.

ЧІФП зі змінною розрядністю саме і призначені для вирішення згаданих проблем, про що свідчать численні експерименти, отримані й опубліковані результати [5].

Наразі велика кількість сенсорів подає вихідний сигнал у частотній або широтно-імпульсно-модульованій (ШІМ) формі за рахунок або попереднього перетворення вимірюваної величини в потік імпульсів єдиної амплітуди [3], або спеціалізованих перетворювачів аналогового сигналу в частотну форму [4]. Такі число-імпульсні, або «квазіцифрові» сигнали мають проміжне положення

між цифровими та аналоговими і допускають роботу з використанням аналогових принципів на цифровій елементній базі [5].

ЧФП зі змінною розрядністю є цифровими і здійснюють вимірвальну обробку бітових потоків без зміни форми представлення інформації. В процесі обробки одиничних бітів ЧФП реалізують перетворення в базі виконання простих операцій, що забезпечує при цьому високу надійність [1].

На відміну від робіт [5], [6], в яких описано математичні принципи реалізації обчислювального процесу та структурної організації ЧФП, у цій роботі описано результати проектування ЧФП зі ЗР, викладені аспекти їхньої апаратної реалізації.

Реалізовані в роботі пристрої для ділення також широко використовуються в різних вимірвальних приладах. При цьому в одних випадках результат перетворення необхідно мати у двійковому коді, а в других — у двійково-десятковому. Таким чином, з погляду універсальності засобів обробки, актуальною є задача практичної реалізації дільників, що працюють у двох системах числення.

Метою дослідження є оцінка апаратних витрат та швидкодії ЧФП зі змінною розрядністю на прикладі пристрою для ділення, реалізованого на ПЛІС.

Результати дослідження

Швидкодія ЧФП, як і будь-яких інших цифрових пристроїв, може бути приблизно визначена в процесі проектування з допомогою САПР для ПЛІС або аналітично. В останньому випадку, який використовується для відносно простих структур, необхідно враховувати як внутрішню побудову елементів схем, так і послідовність їхнього спрацювання. При цьому, певні ускладнення можуть виникнути у разі оцінки швидкодії пристроїв з ДЗЗ, оскільки імпульси зворотного зв'язку повинні бути «розміщені» між вхідними імпульсами [5].

В роботі [6] оцінено швидкодію базових елементів ЧФП, двійкового помножувача (ДП) і помножувача на накопичувальному суматорі (ПНС), з допомогою системи автоматичного проектування ПЛІС. Як основний параметр, що характеризує швидкодію ПНС і ДП вибрано час t_3 — максимально можливий інтервал часу між зрізом вхідних імпульсів і моментом зміни сигналу p . Отримані результати досліджень, що проводилися для базових вузлів ЧФП, котрі є основою для побудови складних пристроїв, дозволили переконатися у можливості використання цієї методики для оцінювання швидкодії ЧФП зі змінною розрядністю на прикладі пристрою для ділення.

Для реалізації використано ПЛІС серії Virtex-E, виготовлену на основі FPGA технології — базових матричних кристалах, що перепрограмуються користувачем. Серія Virtex-E може працювати на системній частоті 160 МГц та на внутрішній частоті 357 МГц.

Загальна структура ЧФП зі ЗР розглянута в роботі [1]. Ці пристрої вигідно відрізняються від інших можливістю простого розширення діапазонів вхідних величин, яке забезпечується використанням в їхній роботі принципу змінної розрядності. В роботі реалізовано нову модифікацію, оптимальну з погляду мікросхемної реалізації, організації фіксації кількості розрядів, задіяних в роботі пристрою для кожного піддіапазону дільника.

На рис. 1 показана структурна схема пристрою для ділення. В його склад входять: схема віднімання СВ, регістри Rg1—Rg3, керовані комбінаційні суматори КС1 і КС2, перетворювачі кодів ПК1 і ПК2, логічний елемент І, логічна схема ЛС і керований лічильник ЛЧ.

У двійковій системі числення пристрій працює таким чином.

Перед початком роботи регістр Rg3 і лічильник Лч встановлюються в початковий стан, в регістр Rg2 записується початкове число, а схема СВ устанавлюється в стан, за якого вона пропускає імпульси з входу пристрою ділення (число-імпульсного коду) на свій вихід. Керувальний сигнал, що надходить на вхід вибору системи числення, встановлює комбінаційні суматори КС1, КС2 і лічильник ЛЧ в режим, за якого вони працюють у двійковому коді.

У піддіапазоні

$$2^k \leq y \leq 2^{k+1} - 1, \quad (1)$$

де y — паралельний код дільника, що фіксується в регістрі Rg1; $k = 0, 1, 2, \dots, m$; m — кількість двійкових розрядів КС1 і Rg2 (кількість двійкових розрядів Rg1 дорівнює $m + 1$).

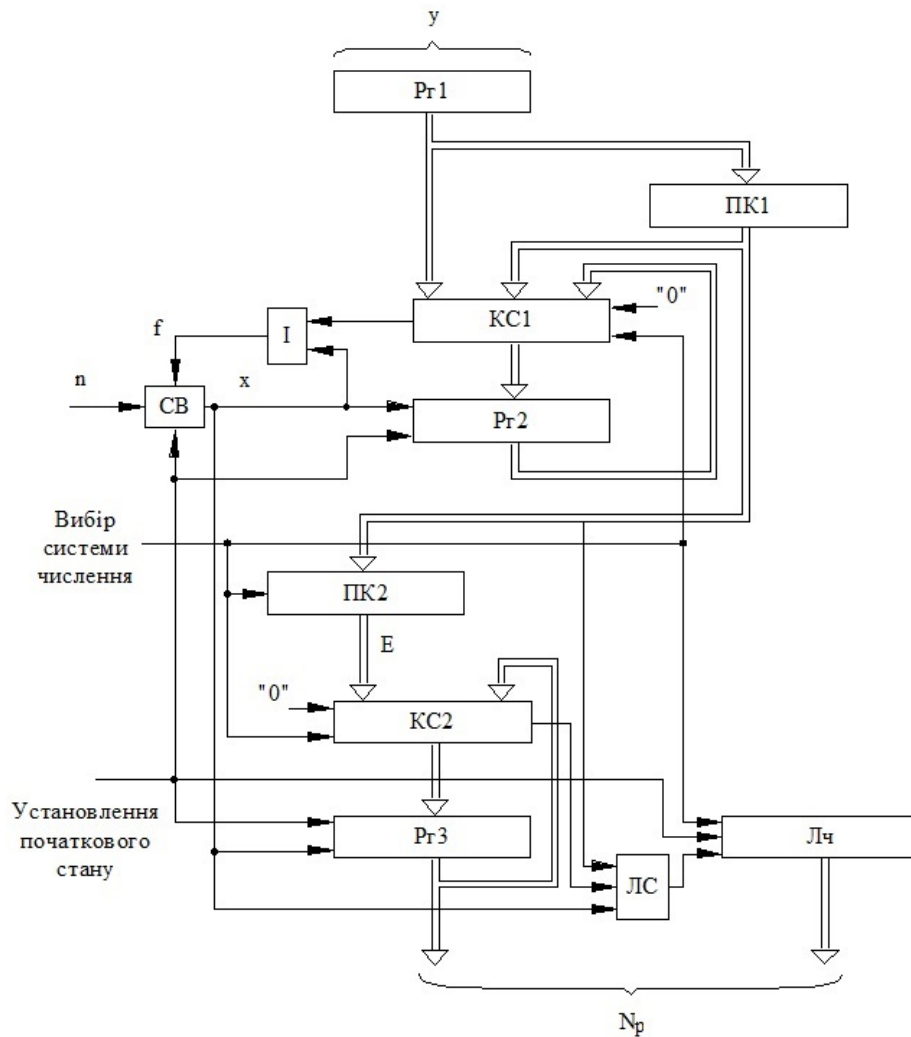


Рис. 1. Структурна схема пристрою для ділення

КС1 працює як k -розрядний комбінаційний суматор, тобто сигнал на його виході переносу виникає за умови

$$y_k + \phi_k \geq 2^k, \quad (2)$$

де ϕ_k — число в k молодших розрядах $Pr2$, а

$$y_k = y - 2^k, \quad (3)$$

де y_k — число в k молодших розрядах $Pr1$.

Зміна розрядності КС1 забезпечується багаторозрядним сигналом, що формується на виходах перетворювача кодів ПК1 в залежності від значення k .

КС1, $Pr2$ і логічний елемент І функціонують як k -розрядний нагромаджувальний суматор. В [1] доведено, що така схема реалізує функцію

$$N_p \cong \frac{n}{y}. \quad (4)$$

Як випливає з виразу (1) і способу задання k , пристрій забезпечує реалізацію ділення (4) в діапазоні

$$2^m \leq y \leq 2^{m+1} - 1. \quad (5)$$

Робота пристрою в двійково-десятьковому коді забезпечується подачею на його керувальний вхід відповідного сигналу. При цьому комбінаційні суматори КС1, КС2 і лічильник Лч працюють в двійково-десятьковому коді.

В процесі роботи в двійково-десятьковому коді пристрій забезпечує виконання операції ділення, згідно з рівняння (4), в діапазоні

$$10^r \leq y \leq 2 \cdot 10^r - 1. \quad (6)$$

Розглянутий ЧФП зі ЗР спроектовано в цифровій елементній базі, яка не вимагає застосування спеціалізованих множників, тому може бути реалізованою в ПЛІС як CPLD, так і FPGA.

Компіляція проекту, виконана в САПР Xilinx ISE WebPack (version 8.2i), підтвердила правильність розробленої математичної моделі, синтезованість програмного опису. Схема ЧФП зі ЗР пристрою для ділення в середовищі САПР показана на рис. 2.

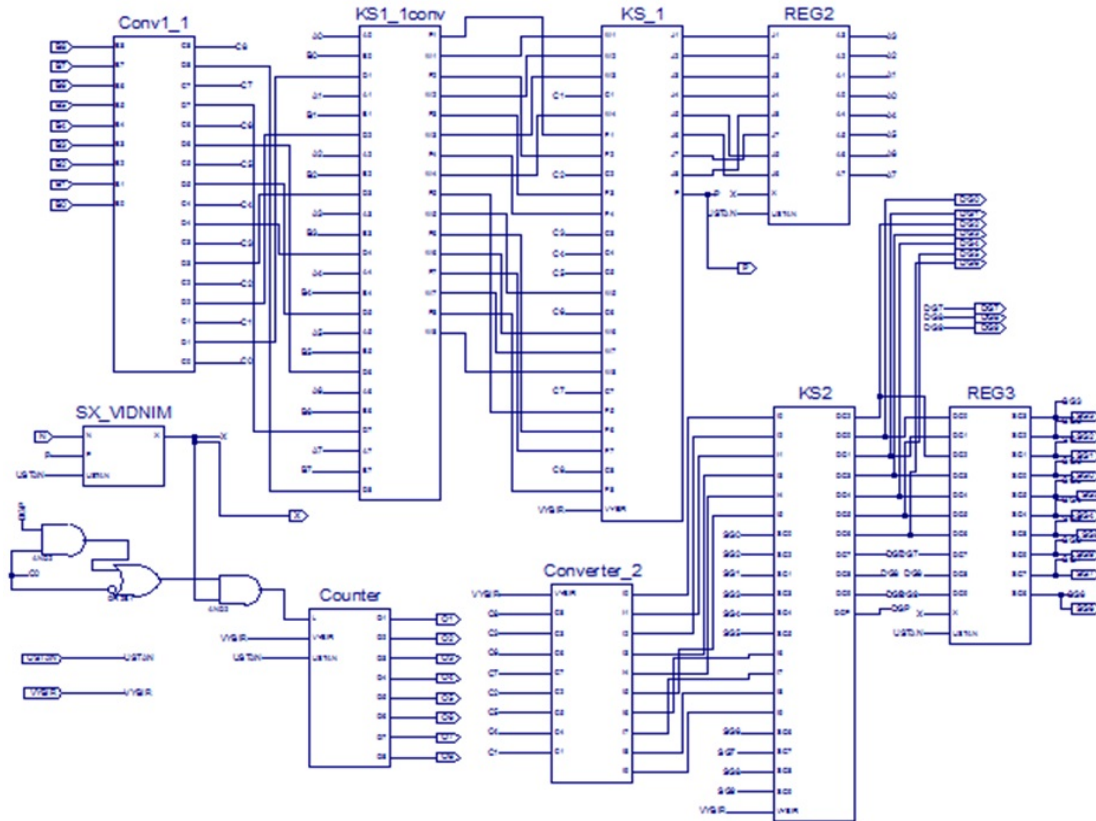


Рис. 2. Схема пристрою для ділення в САПР Xilinx ISE WebPack

Проведена симуляція проекту з урахуванням часових затримок, отриманих за результатами компіляції проекту в САПР Xilinx ISE WebPack. Апаратні витрати мікросхеми сімейства Virtex II, необхідні для реалізації проекту, подані в таблиці.

Апаратні витрати та результати симуляції проекту з урахуванням часових затримок

Використання логічних елементів	Задіяно, шт	Всього, шт	Відсоток використання, %
Пристрій для ділення (8 розрядів)			
Кількість тригерних логічних блоків	27	64896	0,041
Кількість конфігураційно-логічних блоків	86	64896	0,13
Кількість БВВ	41	804	5
Макс. частота тактових імпульсів, F _{вх.макс.}	11 МГц		
Пристрій для ділення (16 розрядів)			
Кількість тригерних логічних блоків	34	64896	0,5
Кількість конфігураційно-логічних блоків	172	64896	2,65
Кількість БВВ	80	804	10
Макс. частота тактових імпульсів, F _{вх.макс.}	5,7 МГц		

Аналіз часових характеристик проводився з урахуванням правильності функціонування пристрою відповідно до результатів математичної моделі, дослідженої в роботі [1]. А саме проводилася перевірка фіксації результатів у вихідних регістрах. Максимально допустимі значення частоти вхідних імпульсів встановлено експериментально. Для цього проводилася зміна тривалості періоду

ду вхідних імпульсів доки в схемі не з'явилися перегони сигналів. Отримані результати, показані на рис. 3а та рис. 4. Важливим структурним елементом для аналізу швидкодії є схема віднімання. Приклад її роботи показано на рис. 4.

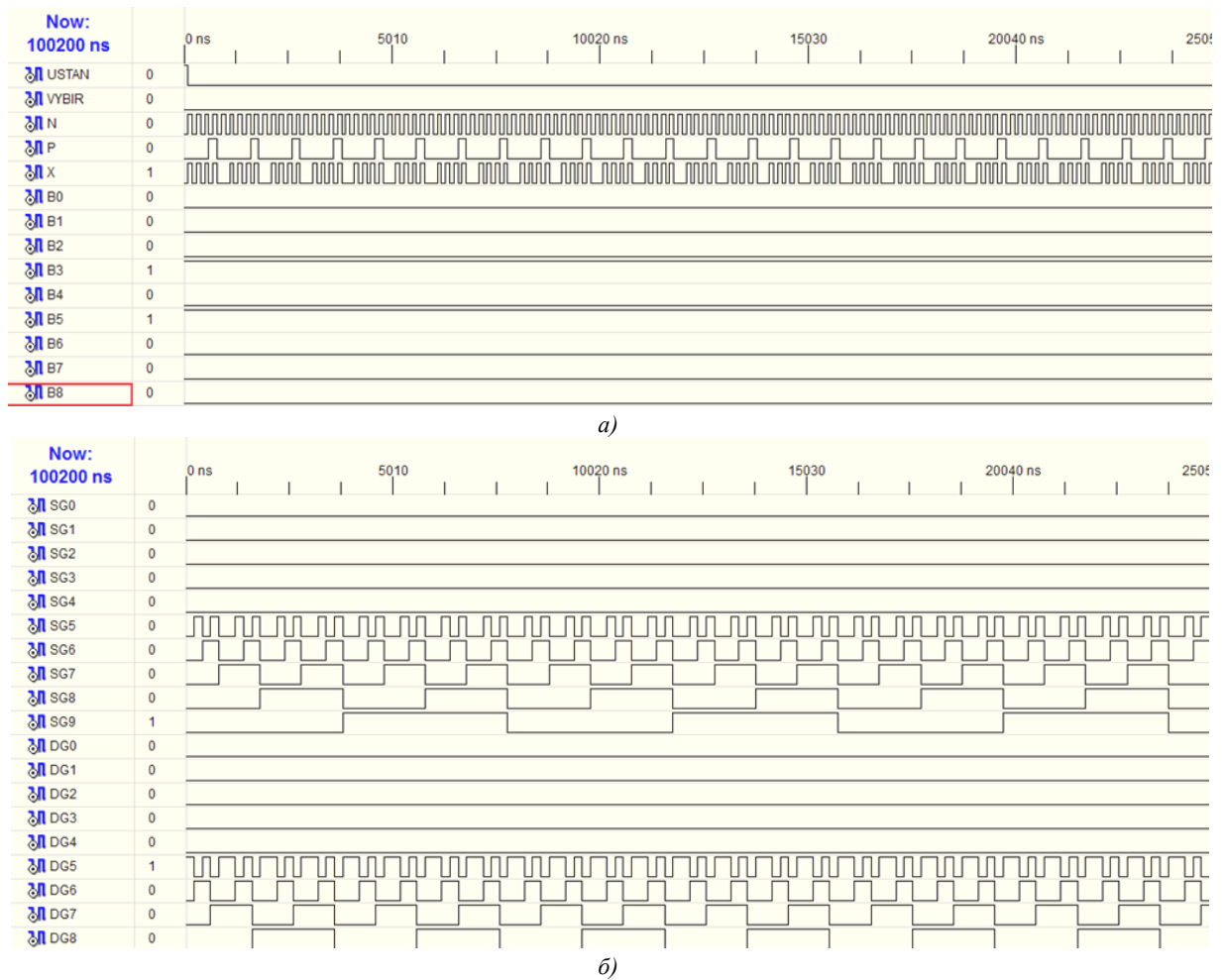


Рис 3. Результат функціонального моделювання пристрою для ділення: а — вхідні сигнали, б — вихідні сигнали

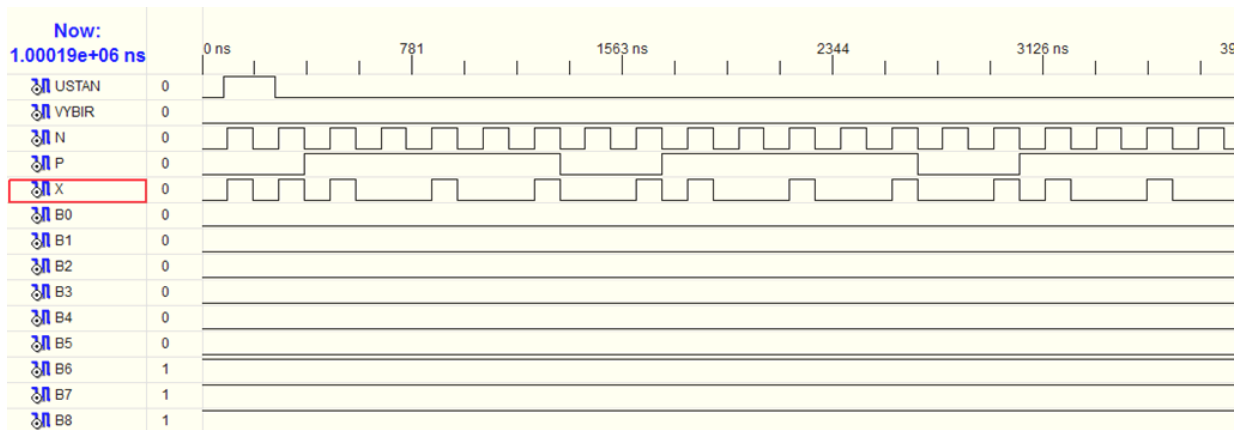


Рис. 4. Приклад роботи схеми віднімання

Отримані результати підтверджують попередньо отримані теоретичні результати [1], [5], та експериментально доводять, що швидкодія перетворювача визначається характером імпульсного зворотного зв'язку і швидкодією його окремих блоків: накопичувальних суматорів, лічильників, перетворювачів кодів. Це пояснюється тим, що швидкодія пристроїв зі зворотними зв'язками визначається кількістю імпульсів в колі зворотного зв'язку, що відповідають одному вхідному імпульсу. Розглянутий перетворювач працює за принципом змінної розрядності таким чином, що кожен вхідний імпульс може спричинити не більше одного імпульсу в колі 33.

Висновки

В роботі реалізовано число-імпульсний функціональний перетворювач зі змінною розрядністю на прикладі пристрою для ділення число-імпульсного коду на паралельний код, що може працювати у двійковій і двійково-десятковій системах числення на ПЛІС з оцінкою його часових характеристик і апаратних витрат. Аналіз пристрою проведено з урахуванням точності перетворення та динамічного діапазону, що підтверджує ефективність використаного принципу змінної розрядності.

СПИСОК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ

- [1] В. Б. Дудикевич, В. М. Максимович, і Р. Д. Баран, «Пристрій для ділення, що працює в двох системах числення,» *Вісник ДУ «Львівська політехніка», серія Автоматика, вимірювання та керування*, № 389, с. 131-136, 2000.
- [2] О. І. Буреньова, А. Д. Мілакін, і С. Е. Миронов, «Архітектура та структурно-топологічні особливості біт-потоків пристроїв,» *Проблеми розробки перспективних мікро-і нано-електронних систем*, № 3, с. 122-129, 2021.
- [3] F. Zhou, and Y. Chai, “Near-sensor and in-sensor computing,” *Nature Electronics*, vol. 3 (11), pp. 664–671, 2020.
- [4] M. H. Najafi, S. R. Faraji, K. Bazargan, and D. Lilja, “Energy-efficient pulse-based convolution for near-sensor processing,” 2020 *IEEE International Symposium on Circuits and Systems (ISCAS)*. Seville: IEEE, 2020, pp. 1-5. <https://doi.org/10.1109/ISCAS45731.2020.9181248>.
- [5] В. Б. Дудикевич, В. М. Максимович, і Л. В. Мороз, *Число-імпульсні функціональні перетворювачі з імпульсними зворотними зв'язками*, моногр. Львів, Україна: Національний університет «Львівська політехніка», 2011, 244 с.
- [6] В. М. Максимович, В. В. Клименко, і О. М. Лопчак, «Оцінка швидкодії число-імпульсних функціональних перетворювачів,» *Вісник НУ «Львівська політехніка», серія Автоматика, вимірювання та керування*, № 420, с. 57-66, 2001.

Рекомендована кафедрою захисту інформації ВНТУ

Стаття надійшла до редакції 4.06.2024

Дудикевич Валерій Богданович — д-р техн. наук, професор кафедри захисту інформації, e-mail: valerii.b.dudykevych@lpnu.ua ;

Баран Роман Дмитрович — старший викладач кафедри автоматизованих систем управління, e-mail: roman.d.baran@lpnu.ua .

Національний університет «Львівська політехніка», Львів

V. B. Dudykevych¹
R. D. Baran¹

Hardware Implementation of Number-Pulse with Bits Variability and Rate Evaluation

¹Lviv Polytechnic National University

There are many different types of number-pulse code converters operating in real time, in which the result is formed during the arrival time of each input pulse.

The relevance of the development of number-pulse functional converters with variable bit rate, which in many works are also called bit-stream devices, has recently been due to the development trend of intelligent sensors and the transfer of primary transformations of measurement information as close as possible to them.

Sensor signals are often represented by pulse-number code, that is, in bit-stream form, which allows real functional transformation in a digital element base.

The paper presents the design results of number-pulse functional converters with variable bit rate, which differ in better metrological characteristics compared to known devices.

As a result, a version of the implementation of number-pulse functional converters with a variable bit rate device for dividing the number-pulse code into a parallel code that can work in binary and binary-decimal counting systems on the FPGA is presented. An assessment of its time characteristics and hardware costs was carried out, which confirms the effectiveness of the used principle of variable bit rate.

Time analysis of implemented devices on the FPGA was carried out taking into account the accuracy of their transformation and dynamic range.

A feature of the construction of devices based on the variable bit rate principle is the possibility of simply increasing the bit rate of structural elements. The expansion of the dynamic range on the input digital-pulse code occurs within theoretically any given limits.

Therefore, it is advisable to determine the speed of digital-pulse functional converters depending on their dynamic range according to the input digital-pulse code with fixed (given) other metrological characteristics before the start of their physical implementation.

Keywords: number-pulse function converters, bit-stream devices, dynamic range, FPGA, speed.

Dudykevych Valeriy B. — Dr. Sc. (Eng.), Professor of the Department of Information Protection, e-mail: valerii.b.dudykevych@lpnu.ua;

Baran Roman D. — Senior lecturer of the Department of Automated Management Systems, e-mail: roman.d.baran@lpnu.ua