

УДК 681.325.2

Н. І. Заболотна, к. т. н., доц.;

О. В. Дроненко, студ.

ОПТОЕЛЕКТРОННИЙ ВИСОКОПРОДУКТИВНИЙ СПЕЦПРОЦЕСОР МАТРИЧНИХ ОБЧИСЛЕНЬ В СИСТЕМАХ АВТОМАТИЧНОГО ОБРОБЛЕННЯ ЗОБРАЖЕНЬ

Розглянуто можливість застосування блочного методу множення матриць для реалізації паралельного матричного спецобчислювача. Запропоновано математичну модель операції блочного множення матриць, в результаті просторово-часового відображення на паралельну структуру. Запропоновано структурну організацію оптоелектронного спецпроцесора для паралельного множення бінарних матриць.

Необхідність швидкого оброблення великорозмірних інформаційних масивів виникає в системах автоматичного оброблення даних, отриманих за аерокосмічними знімками, при обробленні багатоканальних електричних сигналів, отриманих за допомогою сейсмічних, акустичних і радіолокаційних станцій, в автоматичних системах технічного зору. Чільне місце серед таких задач займає задача оптимального керування динамічними об'єктами в автоматичних системах оброблення зображень, ефективний розв'язок яких пов'язують з розв'язанням квадратичних матричних рівнянь. Одним з найсучасніших перспективних методів розв'язання великорозмірних рівнянь є метод, орієнтований на оптоелектронні способи обчислень та засоби обробки великорозмірних масивів даних — матриць, адекватних оптичним цифровим зображенням [2].

Оскільки операція множення матриць є базовою для широкого кола алгоритмів обробки сигналів і зображень, а зокрема і вирішення квадратичних матричних рівнянь, то з цієї точки зору оптичні матричні обчислювальні пристрої, що реалізують дану операцію, представляють особливий інтерес. На сьогодні відомі структурні рішення спеціалізованих оптоелектронних спецпроцесорів для виконання окремих матричних операцій, зокрема і множення матриць розмірністю $N \times N$.

Проте нагальною є потреба удосконалення наявних оптоелектронних методів та пристроїв паралельного множення матриць з метою підвищення продуктивності обчислень за рахунок збільшення розмірності вхідного зображення.

Наприклад, матричний спецпроцесор для множення матриць-картин оптичних зображень [1] теоретично дає можливість обробляти розширені функціональні масиви будь-якої розмірності $N \times N$. При цьому має досить високі часові характеристики і значну ступінь паралелізму. Але існують обмеження практичної реалізації пристрою, що пов'язані з технологічними проблемами виготовлення багатовимірних вузлів з паралельним введенням-виведенням. На сьогоднішній день відсутні технологічні розробки, що дозволили б практично створити оптоелектронний спецпроцесор для множення квадратних матриць, який би відповідав сучасним вимогам, що висуваються до спецобчислювачів. Адже, на даний момент найбільшою оптоелектронною матрицею елементів $\&$ є матриця фірми Lens Led, і її розмірність 256×256 елементарних комірок. Спроби побудови процесорів для оброблення зображень більшої розмірності шляхом тиражування оброблюваного пристрою приводять до значного ускладнення блока управління, що веде за собою зменшення надійності системи, та можливого збільшення часу виконання всього процесу.

Проблему розширення функціональних можливостей та підвищення продуктивності обчислення цифрового розрядно-зрізового оптоелектронного спецпроцесора для обчислення добутку матриць можна вирішити за рахунок збільшення розмірності вхідних матриць, застосовуючи паралельний блочний метод обробки матриць на основі оптичних цифрових обчислень.

Нехай дана деяка матриця A

$$A = \begin{bmatrix} a_{11} & a_{12} & \cdots & a_{1l} \\ a_{21} & a_{22} & \cdots & a_{2l} \\ \vdots & \vdots & & \vdots \\ a_{s1} & a_{s2} & \cdots & a_{sl} \end{bmatrix}. \quad (1)$$

Розіб'ємо її на матриці нижчих порядків — блоки, тоді матрицю A можна розглядати як складну матрицю, елементами якої є блоки

$$A = \begin{bmatrix} A_{11} & A_{12} & \cdots & A_{1j} \\ A_{21} & A_{22} & \cdots & A_{2j} \\ \vdots & \vdots & & \vdots \\ A_{i1} & A_{i2} & \cdots & A_{ij} \end{bmatrix}. \quad (2)$$

Відповідно кожен блок має вигляд

$$A_{ij} = \begin{bmatrix} a_{i1} & a_{i2} & \cdots & a_{ir} \\ a_{21} & a_{22} & \cdots & a_{2r} \\ \vdots & \vdots & & \vdots \\ a_{p1} & a_{p2} & \cdots & a_{pr} \end{bmatrix}, \quad (3)$$

де $i = \overline{1, M}$, $j = \overline{1, M}$, $p = \overline{1, M}$, $r = \overline{1, M}$, а відповідно $l = \overline{1, M \times N}$, $s = \overline{1, M \times N}$

Зручність блочних матриць полягає в тому, що дії над ними здійснюються формально за тими ж правилами, що й над звичайними матрицями.

Для реалізації операції множення блочним методом матриці A та B розбиваються на блоки, які також є матрицями і які між собою конформні. Тоді результатом множення буде матриця блоків C

$$C = \begin{bmatrix} C_{11} & C_{12} & \cdots & C_{1j} \\ C_{21} & C_{22} & \cdots & C_{2j} \\ \vdots & \vdots & & \vdots \\ C_{i1} & C_{i2} & \cdots & C_{ij} \end{bmatrix}, \quad (4)$$

де $C_{ij} = A_{i1}B_{1j} + A_{i2}B_{2j} + \dots + A_{ij}B_{ij}$.

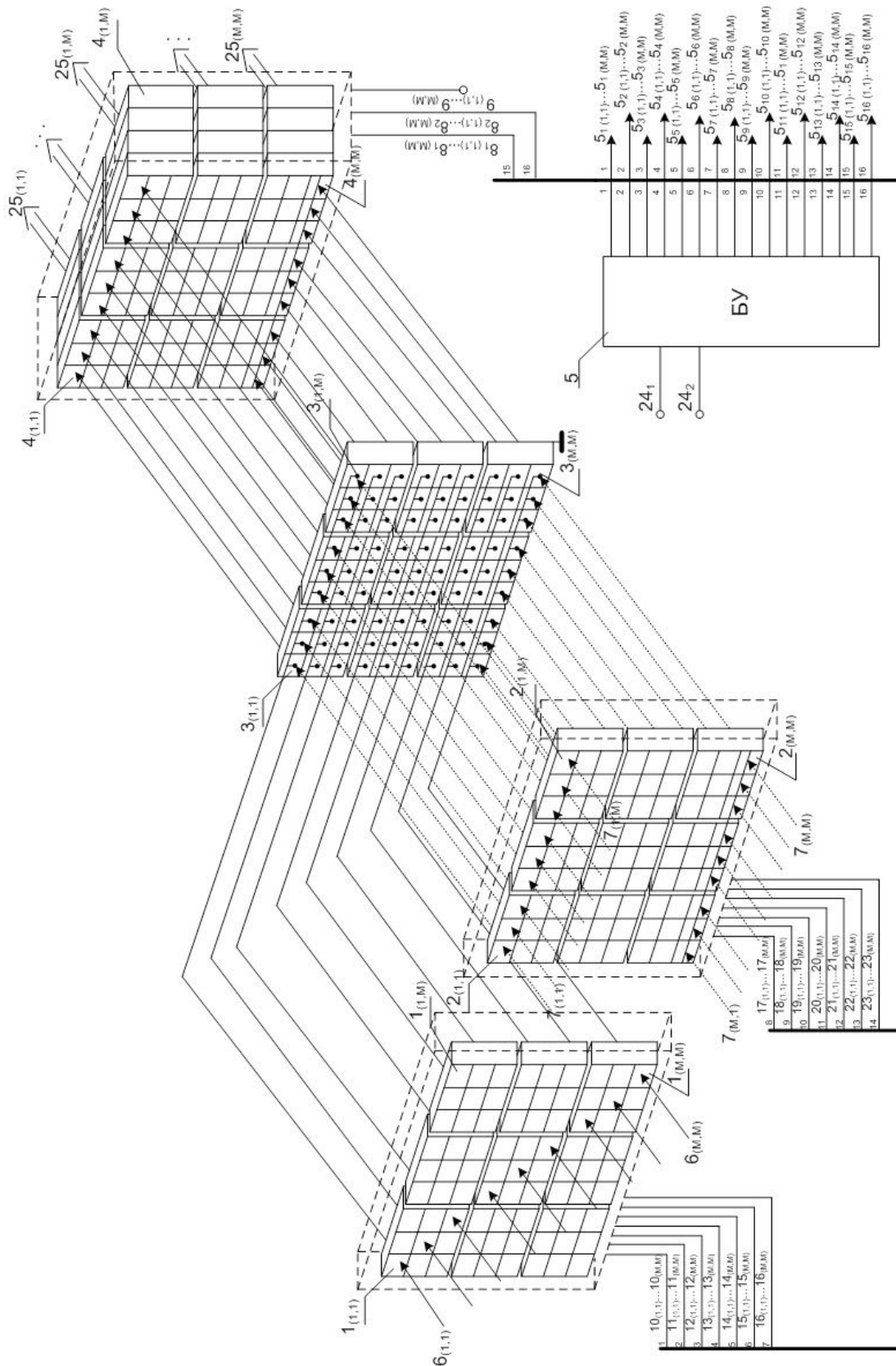
Застосовуючи принципи природного паралелізму оптичних обчислень до описаного вище класичного алгоритму блочного множення матриць, розроблено математичну модель операції множення матриць, яка має вигляд

$$C(\alpha, \beta, T, t) = \sum_{T=0}^{M-1} \sum_{t=0}^{N-1} \varphi_b^{\leftarrow q=T} \left(R \varphi_b^{\leftarrow q=t} (A_{(\alpha)}) \wedge E \right) \wedge E_b \wedge \varphi_b^{\uparrow q=T} \left(\varphi_b^{\uparrow q=t} (B_{(\beta)}) \right), \quad (5)$$

де t — номер часового відліку для операцій в блоках; T — номер часового відліку для операцій над блоками; R — оператор тиражування виділених діагональних елементів; $\varphi_b^{\leftarrow q=T}$, $\varphi_b^{\uparrow q=T}$ — операція зсуву на q блоків відповідно вліво і вгору; $\varphi_b^{\leftarrow q=T}$, $\varphi_b^{\uparrow q=T}$ — операція зсуву на q елементів відповідно вліво і вгору в блоках; E_b — оператор вибору діагональних блоків; E — оператор вибору діагональних елементів блока.

В результаті просторово-часового відображення отриманої математичної моделі блочного множення матриць на паралельну структуру, розроблено структурну організацію оптоелектронного спецпроцесора для паралельного множення бінарних матриць розмірністю $M \cdot N \times N \cdot M$ на основі оптичного розрядно-зрізового кодування та цифрового часового інтегрування (ЦЧІ).

Отже, запропоновано пристрій для множення квадратних бінарних матриць картин зображень із застосуванням блочного методу (рис.).



Структурно-функціональна схема пристрою для блочного множення квадратних матриць

Пристрій містить першу матрицю блоків $1_{(1,1)} \dots 1_{(M, M)}$ і другу матрицю блоків $2_{(1,1)} \dots 2_{(M, M)}$ двовимірних паралельних регістрів зсуву, паралельні оптичні входи яких є відповідно матрицею перших $6_{(1,1)} \dots 6_{(M, M)}$ і других $7_{(1,1)} \dots 7_{(M, M)}$ паралельних оптичних входів пристрою. Паралельні виходи

пов'язані відповідно з першим і другим паралельними входами матриці блоків множення $3_{(1,1)} \dots 3_{(M, M)}$, які виконано у вигляді матриці логічних елементів І, кожна з яких оптично зв'язана своїм входом з паралельним оптичним входом відповідного блока з матриці картинних накопичувальних суматорів $4_{(1,1)} \dots 4_{(M, M)}$. Входи $8_{(1,1)} \dots 8_{(M, M)}$ встановлення нуля і входи $9_{(1,1)} \dots 9_{(M, M)}$ дозволу лічби матриці блоків картинних накопичувальних суматорів $4_{(1,1)} \dots 4_{(M, M)}$ пов'язані відповідно з тринадцятим 5_{15} і чотирнадцятим 5_{16} виходами блока керування 5. Перші сім $5_1 \dots 5_7$ і другі сім $5_8 \dots 5_{14}$ виходи блока керування 5 пов'язані з відповідними сімома керуючими входами кожного з блоків першої матриці $1_{(1,1)} \dots 1_{(M, M)}$ паралельних двовимірних регістрів зсуву $10_{(1,1)}$, $11_{(1,1)}$, $12_{(1,1)}$, $13_{(1,1)}$, $14_{(1,1)}$, $15_{(1,1)}$, $16_{(1,1)} \dots 10_{(M, M)}$, $11_{(M, M)}$, $12_{(M, M)}$, $13_{(M, M)}$, $14_{(M, M)}$, $15_{(M, M)}$, $16_{(M, M)}$ і кожного з блоків другої матриці паралельних двовимірних регістрів зсуву $17_{(1,1)}$, $18_{(1,1)}$, $19_{(1,1)}$, $20_{(1,1)}$, $21_{(1,1)}$, $22_{(1,1)}$, $23_{(1,1)} \dots 17_{(M, M)}$, $18_{(M, M)}$, $19_{(M, M)}$, $20_{(M, M)}$, $21_{(M, M)}$, $22_{(M, M)}$, $23_{(M, M)}$. Перший і другий входи блока керування 5 є відповідно входом 21_1 вибору функціонального перетворення пристрою і входом 21_1 запуску пристрою. $(k+1)$ паралельні оптичні виходи $25_{(1,1)0} \dots 25_{(M, M)0}$, $25_{(1,1)1} \dots 25_{(M, M)1}$, \dots , $25_{(1,1)k} \dots 25_{(M, M)k}$ матриці блоків картинних накопичувальних суматорів $4_{(1,1)} \dots 4_{(M, M)}$ є картинними оптичними виходами пристрою.

Розглянемо принцип роботи пристрою спрощено, без врахування конкретної реалізації основних вузлів.

Нехай маємо матрицю блоків $A = [a_{ij}(p, r)]$, яку множимо на матрицю комірок $B = [b_{ij}(p, r)]$ і в результаті отримуємо матрицю комірок $C = [c_{ij}(p, r)]$, ($i = 1, \dots, M; j = 1, \dots, M; p = 1, \dots, N; r = 1, \dots, N$), де i, j — відповідно номер рядка та стовпця блока; p, r — відповідно номер рядка та стовпця елемента блока; M — порядок матриці блоків; N — порядок квадратного блока.

Функціонування всіх вузлів пристрою здійснюється під дією керувальних сигналів, що виробляються блоком керування 5.

Після надходження бінарних матриць блоків $A = [a_{ij}(p, r)]$ та $B = [b_{ij}(p, r)]$ картин-зображень на перші $6_{(1,1)} \dots 6_{(M, M)}$ та другі $7_{(1,1)} \dots 7_{(M, M)}$ паралельні оптичні входи пристрою здійснюється їх введення в першу матрицю $1_{(1,1)} \dots 1_{(M, M)}$ і другу матрицю $2_{(1,1)} \dots 2_{(M, M)}$ двовимірних паралельних регістрів зсуву (ДРЗ). При цьому матриця картинних накопичувальних суматорів $4_{(1,1)} \dots 4_{(M, M)}$ (НСМ), де за допомогою k -кратного накопичення часткових сум $C = [c_{ij}(p, r)]$ сформується заповнена нулями вислідна матриця.

Перша матриця блоків $1_{(1,1)} \dots 1_{(M, M)}$ і друга матриця блоків $2_{(1,1)} \dots 2_{(M, M)}$ ДРЗ виконані у вигляді матриці блоків $M \times M$, кожна з яких є дискретною матрицею елементарних комірок розмірністю $(N \times N)$, що відповідає розмірності матриць вхідних бінарних картин-зображень $(MN \times MN)$. Оптичні виходи і входи комірок об'єднані відповідно в паралельні оптичні входи і виходи ДРЗ. Кожен з паралельних ДРЗ першої матриці блоків $1_{(1,1)} \dots 1_{(M, M)}$ має N оптичних виходів, що відповідають оптичним виходам N елементарних комірок, призначених для зберігання одного біта (елемента) $a_{ij}(p, r)$ матриці A , розміщених в блоці j -го стовпця, i -го рядка, в p -му стовпці; r -му рядку, номери яких збігаються $p = r = 1, \dots, N$ (тобто розміщених на головній діагоналі діагональних блоків матриці). Кожен з блоків другої матриці $2_{(1,1)} \dots 2_{(M, M)}$ двовимірних паралельних регістрів зсуву має паралельний картинний вихід, що об'єднує сукупність оптичних виходів кожної з $(N \times N)$ елементарних комірок ДРЗ, призначених для зберігання одного біта (елемента) $b_{ij}(p, r)$ матриці B ($i = 1, \dots, M; j = 1, \dots, M; p = 1, \dots, N; r = 1, \dots, N$).

В результаті надходження сигналів з паралельних оптичних виходів кожного з блоків другої матриці $2_{(1,1)} \dots 2_{(M, M)}$ двовимірних паралельних регістрів зсуву на другі входи відповідних блоків матриці логічних елементів І $3_{(1,1)} \dots 3_{(M, M)}$, і надходження сигналів з кожного p -го виходу кожного i -го блока першої матриці блоків $1_{(1,1)} \dots 1_{(M, M)}$ ДРЗ, розміщеного на p -му рядку відповідного блоку, розміщеного на i -му рядку матриці комірок $2_{(1,1)} \dots 2_{(M, M)}$ ДРЗ ($i = 1 \dots M; p = 1, \dots, N$), на перші входи всіх логічних елементів І $3_{(1,1)} \dots 3_{(M, M)}$, розміщених на відповідному i -му рядку блоків, отримуємо на виходах логічних елементів І $3_{(1,1)} \dots 3_{(M, M)}$ значення відповідних перших доданків перших часткових сум (для $N = 3, M = 3$).

Отримані значення, надходячи на картинні оптичні входи матриці картинних накопичувальних суматорів $4_{(1,1)} \dots 4_{(M, M)}$, складаються з їх вмістом:

$$C_{i,j}^k(p, r) = C_{i,j}^{k-1}(p, r) + a_{i,i}(p, p) b_{i,j}(p, r) \quad (6)$$

Після чого при множенні початкових матриць блоків A і B картин-зображень здійснюється такт циклічного зсуву на один дискрет (елемент) вліво і вгору, відповідно всередині кожного блока

першої матриці блоків $1_{(1,1)} \dots 1_{(M, M)}$ і другої матриці блоків $2_{(1,1)} \dots 2_{(M, M)}$ двовимірних паралельних регістрів зсуву, і відбувається процес формування другої часткової суми в матриці картинних накопичувальних суматорів $4_{(1,1)} \dots 4_{(M, M)}$.

Зробивши $(N - 1)$ такт циклічних паралельних зсувів на один дискрет вліво і вгору відповідно в кожному з діагональних блоків першої матриці комірок $1_{(1,1)} \dots 1_{(M, M)}$ і в кожному з блоків другої матриці блоків $2_{(1,1)} \dots 2_{(M, M)}$ двовимірних паралельних регістрів зсуву, формуючи після кожного p -го такту зсуву $(p+1)$ -шу часткову суму в матриці картинних накопичувальних суматорів $4_{(1,1)} \dots 4_{(M, M)}$ ($p = 1, \dots, N - 1$). Для відновлення вигляду початкових матриць A та B в кожному з блоків першої матриці блоків $1_{(1,1)} \dots 1_{(M, M)}$ і другої матриці блоків $2_{(1,1)} \dots 2_{(M, M)}$ двовимірних паралельних регістрів зсуву необхідно здійснити N -й такт циклічного паралельного зсуву на один дискрет відповідно вліво і вгору без подальшої обробки отриманих в результаті цього матриць картин-зображень.

Після чого при перемножуванні початкових матриць блоків A і B картин-зображень здійснюється такт циклічного зсуву на одну комірку вліво і вгору відповідно в першій матриці блоків $1_{(1,1)} \dots 1_{(M, M)}$ і другій матриці блоків $2_{(1,1)} \dots 2_{(M, M)}$ двовимірних паралельних регістрів зсуву, і відбувається процес формування наступних часткових сум в матриці картинних накопичувальних суматорів $4_{(1,1)} \dots 4_{(M, M)}$ аналогічним вище описаним чином протягом N тактів.

Зробивши $(M - 1)$ такт циклічних паралельних зсувів на один блок вліво і вгору відповідно в кожній матриці блоків $1_{(1,1)} \dots 1_{(M, M)}$ і в другій матриці блоків $2_{(1,1)} \dots 2_{(M, M)}$ двовимірних паралельних регістрів зсуву, формуючи після кожного i -го такту зсуву $(i + 1)$ -шу групу часткових сум в матриці картинних накопичувальних суматорів $4_{(1,1)} \dots 4_{(M, M)}$ ($p = 1, \dots, N - 1$). Для відновлення вигляду початкових матриць блоків $A = [a_{ij}(p, r)]$ та $B = [b_{ij}(p, r)]$ в першій матриці блоків $1_{(1,1)} \dots 1_{(M, M)}$ і другій матриці блоків $2_{(1,1)} \dots 2_{(M, M)}$ двовимірних паралельних регістрів зсуву необхідно здійснити M -й такт циклічного паралельного зсуву на один блок відповідно вліво і вгору без подальшої обробки отриманих в результаті цього матриць картин-зображень. Отримаємо на $(K - 1)$ перших картинних розрядних виходах $25_{(1,1)0} \dots, 25_{(M, M)0}, 25_{(1,1)1} \dots 25_{(M, M)1}, \dots, 25_{(1,1)k-1} \dots 25_{(M, M)k-1}$ матриці блоків картинних накопичувальних суматорів $4_{(1,1)} \dots 4_{(M, M)}$ матрицю $C = [c_{ij}(p, r)]$ результату перемноження початкових матриць блоків $A = [a_{ij}(p, r)]$ та $B = [b_{ij}(p, r)]$.

Проведено оцінювання часових характеристик пристрою з урахуванням методу реалізації. В загальному випадку час виконання операції блочного множення бінарних матриць можна оцінити за таким співвідношенням:

$$T = M(N\tau_c + N\tau_m + (N - 1)\tau_3) + (M - 1)\tau'_3, \quad (7)$$

де $M \times M$ — кількість блоків матриць; $N \times N$ — розмірність блока матриць; τ_c — час ЦЧІ бінарних матриць — базових компонент часткових добутків; τ_m — час формування базової компоненти часткового добутку в результаті виконання матричної кон'юнкції; τ_3 — час паралельного зсуву елементів блоків матриць; τ'_3 — час паралельного зсуву блоків матриць.

Проведено також оцінювання продуктивності розробленого спецпроцесора, за формулою

$$\Pi = \frac{M \cdot N \times M \cdot N}{3 \cdot N \cdot M - 1}. \quad (8)$$

У порівнянні з продуктивністю матричний спецпроцесор для множення матриць-картин оптичних зображень [1], отримане значення є більшим в M разів.

Отже, удосконалено паралельний метод та структурну організацію паралельного спецпроцесора для множення бінарних матриць. Завдяки використанню блочного методу множення матриць та структурній організації пристрою досягається збільшення розмірності вхідного зображення до розмірів $M \cdot N \times N \cdot M$, за рахунок чого підвищується продуктивність спецпроцесора в M разів.

СПИСОК ЛІТЕРАТУРИ

1. Заболотная Н. И. Организация вычислительных структур высокопроизводительных линейно-алгебраических процессоров параллельной обработки матриц: Дис... канд. техн. наук: 05.13.08. — Винница, 1996. — 322 с.
2. Заболотная Н. И., Шолога В. В., Сучасні методи побудови оптико-електронних обчислювальних пристроїв для лінійно-алгебраїчних процесорів // Оптико-електронні інформаційно-енергетичні технології. — 2001. — № 2(4). — С. 63—67.
3. Заболотная Н. И., Дмитрук В. В., Дроненко О. В. Структурна організація оптоелектронного розрядно-зрізового спецпроцесора з потрійним добутком матриць // Вимірювальна та обчислювальна техніка в технологічних процесах (Технологічний університет Поділля, м. Хмельницький). — 2005. — № 1. — С. 121—124.
4. Заболотная Н. И., Шолога В. В. Организация параллельного перемножения знакопеременных матриц в цифровом

оптоэлектронном процессоре многоуровневых изображений // Электронное моделирование. — 1997. — № 3. — С. 41—49.

5. Очин Е. Ф. Принципы организации цифрового оптоэлектронного процессора для обработки изображений в пространственно-непрерывной форме // Электронное моделирование. — 1984. — № 3. — С. 16—19.

6. Денисов В. М. и др. Структура цифрового оптоэлектронного процессора многоуровневых изображений по пространственно-непрерывным срезам // Электронное моделирование. — 1984. — № 6. — С. 99—101.

Матеріали статті рекомендовані до опублікування оргкомітетом XIII Міжнародної конференції з автоматичного управління (Автоматика-2006, 25—28.09.2006 р.)

Надійшла до редакції 23.11.06
Рекомендована до друку 12.12.06

Заболотна Наталія Івановна — доцент кафедри лазерної та оптоелектронної техніки, **Дроненко Олена Василівна** — студентка Інституту автоматики, електроніки та комп'ютерних систем управління.

Вінницький національний технічний університет