

О. Д. Азаров, д-р. техн. наук, проф, О. І. Черняк

МЕТОД ОПЕРАТИВНОГО САМОКАЛІБРУВАННЯ АЦП ПОРОЗРЯДНОГО НАБЛИЖЕННЯ З ВАГОВОЮ НАДЛИШКОВІСТЮ

Описано метод та структурну організацію аналого-цифрового перетворення з оперативним самокалібруванням за рахунок вагової надлишковості.

Вступ

Для забезпечення точності перетворення сигналів АЦП порозрядного наближення застосовується самокалібрування їх характеристик [1]. АЦП з самокалібруванням будуються на основі систем числення з ваговою надлишковістю (СЧВН) [2, 3], найвідомішою з яких є система числення золотої 1-пропорції. Існують приклади використання АЦП, в яких необхідно коригувати лише лінійність характеристики перетворення [4]. Однак відомі методи потребують призупинення перетворення сигналу на деякий час. Тому розробка методу самокалібрування лінійності АЦП у процесі перетворення є актуальною задачею. Авторами розроблено методи і пристрої побітового потокового виконання всіх арифметичних операцій на основі системи числення золотої 1-пропорції [5, 6]. Дані пристрої можуть використовуватись для обчислення похибок лінійності розрядів АЦП.

Метою роботи є забезпечення лінійності АЦП порозрядного наближення з ваговою надлишковістю шляхом оперативного самокалібрування характеристики перетворення та побітової обробки.

Опис методу

Метод розроблено для АЦП з можливістю самокалібрування, побудованих на основі системи числення золотої 1-пропорції. Такі АЦП мають деяку кількість (m) молодших точних і ($n - m$) старших неточних розрядів. У процесі перетворення аналогового сигналу здійснюється контроль лінійності кожного неточного розряду, починаючи з молодшого і в разі виходу її за допустимий діапазон виконується самокалібрування.

Метод оснований на порівнянні результатів кодування одного і того ж аналогового сигналу двома АЦП (АЦП1 і АЦП2), кожен з яких може переходити або у режим перетворення, або у режим самокалібрування. У режимі перетворення на i -му циклі кодування АЦП1 і АЦП2 видають паралельні коди $A1D_0^{n_3-1}(i)$ і $A2D_0^{n-1}(i)$ у двійковій системі числення. Крім того, вони видають цифрові послідовні коди золотої пропорції $A1_0^{n_3-1}(i)$ і $A2_0^{n-1}(i)$, які утворюються на виходах компараторів починаючи зі старших розрядів. Обидва АЦП працюють синхронно, тому за відсутності похибок $|A1_0^{n-1}(i) - A2_0^{n-1}(i)| \leq 1$. Кожен АЦП може забороняти вмикання заданого розряду. Завдяки надлишковості системи числення золотої 1-пропорції це не призводить до спотворення результату кодування для деяких форм кодів. У режимі перетворення АЦП1 і АЦП2 контролюють один одного. Кожний АЦП стає по черзі контролюючим або контрольованим. Результатом аналого-цифрового перетворення у цьому методі є код на виході контрольованого АЦП, а контролюючий АЦП служить для визначення похибки лінійності контрольованого.

Запропонований метод дозволяє у процесі перетворення для обох АЦП контролювати похибку лінійності кожного неточного розряду, починаючи з молодших. Очевидно, що при контролі k -го розряду в обох АЦП розряди від 0-го до $(k - 1)$ -го є точними. На деякому i -му циклі кодування аналогового сигналу з цифровим еквівалентом $A(i)$ утворюється код $A_0^k(i)$, що має старшу одиницю у k -му розряді. Такий код містить похибку лінійності k -го розряду (ΔL_k), похибку масштабу (ΔM) та похибку зміщення нуля (ΔN):

$$A(i) = (\Delta L_k + A_0^k(i)) \Delta M + \Delta N. \quad (1)$$

Нехай контрольованим є АЦП1, а контролюючим – АЦП2. АЦП1 вмикає k -й розряд, а АЦП2 не вмикає його. Тому в АЦП1 буде похибка лінійності, а в АЦП2 її не буде. Суть контролю полягає у тому, що на основі відмінності кодів з обох АЦП визнається абсолютне значення похибки лінійності $|\Delta L_k|$ цього розряду АЦП1, яке порівнюється з допустимим значенням. Визначення $|\Delta L_k|$ потребує вилучення з показань обох АЦП похибки масштабу та зміщення нуля. Для цього спочатку АЦП1 кодує сигнали без заборони включення k -го розряду, а АЦП2 – із заборonoю його включення. Якщо на деякому i -му циклі перетворення утворюється код $A_0^k(i)$, k -й розряд якого є старшим одиничним розрядом, а $(k-1)$ -й і $(k-2)$ -й розряди мають нульове значення, то коди $A_0^k(i)$ і $A_0^{k-1}(i)$ запам'ятовуються. У подальшій роботі в обох АЦП дозволяється включення k -го розряду. Далі, якщо на деякому циклі перетворення $(i+i1)$ отримано не нульові коди того ж знаку $A_0^{k-1}(i+i1)$ і $A_0^{k-1}(i+i1)$ з розрядністю не більшою, ніж $(k-1)$, то вони теж запам'ятовуються. Крім того, визначаються коди того ж знаку $A_0^{k-1}(i+i1+i2)$ і $A_0^{k-1}(i+i1+i2)$ з розрядністю не більшою ніж $k-1$, отримані на деякому $(i+i1+i2)$ -му циклі перетворення. Отже, для обчислення похибки лінійності використовуються такі цифрові еквіваленти АЦП1 і АЦП2:

$$A1(i) = (\Delta L_k + A_0^k(i)) \Delta M1 + \Delta N1;$$

$$A2(i) = A_0^{k-1}(i) \cdot \Delta M2 + \Delta N2;$$

$$A1(i+i1) = A_0^{k-1}(i+i1) \cdot \Delta M1 + \Delta N1;$$

$$A2(i+i1) = A_0^{k-1}(i+i1) \cdot \Delta M2 + \Delta N2;$$

$$A1(i+i1+i2) = A_0^k(i+i1+i2) \cdot \Delta M1 + \Delta N1;$$

$$A2(i+i1+i2) = A_0^k(i+i1+i2) \cdot \Delta M2 + \Delta N2.$$

Оскільки $A1(x) = A2(x)$, то для визначення похибки лінійності k -го розряду, враховуючи (1), виконаємо дії над кодами АЦП1:

$$A(i) - A(i+i1) = (\Delta L_k + A_0^k(i) - A_0^{k-1}(i+i1)) \Delta M1;$$

$$A(i+i1+i2) - A(i+i1+i2) = (A_0^{k-1}(i+i1) - A_0^{k-1}(i+i1+i2)) \Delta M1.$$

Звідси

$$\frac{A(i) - A(i+i1)}{A(i+i1) - A(i+i1+i2)} = \frac{\Delta L_k + A_0^k(i) - A_0^{k-1}(i+i1)}{A_0^{k-1}(i+i1) - A_0^{k-1}(i+i1+i2)}. \quad (2)$$

Аналогічно для АЦП2:

$$\frac{A(i) - A(i+i1)}{A(i+i1) - A(i+i1+i2)} = \frac{A_0^{k-1}(i) - A_0^{k-1}(i+i1)}{A_0^{k-1}(i+i1) - A_0^{k-1}(i+i1+i2)}. \quad (3)$$

Прирівнявши праві частини виразів (2) і (3) та виконавши перетворення, отримаємо вираз для визначення абсолютного значення похибки лінійності k -го розряду АЦП1:

$$|\Delta L_k| = \left| \frac{A_0^{k-1}(i+i1) - A_0^{k-1}(i+i1+i2)}{A_0^{k-1}(i+i1) - A_0^{k-1}(i+i1+i2)} \right| \left| A_0^{k-1}(i) - A_0^{k-1}(i+i1) \right| - \left| A_0^k(i) - A_0^{k-1}(i+i1) \right|. \quad (4)$$

Отже, для знаходження абсолютного значення похибки лінійності k -го розряду АЦП1 потрібно виконати таку послідовність дій:

1. Отримати коди $A1_0^k(i)$, $A2_0^{k-1}(i)$, $A1_0^{k-1}(i+i1)$, $A2_0^{k-1}(i+i1)$, $A1_0^{k-1}(i+i1+i2)$ та $A2_0^{k-1}(i+i1+i2)$ з виходів АЦП1 і АЦП2.

2. Обчислити коди різниць $B1_0^k(i, i+i1)$, $B2_0^{k-1}(i, i+i1)$, $B3_0^{k-1}(i+i1, i+i1+i2)$, $B4_0^{k-1}(i+i1, i+i1+i2)$ за виразами

$$B1_0^k(i, i+i1) = |A1_0^k(i) - A1_0^{k-1}(i+i1)|;$$

$$B2_0^{k-1}(i, i+i1) = |A2_0^{k-1}(i) - A2_0^{k-1}(i+i1)|;$$

$$B3_0^{k-1}(i+i1, i+i1+i2) = |A1_0^{k-1}(i+i1) - A1_0^{k-1}(i+i1+i2)|;$$

$$B4_0^{k-1}(i+i1, i+i1+i2) = |A2_0^{k-1}(i+i1) - A2_0^{k-1}(i+i1+i2)|.$$

3. Обчислити код частки $C_0^{n-1}(i+i1, i+i1+i2)$ за виразом

$$C_0^{n-1}(i+i1, i+i1+i2) = \frac{B3_0^{k-1}(i+i1, i+i1+i2)}{B4_0^{k-1}(i+i1, i+i1+i2)}.$$

4. Обчислити код добутку $D_0^{n-1}(i, i+i1, i+i1+i2)$ за виразом

$$D_0^{n-1}(i, i+i1, i+i1+i2) = C_0^{n-1}(i+i1, i+i1+i2) \cdot B2_0^{k-1}(i, i+i1).$$

5. Обчислити код абсолютного значення похибки лінійності k -го розряду $|\Delta L1_k|$ за виразом

$$|\Delta L1_k| = |D_0^{n-1}(i, i+i1, i+i1+i2) - B1_0^k(i, i+i1)|.$$

Аналогічно визначається абсолютне значення похибки лінійності $|\Delta L2_k|$ k -го розряду АЦП2. Якщо значення $|\Delta L1_k|$ або $|\Delta L2_k|$ більше від допустимої похибки для цього розряду, яку генерує блок контролю, то спочатку АЦП1, а потім АЦП2 переводяться у режим самокалібрування. При цьому на вихід пристрою подається код того АЦП, який на цей момент знаходиться у режимі перетворення. Якщо ж абсолютні значення похибок лінійності k -го розряду АЦП1 і АЦП2 не перевищують допустимої похибки для цього розряду, то визначаються похибки лінійності $(k + 1)$ -го розряду і так далі.

Структурна організація пристрою

На рис. 1 показана структурна організація пристрою, що реалізує запропонований метод оперативного самоконтролю лінійності АЦП.

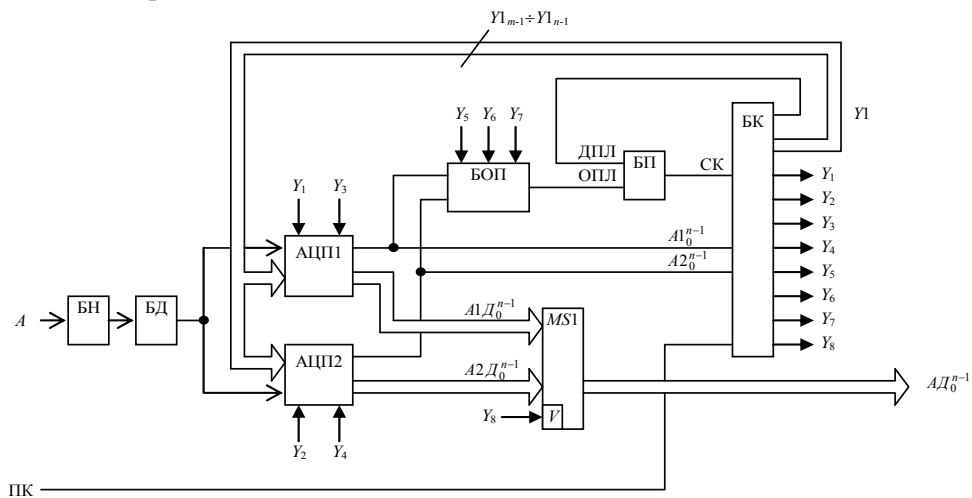


Рис. 1. Структурна організація пристрою аналого-цифрового перетворення з оперативним самокалібруванням лінійності

Пристрій містить вхід (А) аналогового сигналу; блок нормалізації (БН) аналогового сигналу, призначений для узгодження діапазонів АЦП і давача; блок дискретизації (БД), призначений для стабілізації аналогового сигналу протягом його кодування; два аналого-цифрових перетворювачі (АЦП1 і АЦП2) на основі систем числення золотої пропорції з можливістю самокалібрування та заборони включення заданого розряду; блок керування, призначений для вироблення сигналів керування і послідовних кодів допустимих похибок розрядів; мультиплексор $MS1$, призначений для комутації на вихід пристрою паралельних кодів у двійковій системі числення з виходів АЦП; блок обчислення похибки (БОП), призначений для обчислення похибки лінійності АЦП, а також блок побітового порівняння (БП) кодів золотої пропорції, призначений для порівняння обчисленої і заданої похибок; вхід (СК), одиничний сигнал на якому переводить пристрій у режим примусового самокалібрування; вихід (AD_0^{n-1}), з якого надходить паралельний код чергового відліку АЦП у двійковій системі числення; шину сигналів керування $Y1_{(m-1)}...Y1_{(n-1)}$, призначену для передавання номера розряду, який забороняється вмикати в АЦП1 або в АЦП2. Крім того, на рис. 1 позначено: послідовний код обчисленої похибки лінійності (ОПЛ = $|\Delta L_k|$), що обчислюється у БОП; послідовний код допустимої похибки лінійності (ДПЛ) розряду, що генерується у БК; послідовні коди золотої пропорції ($A1_0^{n-1}$ і $A2_0^{n-1}$) та паралельні двійкові коди ($A1D_0^{n-1}$ і $A2D_0^{n-1}$) з виходів АЦП1 і АЦП2; сигнали керування Y_1 та Y_2 , що переводять у режим самоконтролю, відповідно, АЦП1 і АЦП2; сигнали керування Y_3 та Y_4 , що переводять у режим заборони включення заданих розрядів, відповідно, АЦП1 і АЦП2; сигнал керування Y_5 , що подається у БОП для комутації послідовних кодів з АЦП1 і АЦП2; сигнал керування Y_6 , що подається у БОП для запам'ятовування кодів $A1_0^{k-1}(i)$ і $A2_0^{k-1}(i)$, сигнал керування Y_7 , що подається у БОП для запам'ятовування кодів $A1_0^{k-1}(i+i1)$ і $A2_0^{k-1}(i+i1)$; сигнал керування Y_8 , що встановлює $MS1$ у режим пропускання кодів з виходу АЦП1 або АЦП2. На рис. 2 показана структурна організація блоку обчислення похибки БОП у відповідності до виразу (4).

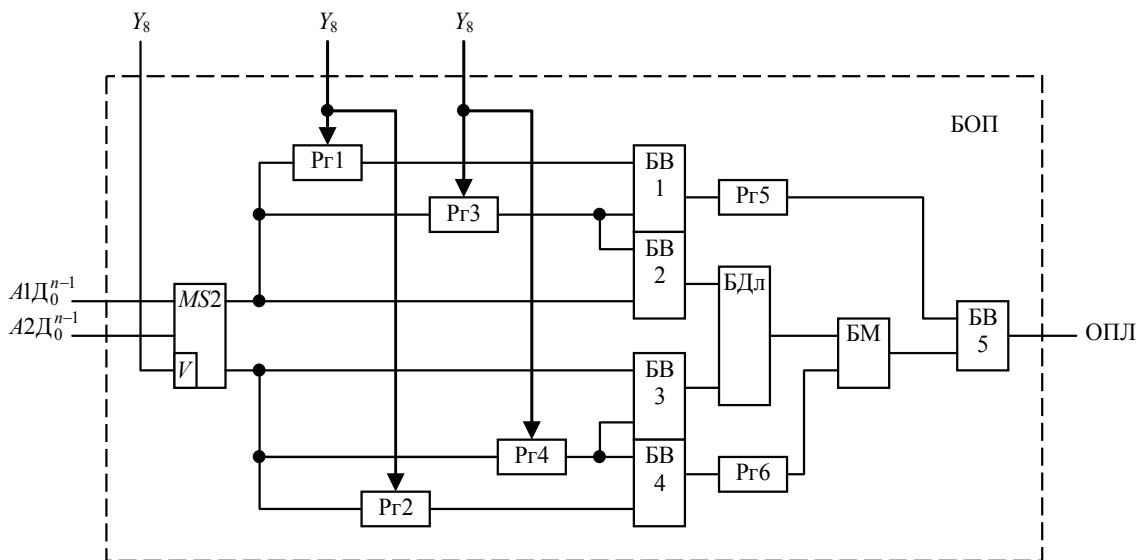


Рис. 2. Структурна організація блоку обчислення похибки

Блок містить мультиплексор $MS2$, призначений для комутації виходів АЦП1, або АЦП2; чотири регістри циклічного зсуву з послідовним входом і виходом ($Pr1$, $Pr2$, $Pr3$ і $Pr4$), призначені для запам'ятовування і видачі кодів $A1_0^k(i)$, $A2_0^{k-1}(i)$, $A1_0^{k-1}(i+i1)$ і $A2_0^{k-1}(i+i1)$; чотири блоки побітового віднімання кодів золотої пропорції (БВ1, БВ2, БВ3 і БВ4), призначені для отримання, відповідно, різниць $B1_0^k(i, i+i1)$, $B3_0^{k-1}(i+i1, i+i1+i2)$, $B4_0^{k-1}(i+i1, i+i1+i2)$ і $B2_0^{k-1}(i, i+i1)$; блок побітового ділення кодів золотої пропорції (БДл), призначений для

отримання частки $C_0^{n-1}(i, i+i1, i+i1+i2)$; блок побітового множення кодів золотої пропорції (БМ), призначений для отримання добутку $D_0^{n-1}(i, i+i1, i+i1+i2)$; блок побітового віднімання кодів золотої пропорції (БВ5), призначений для отримання похибки лінійності k -го розряду $|\Delta L_k|$ два послідовних реєстри зсуву (Рг5, Рг6), призначені для вирівнювання форматів послідовних кодів.

Опис роботи пристрою

Пристрій працює у такий спосіб. Аналоговий сигнал з давача після нормалізації і дискретизації надходить на входи АЦП1 і АЦП2. З виходу контрольованого АЦП паралельні коди у двійковій системі числення через $MS1$ надходять на вихід пристрою. Послідовні коди золотої пропорції з обох АЦП надходять у БОП і у БК. Нехай контролюється лінійність k -го розряду АЦП1. БК видає одиничний сигнал Y_5 , що надходить на вхід керування V мультиплектора MS . MS встановлюється у режим, в якому він на свій вихід пропускає паралельний код з виходу АЦП1. БК за допомогою сигналів Y_1 та Y_2 встановлює режим перетворення в обох АЦП, за допомогою сигналу Y_3 дозволяє включення усіх розрядів АЦП1, а за допомогою сигналу Y_4 забороняє включення k -го розряду в АЦП2. У процесі перетворення БК отримує і перевіряє послідовні коди золотої пропорції коди з обох АЦП. Якщо на деякому i -му циклі перетворення утворюється код $A1_0^k(i)$, k -й розряд якого є старшим одиничним розрядом, а $(k-1)$ -й і $(k-2)$ -й розряди мають нульове значення, то БК видає сигнал Y_6 , що надходить у БОП на Рг1 і Рг2. Під дією цього сигналу Рг1 і Рг2 запам'ятовують, відповідно, $A1_0^k(i)$ і $A2_0^{k-1}(i)$. Потім Рг1 і Рг2 переводяться у режим циклічного зсуву в сторону старших розрядів, а БК за допомогою сигналу Y_4 дозволяє вмикання k -го розряду в АЦП2. Якщо на якомусь $(i+i1)$ -му циклі перетворення в АЦП1 і АЦП2 утворюються ненульові коди $A1_0^{k-1}(i+i1)$ і $A2_0^{k-1}(i+i1)$, в яких розряди з k -го по $(n-1)$ -й дорівнюють нулю, то БК видає сигнал Y_6 , що надходить у БОП на Рг1 і Рг2, які запам'ятовують отримані коди та переходять у режим циклічного зсуву. Нарешті, якщо після сигналів Y_6 і Y_7 на деякому $(i+i1+i2)$ -му циклі перетворення отримуються коди того ж знаку $A1_0^{k-1}(i+i1+i2)$ і $A2_0^{k-1}(i+i1+i2)$ з розрядністю не більшою ніж $k-1$, то БК переходить в режим реагування на сигнал контролю СК. На кожному циклі перетворення БОП обчислює чергову похибку лінійності ОПЛ за виразом (4). Обчислення виконуються над послідовними кодами без урахування їхніх знаків, що дозволяє отримувати абсолютні значення результатів. БП порівнює ОПЛ і допустиму похибку лінійності ДПЛ для цього розряду та виробляє сигнал контролю СК, одиничне значення якого означає, що ОПЛ > ДПЛ. БК виявляє цю ситуацію і запускає режим самокалібрування лінійності спочатку одного, а потім іншого АЦП за допомогою сигналів керування Y_1 та Y_2 . Після завершення перевірки усіх розрядів процес повторюється спочатку.

Аналіз розрядності

Усі арифметичні блоки даного пристрою виконують побітову обробку з фіксованою крапкою. Через можливість переповнення таку обробку використовують лише для діапазону чисел, обмеженого розрядністю представлення кодів. Покажемо, що у цьому методі діапазон чисел не виходить за допустимий. Значення кодів $A1_0^k(i)$, $A2_0^{k-1}(i)$, $A1_0^{k-1}(i+i1)$, $A2_0^{k-1}(i+i1)$, $A1_0^{k-1}(i+i1+i2)$ і $A2_0^{k-1}(i+i1+i2)$ з виходів АЦП знаходяться у діапазоні, заданому розрядністю. Враховуючи, що вказані коди мають один знак, абсолютні значення різниць $B1_0^k(i, i+i1)$, $B2_0^{k-1}(i, i+i1)$, $B3_0^{k-1}(i+i1, i+i1+i2)$ і $B4_0^{k-1}(i+i1, i+i1+i2)$ цих кодів також не виходять за допустимий діапазон. Оскільки $B3_0^{k-1}(i+i1, i+i1+i2) \approx B4_0^{k-1}(i+i1, i+i1+i2)$, то значення частки $C_0^{n-1}(i, i+i1, i+i1+i2)$ приблизно дорівнює одиниці, що також знаходиться у рамках заданої розрядності. Враховуючи одиничне значення частки, добуток $D_0^{n-1}(i, i+i1, i+i1+i2)$ прибли-

зно дорівнює різниці $B2_0^{k-1}(i, i+i1)$. Відхилення частки від одиниці спричинено відмінністю похибок масштабу та зміщенням нуля в АЦП1 і АЦП2. Під час обчислення похибки лінійності старшого $(n-1)$ -го розряду у деяких випадках $B2_0^{n-1}(i, i+i1)$ може сягати максимального значення з кодом 01110101010... . Якщо при цьому $C_0^{n-1}(i, i+i1, i+i1+i2) > 1$, то можливе переповнення добутку $D_0^{n-1}(i, i+i1, i+i1+i2)$ у знаковий розряд. Оскільки для обчислення абсолютних значень знаковий розряд не використовується, то це не приводить до спотворення результату. Нарешті, значення похибки лінійності k -го розряду обчислюється як різниця між добутком $D_0^{n-1}(i, i+i1, i+i1+i2)$ та різницею $B1_0^k(i, i+i1)$ і тому також знаходиться у рамках заданого діапазону. Отже, у цьому методі може бути використана побітова обробка кодів золотої 1-пропорції з фіксованою крапкою.

Висновки

1. Вперше розроблено метод і пристрій оперативного самокалібрування АЦП з ваговою надлишковістю, що використовує обчислення похибки лінійності розрядів у процесі перетворення.

2. Для розробленого пристрою показана можливість побітової обробки з фіксованою крапкою у системі числення золотої 1-пропорції.

СПИСОК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ

1. Алиев Т. М. Автоматическая коррекция погрешностей цифровых измерительных приборов : моног. / Т. М. Алиев, Л. П. Сейдель. — М. : Энергия, 1975. — 216 с.
2. Азаров О. Д. Аналого-цифрове порозрядне перетворення на основі систем числення з ваговою надлишковістю : моног. / О. Д. Азаров. — Вінниця : ВНТУ, 2010. — 232 с. — ISBN 978-966-641-354-6.
3. Азаров О. Д. Багаторозрядні АЦП і ЦАП із ваговою надлишковістю, стійкі до параметричних відмов : моног. / Азаров О. Д., Кадук О. В. — Вінниця : ВНТУ, 2010. — 150 с. — ISBN 978-966-641-369-0.
4. Азаров О. Д. Високोलінійні порозрядні АЦП і ЦАП з ваговою надлишковістю для систем реєстрації і оброблення сигналів : моног. / О. Д. Азаров, О. А. Архипчук, С. М. Захарченко. — Вінниця : УНІВЕРСУМ-Вінниця, 2005. — 125 с. — ISBN 966-641-112-1.
5. Азаров А. Д. Полнофункциональная побитовая обработка результатов аналого-цифрового преобразования / А. Д. Азаров, А. И. Черняк // Методи та засоби кодування, захисту й ущільнення інформації : Третя міжнар. наук.-практ. конф., 20—22 квітня 2011р. : тези доп. — Вінниця, 2011. — С. 208—209.
6. Черняк О. І. Методи конвеєрної порозрядної обробки послідовних кодів золотої пропорції / О. І. Черняк, О. Д. Азаров // Вісник Вінницького політехнічного інституту. — Вінниця : ВНТУ. — 1996. — №1. — С. 18—22.

Рекомендована кафедрою обчислювальної техніки

Стаття надійшла до редакції 21.03.12
Рекомендована до друку 30.05.12

Азаров Олексій Дмитрович — завідувач кафедри, **Черняк Олександр Іванович** — старший викладач.
Кафедра обчислювальної техніки, Вінницький національний технічний університет