



Государственный комитет
С С С Р
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

(11) 758510

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 07.06.78 (21) 26.24.305/18-21

с присоединением заявки № —

(23) Приоритет —

Опубликовано 23.08.80. Бюллетень № 31

Дата опубликования описания 23.08.80

(51) М. Кл.³

Н 03 К 13/02

(53) УДК 681.325
(088.8)

(72) Авторы
изобретения

А. П. Стахов, А. Д. Азаров и В. А. Лужецкий

(71) Заявитель

Винницкий политехнический институт

(54) АНАЛОГО-ЦИФРОВОЙ ПРЕОБРАЗОВАТЕЛЬ

1

Изобретение относится к вычислительной технике и может быть использовано для преобразования аналоговых величин в цифровые.

Известен аналого-цифровой преобразователь, содержащий блок сравнения, преобразователь "код-напряжение", регистр, распределитель импульсов, генератор импульсов, элементы И, предназначенный для поразрядного кодирования входного напряжения [1].

Однако такой преобразователь имеет сложный метрологический контроль и низкую надежность.

Известен аналого-цифровой преобразователь, содержащий блок управления, регистр, цифро-аналоговый преобразователь, блок сравнения, причем выход блока управления соединен со входом регистра, выход которого соединен со входом цифроаналогового преобразователя, выход цифро-аналогового преобразователя соединен со вторым входом блока сравнения, первый вход которого является входом аналого-цифрового преобразователя, выход блока сравнения соединен со входом блока управления [2].

2

Однако аналого-цифровой преобразователь имеет сложный метрологический контроль и не позволяет правильно кодировать преобразуемую аналоговую величину при расстройке или неисправности хотя бы одного из разрядов цифроаналогового преобразователя.

5 Целью изобретения является улучшение метрологического контроля и повышение надежности, заключающееся в возможности правильного кодирования входной аналоговой величины при расстройке или неисправности одного и более разрядов цифроаналогового преобразователя.

10 Указанная цель достигается тем, что в аналого-цифровой преобразователь, содержащий блок управления, первый регистр, цифроаналоговый преобразователь, блок сравнения введены блок выделения разности, пороговый элемент, второй регистр, блок развертки кода, блок приведения кода к минимальной форме и цифровой коммутатор, причем выход цифроаналогового преобразователя соединен со входом блока выделения разности, выход которого соединен с информацион-

30

ным входом порогового элемента, выход порогового элемента соединен со вторым входом блока управления, управляющие входы цифрового коммутатора, порогового элемента блока развертки кода, блока приведения кода к минимальной форме и вход второго регистра соединены с соответствующими выходами блока управления, выход блока развертки кода соединен с первым информационным входом цифрового коммутатора, выход которого соединен со входом цифроаналогового преобразователя, выход второго регистра, соединен со вторым входом первого регистра, выход которого соединен с информационным входом блока развертки кода, вторым информационным входом цифрового коммутатора и информационным входом блока приведения кода к минимальной форме.

Структурная электрическая схема устройства приведена на чертеже.

Устройство содержит входную шину 1, блок 2 сравнения, цифроаналоговый преобразователь 3, блок 4 управления, регистр 5, блок 6 выделения разности, осуществляющий выделение и линейное преобразование величины расстройки разрядов цифроаналогового преобразователя 3, пороговый элемент 7, цифровой коммутатор 8, блок 9 развертки кода, регистр 10, блок 11 приведения кода к минимальной форме.

В первом такте блок 4 вырабатывает первую серию команд, записывая единицу в первый (старший) разряд регистра 5, и включает первый канал цифрового коммутатора 8, обеспечивая тем самым включение первого (старшего) разряда цифроаналогового преобразователя 3. Вторая серия команд включает блок 9, второй канал цифрового коммутатора 8 и пороговый элемент 7, производя при этом развертку первого разряда цифроаналогового преобразователя 3. Блок 6 осуществляет линейное преобразование разности первого и суммы второго и $(p+1)$ -го разрядов цифроаналогового преобразователя 3. В случае превышения этой разностью допустимого предела, происходит срабатывание порогового элемента 7 и запись единицы в первый разряд регистра 10. В конце первого такта происходит сброс в нулевое состояние регистра 5, порогового элемента 7 и выключение блока 9. На втором такте блок 4 второй серией команд записывает единицу во второй разряд регистра 5 и включает левый канал цифрового коммутатора 8, обеспечивая тем самым включение второго разряда цифроаналогового преобразователя 3. Вторая серия команд включает блок 9, второй канал цифрового коммутатора 8 и пороговый элемент 7, производя при этом развертку второго разря-

да цифроаналогового преобразователя 3, так же как и в первом такте блок 6 и пороговый элемент 7 вырабатывает соответствующий сигнал, подаваемый в блок 4. В оставшихся $(n-2)$ -тактах схема работает аналогичным образом, обеспечивая последовательное включение и развертку оставшихся $(n-2)$ -разрядов цифроаналогового преобразователя 3.

Запись номера позиции расстроеного или неисправного разряда регистр 10 происходит следующим образом. Если на i -м такте пороговый элемент 7 сработал первый раз, то в i -й разряд регистра записывается единица, а в остальных разрядах остаются нули.

Если пороговый элемент 7 срабатывает и на $(i+1)$ -м такте, то в $(i+1)$ -й разряд регистра 10 записывается единица, а в i -й разряд записывается ноль. Запись единиц в последующие разряды и нулей в предыдущие разряды происходит до тех пор, пока не перестанет срабатывать пороговый элемент 7.

В режиме аналого-цифрового преобразования устройство осуществляет логарифмическое преобразование входной аналоговой величины и работает известным образом. Отличие состоит в том, что расстроены или неисправные разряды, номера которых записаны в регистре 10, на соответствующем такте не включаются. Блок 9, блок 6, пороговый элемент 7 при работе преобразователя в этом режиме не участвуют. Поскольку "золотой" p -код при $p=1$ является избыточным, то несмотря на наличие не более r расстроженных или неисправных разрядов, код входной аналоговой величины получится правильным, только форма его записи будет неминимальной, поэтому на последнем такте преобразования блок 4 включает блок 11, в результате чего на выходе блока 11 полученный код будет в минимальной форме. Приведение к минимальной форме представления "золотого" p -кода осуществляется путем последовательного проведения операций свертки и развертки.

Введение новых блоков и связей обеспечивает упрощение метрологического контроля и выполнение его автоматически, а также повышение надежности, заключающееся в правильной кодировании входной аналоговой величины при расстройке или неисправности не более r -разрядов цифроаналогового преобразователя (где r -параметр используемого кода). Это позволяет также увеличить процент выпуска годной продукции при серийном изготовлении аналого-цифровых преобразователей в виде больших интегральных схем за счет включения в объем готовой продукции преобразователей, име-

щих не более р-расстроенных или не исправных разрядов.

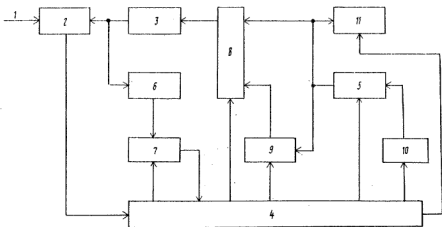
Формула изобретения

Аналого-цифровой преобразователь, содержащий блок сравнения, выход которого соединен с первым входом блока управления, первый выход которого соединен с первым входом первого регистра, выход цифро-аналогового преобразователя соединен с входом блока сравнения, отличающийся тем, что, с целью упрощения метрологического контроля и повышения надежности введены блок выделения разности, пороговый элемент, второй регистр, блок развертки кода, блок приведения кода к минимальной форме, цифровой коммутатор, причем выход цифро-аналогового преобразователя соединен со входом блока выделения разности, выход которого соединен с информационным входом порогового элемента, выход порогового элемента соединен со вторым входом блока управления, управляющие входы цифрового

коммутатора, порогового элемента, блока развертки кода, блока приведения кода к минимальной форме и вход второго регистра соединены с соответствующими выходами блока управления, выход блока развертки кода соединен с первым информационным входом цифрового коммутатора, выход которого соединен со входом цифроаналогового преобразователя, выход второго регистра соединен со вторым входом первого регистра, выход которого соединен с информационным входом блока развертки кода, вторым информационным входом цифрового коммутатора и информационным входом блока приведения кода к минимальной форме.

Источники информации, принятые во внимание при экспертизе

1. Гитис Э.И. Преобразователи информации для электронных цифровых вычислительных устройств. М., Энергия, 1975, стр. 298, рис. 7-7а.
2. Темников Ф.Е. Теоретические основы информационной техники. М., Энергия, 1971, стр. 116 (прототип).



Составитель А.Титов

Редактор Н.Катамина Техред Н. Граб

Корректор Н.Григорук

Заказ 5653/50

Тираж 995

Подписное

ЦНИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г.Ужгород, ул.Проектная. 4