



Государственный комитет  
СССР  
по делам изобретений  
и открытий

# О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву —  
(22) Заявлено 17.12.79 (21) 2853222/18-21  
с присоединением заявки № —  
(23) Приоритет —  
Опубликовано 15.0981. Бюллетень № 34  
Дата опубликования описания 15.0981

(11) 864548

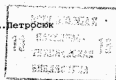
(51) М. Кл.<sup>3</sup>

Н 03 К 13/02

(53) УДК 681.325  
(088.8)

(72) Авторы  
изобретения

А. П. Стахов, А. Д. Азаров, В. И. Моисеев и Ю. А.



(71) Заявитель

Винницкий политехнический институт

(54) ЦИФРОАНАЛОГОВЫЙ ПРЕОБРАЗОВАТЕЛЬ

Изобретение относится к вычислительной и цифровой измерительной технике и может быть использовано для преобразования цифровых величин в аналоговые.

Известен цифроаналоговый преобразователь, содержащий регистр, блок эталонных величин, суммирующее устройство, блок выделения разности, блок управления и ключевые элементы, первые входы которых подключены к выходам блока эталонных величин, выходы ключевых элементов через устройство суммирования соединены со входом блока выделения разности [1].

Недостатком такого цифроаналогового преобразователя является низкое качество метрологического контроля линейности выходной характеристики, так как величины погрешности разрядов преобразователя неизвестны.

Цель изобретения — повышение качества контроля линейности преобразователя.

Это достигается тем, что в цифроаналоговом преобразователе, содержащий регистр, блок эталонных величин, суммирующее устройство, блок выделения разности, блок управления и ключевые элементы, первые входы которых

5 подключены к выходу блока эталонных величин, выходы ключевых элементов через устройство суммирования соединены со входом блока выделения разности, введены блок развертки кода, блок логических элементов и цифровой коммутатор, выход которого соединен со вторыми входами ключевых элементов, первый вход цифрового коммутатора подключен к выходу регистра и к первому входу блока развертки кода, первый выход которого соединен со вторым входом цифрового коммутатора и первым входом блока логических элементов, второй выход блока развертки кодов через блок свертки кода подключен ко второму входу блока логических элементов, выход блока выделения разности соединен со входом блока управления, выходы которого подключены, соответственно, ко вторым входам блоков развертки кода и свертки кода, к управляющим входам регистра, а также к третьим входам цифрового коммутатора и блока логических элементов.

30 На чертеже представлена функциональная схема цифроаналогового преобразователя.

Схема содержит вход 1 преобразователя, регистр 2, цифровой коммутатор 3, ключевые элементы 4, блок эталонных величин 5, суммирующее устройство 6, блок развертки кода 7, блок свертки кода 8, блок логических элементов 9, блок выделения разности 10, блок управления 11, первый выход 12 цифроаналогового преобразователя, второй выход 13 цифроаналогового преобразователя.

Вход 1 цифроаналогового преобразователя соединен с первым входом регистра 2, выход регистра 2 соединен с первым входом блока развертки кода 7, осуществляющего операцию развертки кода и первым информационным входом цифрового коммутатора 3, осуществляющего подключение ко входам ключевых элементов 4 выхода регистра 2 или первого выхода блока развертки кода 7. Выход цифрового коммутатора 3 соединен с управляющими входами ключевых элементов 4, информационные входы которых соединены с выходами блока эталонных величин 5. Выходы ключевых элементов 4 соединены со входами суммирующего устройства 6, выход которого соединен со входом блока выделения разности 10, вырабатывающего сигнал несоответствия весов разрядов требуемым значениям. Первый выход блока развертки кода 7 соединен со вторым информационным входом цифрового коммутатора 3 и первым входом блока логических элементов 9, осуществляющего функцию выделения кода и знака погрешности. Второй выход блока развертки кода 7 соединен с первым входом блока свертки кода 8, осуществляющего операцию свертки кода. Выход блока 8 соединен со вторым входом блока логических элементов 9. Выход блока 6 является первым выходом цифроаналогового преобразователя. Выход блока логических элементов 9 является вторым выходом 13 цифроаналогового преобразователя. Первый, второй, третий, четвертый и пятый выходы блока управления 11 соединены соответственно со вторым входом регистра 2, с управляющим третьим входом цифрового коммутатора 3, вторым входом блока развертки кода 7, вторым входом блока свертки кода 8 и третьим входом блока логических элементов 9.

Работа цифроаналогового преобразователя происходит в двух режимах: режиме метрологического контроля линейности выходной характеристики и режиме непосредственного преобразования входного кода в аналоговую величину.

В режиме непосредственного преобразования цифрового кода в аналоговую величину участвуют регистр 2, цифровой коммутатор 3, ключевые элементы 4, блок эталонных величин 5, устрой-

ство для суммирования эталонных величин 6 и блок управления 11. В режиме метрологического контроля линейности выходной характеристики участвуют все блоки устройства.

В процессе метрологического контроля линейности выходной характеристики производится определение величин отклонений весов разрядов от требуемых значений.

Цифроаналоговый преобразователь использует коды с иррациональными обозначениями, к которым относятся  $P$ -коды Фибоначчи и коды "золотой"  $P$ -пропорции. В кодах "золотой"  $P$ -пропорции любое действительное число  $D$  может быть представлено в виде

$$D = \sum_{l=0}^{\infty} \alpha_l \epsilon_l P^l,$$

где  $\epsilon_l$  - двоичная цифра в  $l$ -м разряде;

$\alpha_l P^l$  - вес  $l$ -го разряда;

$P = 0, 1, 2, 3, \dots$

$\alpha_l P^l$  является действительным положительным корнем уравнения

$$x^{P+1} - x^P + 1 = 0.$$

Отношение соседних  $P$ -чисел Фибоначчи с ростом их номеров также приближается к  $\alpha_l P^l$ . Для  $P$ -кодов существует единственная минимальная форма представления числа  $D$ , в которой после каждой единицы следует не менее  $P$ -нулей. Имеется также множество неминимальных представлений числа  $D$ , в которых не выполняются указанные условия.

Связь между весами  $P$ -кода определяется рекуррентным соотношением

$$x_P(l) = x_P(l-1) + x_P(l-P-1).$$

На основании этого соотношения, над разрядами кода выполняется операция, называемая сверткой и разверткой кода. Свертка заключается в замене нуля в  $l$ -м разряде и единиц в  $(l-1)$ -м и в  $(l-P-1)$ -м разрядах их отрицаниями. Развертка является операцией обратной свертке. Основная особенность этих операций состоит в том, что они не изменяют величины отображаемого кодом числа, а изменяют лишь форму представления кода.

Метрологический контроль линейности выходной характеристики начинается с  $(p+2)$ -го разряда при условии, что веса  $(p+1)$  младших разрядов преобразователя соответствуют требуемым значениям.

В процессе контроля веса любого  $i$ -го разряда производится уравновешивание веса этого разряда набором весов  $i-1$  младших разрядов в течение  $K$  циклов. Рассмотрим работу устройства для случая  $P = 1$ . В первом цикле блок управления 11 производит запись в регистр 2 кодовой комбинации, которая содержит значащую цифру толь-

ко в проверяемом  $i$ -м разряде. Этот код с выхода регистра 2 подается в блок развертки кода 7 и через цифровой коммутатор 3 на ключевые элементы 4, в результате чего на выходе цифроаналогового преобразователя 12 появляется аналоговый эквивалент данного кода  $A_4$ . Затем в блоке развертки кода 7 производится развертка исходного кода и передача его через цифровой коммутатор 3 на входы ключевых элементов 4. На выходе суммирующего устройства 6 появляется аналоговый эквивалент  $A_2$ . Блок выделения разности 10 срабатывает при выполнении соотношения:  $|A_4 - A_2| > \delta'$ , где  $\delta'$  - максимально допустимая величина расстройки разряда. Если  $A_4 - A_2 > \delta'$ , блок выделения разности 10 формирует сигнал первого типа, а при  $A_2 - A_4 > \delta'$  формирует сигнал второго типа. При формировании блоком выполнения разности 10 сигнала первого типа блок управления 11 устанавливает в единичное состояние  $(i-3)$ -й разряд блока развертки кода 6, а при появлении на выходе блока 10 сигнала второго типа,  $(i-3)$ -й разряд устанавливается в нулевое состояние, а  $(i-4)$ -й в единичное.

Во втором цикле коды, зафиксированные в регистре 2 и блоке свертки кода 7, через цифровой коммутатор 3 подаются на ключевые элементы 4, подавая соответствующие эталонные величины в суммирующее устройство 6. Если блок выделения разности 10 вырабатывает сигнал первого типа, то блок управления 11 устанавливает в единичное состояние  $(i-4)$ -й разряд блока развертки кода 7. При появлении на выходе блока выделения разности 10, сигнала второго типа,  $(i-3)$ -й разряд блока развертки кода 7 устанавливается в нулевое состояние, а  $(i-4)$ -й разряд - в единичное состояние. Работа устройства в оставшихся  $(K-2)$  циклах аналогична работе во втором цикле, причем если блок выделения разности 10 формирует сигнал первого типа, то  $(i-2-k)$ -й разряд блока развертки кода 7 устанавливается в единичное состояние. Если блок 10 формирует сигнал второго типа, то  $(i-1-k)$ -й разряд блока развертки кода 7 устанавливается в нулевое состояние, а  $(i-2-k)$ -й разряд - в единичное состояние.

Процесс уравнивания  $i$ -го проверяемого разряда продолжается до прекращения срабатывания блока 10 либо до включения в процессе уравнивания младшего разряда цифроаналогового преобразователя.

Таким образом, по окончании  $K$ -го цикла в блоке развертки кода 7 и в регистре 2 зафиксированы кодовые комбинации, аналоговые эквиваленты которых удовлетворяют равенству

$|A_4 - A_2| < \delta$ . Разность этих кодовых комбинаций представляет собой код погрешности  $i$ -го проверяемого разряда.

Определение знака кода погрешности этого разряда происходит следующим образом.

5 Если в первом цикле на выходе блока выделения разности 10 выработан сигнал первого типа, то после окончания  $K$ -го цикла под воздействием управляющего сигнала из блока управления 11 код, зафиксированный в блоке развертки кода 7, с его первого выхода поступает в блок логических элементов 9. На выходе блока логических элементов 9 по команде блока управления 11 выделен код с  $(i-3)$ -го по  $i$ -й разряды. В данном случае на выходе 13 преобразователя получается код погрешности  $i$ -го разряда, который имеет положительный знак.

20 Если в первом цикле на выходе блока выделения разности 10 был выработан сигнал второго типа, то после окончания  $K$ -го цикла по команде блока управления 11 со второго выхода блока развертки кода 7 в блок свертки кода 8 заносится инверсный код, младший разряд которого устанавливается в единичное состояние. В блоке свертки кода 8 производится операция свертки кода с  $i$ -го по  $(i-3)$ -й разряды включительно. Под воздействием управляющего сигнала блока управления 11 с выхода блока свертки кода 8 код с  $(i-3)$ -го по  $i$ -й разряды передается через блок логических элементов 9 на выход 13 цифроаналогового преобразователя. Код погрешности  $i$ -го разряда в этом случае отрицательный.

30 В режиме непосредственного преобразования цифрового кода в аналоговую величину входная цифровая величина подается на вход 1 цифроаналогового преобразователя. С выхода регистра 2 этот код подается через цифровой коммутатор 3 на ключевые элементы 4, подающие соответствующие эталонные величины из блока 5 в устройство суммирования 6, с выхода которого снимается аналоговый эквивалент входного кода.

50 Введение новых блоков и связей обеспечивает повышение качества метрологического контроля линейности выходной характеристики, преобразователя, заключающееся в автоматизации определения величин и знаков расстройкой разрядов цифроаналогового преобразователя, что позволяет сортировать по точности цифроаналоговые преобразователи при изготовлении их в виде больших интегральных схем, а также производить контроль погрешности цифроаналогового преобразователя в процессе эксплуатации.

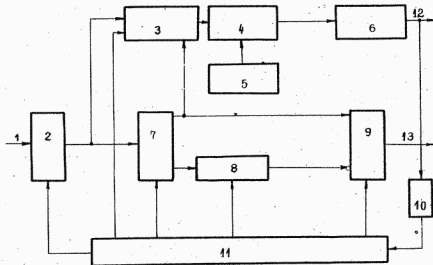
Формула изобретения

65 Цифроаналоговый преобразователь, содержащий регистр, блок эталонных

величин, суммирующее устройство, блок выделения разности, блок управления и ключевые элементы, первые входы которых подключены к выводу блока эталонных величин, выходы ключевых элементов через устройство суммирования соединены со входом блока выделения разности, отличающимся тем, что, с целью повышения качества контроля линейности преобразователя, в него введены блок развертки кода, блок свертки кода, блок логических элементов и цифровой коммутатор, выход которого соединен со вторыми входами ключевых элементов, первый вход цифрового коммутатора подключен к выводу регистра и первому входу блока развертки кода, первый выход которого соединен со вто-

рым входом цифрового коммутатора и первым входом блока логических элементов, второй выход блока развертки кода через блок свертки кода подключен ко второму входу блока логических элементов, выход блока выделения разности соединен со входом блока управления, выходы которого подключены соответственно ко вторым входам блоков развертки кода и свертки кода, к управляющим входам регистра, а также к третьим входам цифрового коммутатора и блока логических элементов.

Источники информации, принятые во внимание при экспертизе  
1. Вопросы радиоэлектроники. Сер. "Общетехническая", 1977, вып.1, с.78, рис.1.



Составитель А.Симагин

Редактор М.Недолуженко

Техред З.Фанта

Корректор Н.Швыцкая

Заказ 7831/85

Тираж 991

Подписное

ВНИИПИ Государственного комитета СССР  
по делам изобретений и открытий  
113035, Москва, Ж-35, Раушская наб., д.4/5

Филиал ППП "Патент", г.Ужгород, ул.Проектная,4