



ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

СССР 001038148

13

(21) 3783033/24-24

(22) 06.07.84.

(46) 07.03.86; Вязл. № 9

(72) А. П. Стахов, А. Д. Азаров,
В. И. Моисеев, В. Я. Стейскал, Н. А. Мас-
ленникова и Р. С. Оганесян

(53) 681.325 (088.8)

(56) Авторское свидетельство СССР
№ 864548, кл. Н 03 К 13/02, 1981.

Авторское свидетельство СССР
№ 953721, кл. Н 03 К 13/02, 1982.

(54) ЦИФРОАНАЛОГОВЫЙ ПРЕОБРАЗОВАТЕЛЬ

(57) Изобретение относится к вычисли-
тельной и измерительной технике и
может быть использовано для преобра-
зования цифровых величин в аналого-
вые. Изобретение позволяет повысить
точность цифроаналогового преобра-
зования за счёт использования избы-
точных-измерительных кодов (ИИК) и
введения блока элементов И, блока
элементов ИЛИ, блока определения зна-

ка кода, блока адресации, второго
и третьего регистров, дополнитель-
ного цифроаналогового преобразова-
теля, блока сравнения и блока свертки-
развертки кодов. Основной и допол-
нительный цифроаналоговые преобра-
зователи (ЦАП) выполнены на основе
ИИК, что позволяет обеспечить работу
устройства в двух режимах-поверки
и непосредственного преобразования,
при этом в режиме проверки определяют-
ся коды реальных весов "неточных"
старших разрядов основного ЦАП,
последовательно от младшего из "не-
точных" разрядов к старшему и записы-
ваются в блок памяти. В режиме
преобразования входной код преобразу-
ется в рабочий код, учитывающий ре-
альные веса разрядов основного ЦАП,
который используется для формирова-
ния выходного сигнала. 2 з.п. ф-лы,
10 ил.

оп. **SU**
(11) **1216829**
A

Изобретение относится к области вычислительной и измерительной техники и может быть использовано для преобразования величин в аналоговые.

Цель изобретения - повышение точности цифроаналогового преобразования.

На фиг.1 приведена структурная схема цифроаналогового преобразования; на фиг.2 - функциональная схема блока адресации; на фиг.3 - функциональная схема блока определения знака кода; на фиг.4 - блок-схема алгоритма суммирования кодов; на фиг.5 - вычитания кодов; на фиг.6 - 9 - блок-схема алгоритма работы блока управления; на фиг.10 - функциональная схема блока управления.

Цифроаналоговый преобразователь (фиг.1) содержит входные шины 1, цифровой коммутатор 2 (ЦК), первый регистр 3 (РГ1), блок 4 элементов И (БЭ И), блок 5 свертки-развертки кода (ВСРК), блок 6 элементов ИЛИ (БЭ ИЛИ), блок 7-развертки кода (БРК), блок 8 определения знака кода (ВОЗ), блок 9 памяти (БП), блок 10 адресации (БА), блок 11 управления (БУ), второй регистр 12 (РГ2), дополнительный цифроаналоговый преобразователь 13 (ДЦАП), блок 14 сравнения (ВС), основной цифроаналоговый преобразователь 15 (ОЦАП), третий регистр 16 (РГ3), выходную шину 17 цифроаналогового преобразователя.

Блок 10 имеет управляющие входы 18 и выходы 19. Блок 8 имеет входы 20 и выход 21. Блок 11 управления имеет первый выход 22, второй выход 23, третьи выходы 24, четвертый выход 25, пятые выходы 26, шестые выходы 27, седьмые выходы 28, восьмые выходы 29, первые входы 30, второй вход 31, третий вход 32, четвертый вход 33. Блок 10 адресации (фиг.2) может быть выполнен на первом и втором счетчиках 34 и 35 и цифровом коммутаторе 36. Блок 8 определения знака кода (фиг.3) может быть выполнен на элементе ИВИ-НЕ, имеющем n входов, где n - число разрядов преобразуемого кода. Блок 11 управления выполнен на первом и втором регистрах 37 и 38, генераторе 39 тактовых импульсов, постоянном запоминающем устройстве 40, программирование которого осуществляется

в соответствии с блок-схемой алгоритма (фиг.6 - 9) работы блока управления.

Цифроаналоговые преобразователи 13 и 15 должны быть выполнены на основе избыточных кодов с иррациональными основаниями. Наличие в рядах таких преобразователей отклонений от требуемых значений в определенных пределах не приводит к разрывам в выходной характеристике. При реализации же ЦАП на основе неизбыточного двоичного кода с разрядами, неточно соответствующими требуемым значениям, выходная характеристика цифроаналогового преобразователя претерпевает разрывы.

К кодам с иррациональным основанием относятся r -коды Фибоначчи и коды "золотой" r -пропорции.

В коде Фибоначчи любое натуральное число N можно представить в виде

$$N = \sum_{\ell=1}^{n-1} a_{\ell} \varphi_{\ell}(\ell), \quad (1)$$

где $p=1,2,3,\dots$ - параметр кода; n - разрядность представления числа N в r -коде Фибоначчи; a_{ℓ} - двоичная цифра в ℓ -м разряде кода;

$\varphi_{\ell}(\ell) = \text{вес } \ell$ -го разряда, равный ℓ -му r -числу Фибоначчи, причем ℓ - число Фибоначчи вычисляется по следующей рекуррентной формуле

$$\varphi_{\ell}(\ell) = \begin{cases} 0 & \text{при } \ell < 0 \\ 1 & \text{при } \ell = 0 \\ \varphi_{\ell}(\ell-1) + \varphi_{\ell}(\ell-p-1) & \text{при } \ell > 0 \end{cases} \quad (2)$$

В коде "золотой" r -пропорции любое действительное число может быть представлено в виде

$$Z = \sum_{\ell=-\infty}^{\infty} a_{\ell} \alpha_{\ell}^{\ell}, \quad (3)$$

где a_{ℓ} - двоичная цифра;

α_{ℓ} - вес ℓ -го разряда;

$p = 1,2,3,\dots$ - параметр кода.

Чтобы определить вес ℓ -го разряда для различных параметров кода, необходимо решить уравнение

$$x^{p+1} - x^p - 1 = 0, \quad (4)$$

которое является характеристическим уравнением полинома (3). Отношение соседних r -чисел Фибоначчи для больших номеров также приближается к α_{ℓ} .

Характерной особенностью данных кодов является неоднозначность представления цифровой информации, т.е. одному результирующему числу может ставиться в соответствие определенное количество разных кодовых комбинаций. Для r -кодов существует единственная минимальная форма представления цифровой величины, т.е. после каждой значащей единицы в кодовой комбинации следует не менее r -нулей. Переход от минимальной формы к неминимальной осуществляется с помощью операции развертки кода, которая заключается в замене единицы в ℓ -м разряде на единицы в $(\ell-1)$ -м и $(\ell-r-1)$ -м разрядах. Операция свертки является обратной операцией развертки. Данные операции не изменяют результирующего значения эквивалента, представляемого кодовой комбинацией, а изменяют лишь форму представления самой кодовой комбинации. В этом заключается неоднозначность представления цифровой информации в данных кодах.

Устройство работает в двух режимах: в режиме проверки и в режиме непосредственного преобразования входного кода с иррациональными основаниями в аналоговую величину. Проверка преобразователя осуществляется на основе сравнения различных кодовых представлений, соответствующих одному и тому же значению аналоговой величины.

В режиме проверки производится определение кодов реальных весов разрядов основного ЦАП 15, причем его разряды делятся на группу "неточных" (старших) разрядов и на группу "точных" (младших) разрядов. Такой подход справедлив для формирования весов разрядов ЦАП с одинаковой относительной погрешностью δQ . В этом случае абсолютные отклонения ΔQ_{ℓ} от требуемых значений $Q_{\ell \text{ req}}$ для старших разрядов будут больше, а для младших - меньше. Поэтому определение кодов реальных весов разрядов производится только для группы из n старших разрядов. Значение n определяется из условия

$$Q_1 \leq \Delta Q_{n-m+1} \leq Q_{p+2}, \quad (5)$$

где n - количество разрядов основного ЦАП 15;

ΔQ_{n-m+1} - отклонение от требуемого значения веса $(n-m+1)$ -го разряда;

Q_1, Q_{p+2} - значение весов 1-го и $(p+2)$ -го младших разрядов соответственно.

Например для ЦАП, построенного на основе 1-го кода Фибоначчи (в дальнейшем все примеры будут иллюстрироваться для такого ЦАП), при $n = 8$ и $\delta Q = 10\%$ m будет равно 2, поскольку $Q_2 > \Delta Q_1 = 1,3 > Q_1$ (табл.1).

После изготовления предлагаемого ЦАП измеряются реальные веса "точных" разрядов, их кодовые эквиваленты записываются в блок 9 памяти и в дальнейшем используются для коррекции. Определение кодов реальных весов "неточных" разрядов производится в режиме проверки и осуществляется последовательно от младшего из "неточных" разрядов к старшему. При этом вспомогательный ЦАП 13 генерирует ступенчатый нарастающий аналоговый сигнал A , число уровней которого соответствует числу "неточных" разрядов основного ЦАП 15.

Определение реального веса каждого "неточного" разряда производится за два цикла. В первом цикле происходит преобразование j -й ступени сигнала A , поступающего во второй вход блока 14 сравнения, в код K_j . При этом на первый вход блока 14 поступает компенсирующий аналоговый сигнал A_{Kj} , формирующийся на выходе ЦАП 15.

По команде из блока 11 управления старший разряд третьего регистра 16 устанавливается в единичное состояние. На выходе ЦАП 15 при этом появится аналоговый сигнал A_{K1} , равный весу старшего разряда Q_n . С помощью блока 14 производится сравнение величин аналоговых сигналов A_j и A_{Kj} . Выходной сигнал V_{ℓ} блока 14 удовлетворяет условию

$$V_{\ell} = \begin{cases} 0, & \text{если } A_j < A_{Kj}; \\ 1, & \text{если } A_j \geq A_{Kj}. \end{cases} \quad (6)$$

Если в результате сравнения $V_{\ell} = 1$, то n -й разряд в третьем регистре 16 остается в единичном состоянии. Далее происходит включение следующего $(n-1)$ -го разряда. При этом компенсирующий аналоговый сигнал $A_{K\ell}$ становится равным сумме величин Q_n и Q_{n-1} .

Если же $Y_i = 0$, то i -й разряд в регистре 16 сбрасывается в нулевое состояние и также включается следующий $(n-1)$ -й разряд, при этом $A_{kr} = Q_{n-1}$.

Далее производится сравнение аналоговых сигналов A_j и A_{kr} . Преобразование осуществляется за n этапов сравнения. Величина компенсирующего аналогового сигнала A_{kr} на каждом этапе определяется

$$A_{kr} = \sum_{\ell=1}^n Y_{\ell} \cdot Q_{n-\ell+1} \quad (7)$$

где Y_{ℓ} - выходной сигнал блока 14 на ℓ -м этапе;

$Q_{n-\ell+1}$ - вес $(n-\ell+1)$ -го разряда ЦАП 15.

Причем блок 11 управления в первом цикле выдает сигнал запрета на включение j -го проверяемого разряда. По выходным сигналам блока 14 сравнения и с помощью блоков 3 - 11 результат первого кодирования j -й степени аналогового сигнала K_j^1 вычисляется в блоке 5 по формуле

$$K_j^1 = \sum_{\ell=1}^{j-1} \alpha_{\ell} \cdot N_{\ell}$$

где α_{ℓ} - двоичная цифра ℓ -го разряда, определяемая блоком 14;

N_{ℓ} - код реального веса ℓ -го разряда, хранящийся в блоке 9 памяти.

Вычисление суммы $\sum_{\ell=1}^{j-1} \alpha_{\ell} \cdot N_{\ell}$ про-

исходит следующим образом.

Если блок 14 сравнения в процессе поразрядного уравнивания вырабатывает сигнал, оставляющий ℓ -й разряд ЦАП 15 включенным ($Y_{\ell} = 1$), то код реального веса ℓ -го разряда N_{ℓ} переписывается из блока 9 памяти в блок 7 развертки кода, выполняющего в данном процессе функции регистра, и суммируется с содержимым блока 5 свертки-развертки кода (содержимое блока 5 при $\ell = 1$ является нулевым). Операция суммирования осуществляется следующим образом. При наличии для каждого разряда выходного сигнала с блока 6 элементов ИЛИ и отсутствии сигнала с блока 4 элементов И в данный разряд блока 5 свертки-развертки кода записывает-

ся единица и происходит операция приведения кода к минимальной форме (свертка). Если при этом содержимое блока 7 станет нулевым, блок 8 определения знака выработает сигнал, который явится признаком окончания суммирования, иначе в блоке 5 происходит один такт развертки кода и аналогичное суммирование кодовых комбинаций, находившихся в блоках 5 и 7. Блок-схема алгоритма выполнения операции суммирования представлена на фиг. 4. Пример выполнения операции суммирования приведен в табл. 2.

После появления признака окончания операции суммирования в обнуленный блок 7 из блока 9 памяти переписывается код реального веса следующего значащего (оставленного включенным по результату опроса блока 14) разряда. Операция суммирования повторяется для всех значащих разрядов кода K_j^1 . Результат образуется в блоке 5.

Во втором цикле производится вторичное уравнивание j -й степени аналогового сигнала A_j блоками 11 - 16, причем запрет включения j -го проверяемого разряда не происходит.

Код K_j^2 второго результата уравнивания получается последовательным вычитанием из кода K_j^1 , хранящегося в блоке 5 после первого цикла реальных весов разрядов N_{ℓ} , оставленных включенными в результате первичного кодирования.

Выполнение операции вычитания производится путем развертки кодовых комбинаций в блоке 5 свертки-развертки кода и блоке 7 развертки кода и установки в нулевое состояние совпадающих значащих разрядов кодов. Указанный процесс происходит до появления нулевой кодовой комбинации, хотя бы в одном из блоков развертки. Признаком появления нулевой кодовой комбинации является отсутствие сигналов совпадений значащих разрядов кодов, поступающих с выхода блока 4 элементов И. По окончании вычитания производится операция суммирования для переписи результатов в блок 5 и приведения его к минимальной форме.

Блок-схема алгоритма выполнения операции вычитания представлена на

фиг.5. Пример выполнения операции вычитания для двух кодов Фибоначчи приведен в табл.3. Установка совпадающих значащих разрядов в нулевое состояние обозначается.

Таким образом, код K_j второго результата уравнивания вычисляется в блоке 5 по формуле

$$K_j = K_j^1 - \sum_{\ell=1}^n a_{\ell}^* N_{\ell} \quad (8)$$

где a_{ℓ}^* - двоичная цифра ℓ -го разряда, определяемая блоком 14 при повторном уравнивании.

Примечательно, так как с целью упрощения вычислений перед началом режима самопроверки кодам реальных значений весов "неточных" разрядов присваивается нулевое значение (в выражении (8) $N_j = 0$), то код K_j будет соответствовать коду реального значения веса j -го разряда ($N_j = K_j$).

Далее код N_j переписывается в блок 9 памяти. На этом процесс определения кода реального значения веса j -го разряда основного ЦАП 15 заканчивается.

Определение кодов реальных значений весов остальных "неточных" разрядов происходит аналогично и с учетом ранее определенных кодов весов младших "неточных" разрядов. После определения всех K_j режим проверки заканчивается.

Пример определения веса 6-го разряда ЦАП при $A = 16$ показан в табл.5. В табл.4 приведено начальное состояние блока 9 памяти.

Итак, код Фибоначчи реального веса 6-го разряда равен $0010101 = 12_{10}$. Содержимое блока 9 памяти после определения K_6 приведено в табл.6.

В режиме непосредственного преобразования входной код поступает на вход 1 устройства, посредством блоков 2,3,4,5,6,7,8,9,10,11,15 и 16 преобразуется в аналоговую величину на выходе 17 устройства.

Преобразование осуществляется следующим образом.

Входной код K через цифровой коммутатор поступает в регистр 3, а затем в блок 5 шертки-развертки кода и сравнивается с кодами реальных весов разрядов основного ЦАП 15

N_{ℓ} , поступающими из блока 9 памяти в блок 7 развертки кода. Сравнение начинается со старших разрядов и производится путем выполнения операции вычитания над содержимым блоков 5 и 7. Определение результата сравнения производится анализом состояния блока 7 блоком 8 определения знака по окончании операции вычитания. Если содержимое блока 7 равно нулю (входной код K больше кода реального веса N_{ℓ}), то в регистре 16 соответствующий ℓ -й разряд устанавливается в единичное состояние,

разность $(K - \sum_{\ell=1}^n a_{\ell} N_{\ell})$, образован-

ная в блоке 5, переписывается в регистр 3, и в дальнейшем сравнение происходит с этой разностью. Если содержимое блока 7 не равно нулю (код реального веса больше входного кода), то соответствующий разряд в регистре 16 включается и содержимое регистра 3 не изменяется.

Процедура повторяется для всех кодов реальных весов, записанных в блоке 9. В результате в регистре 16 формируется рабочий код K_p .

Пример преобразования входного кода $K = 1001010_{10} = 28_{10}$ в рабочий код K_p показан в табл.8.

В табл.7 приведено содержимое блока 9 памяти после окончания режима проверки.

После формирования рабочего кода K_p и поступления его на вход основного ЦАП 15 на выходе 17 устройства появляется аналоговая величина, значение которой соответствует входному коду.

Ф о р м у л а и з о б р е т е н и я

1. Цифроаналоговый преобразователь, содержащий цифровой коммутатор, первый регистр, блок развертки кода, блок памяти, основной цифроаналоговый преобразователь, выход которого является выходной шиной, блок управления, первый выход которого подключен к управляющему входу цифрового коммутатора, второй выход подключен к управляющему входу первого регистра, третий выход подключен к соответствующим управляющим входам блока развертки кода, четвертый выход подключен к управ-

лящему входу блока памяти, о т
 л и ч а ю щ и й с я тем, что, с
 целью повышения точности, введены
 блок элементов И, блок элементов
 ИЛИ, блок определения знака кода,
 блок адресации, второй и третий
 регистры, дополнительный цифроанало-
 говый преобразователь, блок срав-
 нения, блок свертки-развертки кода,
 управляющие входы которого подклю-
 чены к соответствующим пяти выхо-
 дам блока управления, выходы - к
 соответствующим информационным вхо-
 дам блока памяти, первым входам бло-
 ка элементов И, первым входам блока
 элементов ИЛИ, первым информацион-
 ным входам цифрового коммутатора,
 вторые информационные входы которого
 являются соответствующими входными
 шинами преобразователя, выходы под-
 ключены к соответствующим информа-
 ционным входам первого регистра,
 выходы которого подключены к соот-
 ветствующим первым информационным
 входам блока свертки-развертки ко-
 да, вторые информационные входы
 которого объединены с соответствую-
 щими первыми информационными входами
 блока развертки кода, соответст-
 вующими первыми входами блока
 управления и подключены к соответ-
 ствующим выходам блока элементов
 И, третьи информационные входы объ-
 единены с соответствующими вторыми
 информационными входами блока раз-
 вертки кода и подключены к соответ-
 ствующим выходам блока элементов
 ИЛИ, вторые входы которого объедине-
 ны с соответствующими вторыми входа-
 ми блока элементов И, соответствую-
 щие входами блока определения зна-
 ка кода и подключены к соответст-
 вующим выходам блока развертки кода,
 третьи информационные входы которого
 подключены к соответствующим выходам
 блока памяти, входы адреса которо-
 го подключены к соответствующим вы-
 ходам блока адресации, управляющие
 входы которого подключены к соответ-
 ствующим шестым выходам блока управ-
 ления, второй вход которого подклю-
 чен к выходу блока определения знака
 кода, седьмые выходы подключены к
 соответствующим управляющим входам
 второго регистра, выходы которого
 подключены к соответствующим входам

дополнительного цифроаналогового
 преобразователя, выход которого
 подключен к первому входу блока
 сравнения, второй вход которого
 подключен к выходу основного цифро-
 аналогового преобразователя, выход
 подключен к третьему входу блока
 управления, четвертый вход которого
 является шиной "Запуск", восьмые
 выходы подключены к соответствующим
 управляющим входам третьего регис-
 тра, выходы которого подключены к
 соответствующим входам основного
 цифроаналогового преобразователя.
 2. Преобразователь по п.1, о т
 л и ч а ю щ и й с я тем, что блок
 управления выполнен на первом и вто-
 ром регистрах, генераторе тактовых
 импульсов, постоянном запоминающем
 устройстве, входы с первого по де-
 вятый которого подключены к соответ-
 ствующим выходам первого регистра,
 входы с десятого по $n+9$, где n -
 число разрядов преобразуемого кода,
 являются первыми входами блока
 управления, вход $n+10$ является
 вторым входом блока управления,
 вход $n+11$ - третьим входом блока
 управления, выходы с первого по во-
 семнадцатый подключены к соответ-
 ствующим информационным входам
 второго регистра, выходы с девятнад-
 цатого по двадцать седьмой - к соот-
 ветствующим информационным входам
 первого регистра, первый управляю-
 щий вход которого является четвёр-
 тым входом блока управления, второй
 управляющий вход подключен к прямо-
 му выходу генератора тактовых им-
 пульсов, инерсный выход которого
 подключен к управляемому входу
 второго регистра, первый выход кото-
 рого является первым выходом блока
 управления, второй выход является
 вторым выходом блока управления,
 выходы с третьего по шестой являют-
 ся пятыми выходами блока управле-
 ния, седьмой и восьмой выходы -
 третьими его выходами, девятый вы-
 ход является четвертым его выходом,
 выходы с десятого по четырнадцатый
 являются шестыми его выходами, пят-
 надцатый и шестнадцатый выходы -
 седьмыми выходами, семнадцатый и во-
 семнадцатый выходы - восьмыми выхода-
 ми блока управления.

Таблица 3

Такты	Блок	Номер разряда								Блок 4							
		8	7	6	5	4	3	2	1	Номер разряда							
		Вес разряда								8	7	6	5	4	3	2	1
		21	13	8	5	3	2	1	1								

1	5	1	0	1	0	0	1	0	0								
	7	0	0	0	1	0	0	1	0								
	5	1	0	0	1	0	0	1	0								
	7	0	0	0	0	1	0	1	0	0	0	0	0	1	0	0	1
2	5	1	0	0	1	0	0	1	0								
	7	0	0	0	0	0	1	0	0								
	5	0	1	1	0	1	1	0	1								
	7	0	0	0	0	0	0	1	0	0	0	0		0	0	0	1
3	5	0	1	1	0	1	1	0	0								
	7	0	0	0	0	0	0	1	0								
	5	0	1	1	0	1	0	1	0								
	7	0	0	0	0	0	0	0	0	0	0	0		0	0	0	1
4	5	0	1	1	0	1	0	1	0								
	7	0	0	0	0	0	0	0	0								
	5	0	1	1	0	1	0	0	1								
	7	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Ре-
зуль-
тат

0 1 1 0 1 0 0 1

1 0 0 0 1 0 1 0

Таблица 4

Номер разряда	7	6	5	4	3	2	1
Реальный вес разряда	22	12	8	5	3	2	1
Блок 9 памяти	0000000	0000000	0010000	0001000	0000100	0000010	0000001

Т а б л и ц а 5

Так- ты	Блок 16							Блок 14	Блок 5						
	21	13	8	5	3	2	1		21	13	8	5	3	2	1
	Блок 15														
	22	12	8	5	3	2	1								
1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
2	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
3	0	0	1	0	0	0	0	1	0	0	1	0	0	0	0
4	0	0	1	1	0	0	0	1	0	1	0	0	0	0	0
5	0	0	1	1	1	0	0	1	0	1	0	0	1	0	0
6	0	0	1	1	1	1	0	0	0	1	0	0	1	0	0
7	0	0	1	1	1	0	1	0	0	1	0	0	1	0	0
8	0	0	1	1	1	0	0		0	1	0	0	1	0	0
9	1	0	0	0	0	0	0	0	0	1	0	0	1	0	0
10	0	1	0	0	0	0	0	1	0	0	0	1	1	0	0
11	0	1	1	0	0	0	0	0	0	1	0	0	1	0	0
12	0	1	0	1	0	0	0	0	0	1	0	0	1	0	0
13	0	1	0	0	1	0	0	1	0	1	0	0	0	0	0
14	0	1	0	0	1	1	0	0	0	1	0	0	0	0	0
15	0	1	0	0	1	0	1		0	0	1	0	1	0	1

Т а б л и ц а 6

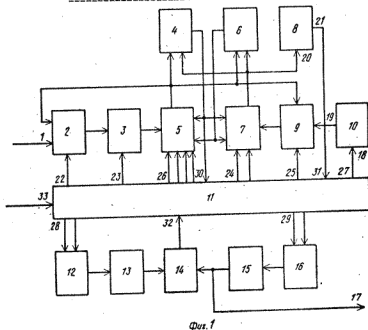
Номер разряда	7	6	5	4	3	2	1
Реальный вес разряда	22	12	8	5	3	2	1
Блок 9	0000000	0010101	0010000	0001000	0000100	0000010	0000001

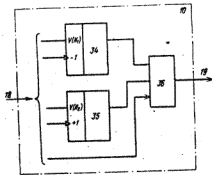
Номер разряда	7	6	5	4	3	2	1
Реальный вес разряда	22	12	8	5	3	2	1
Блок 9	10000010	00101010	00100000	00010000	00001000	000001000	00000010

Таблица 8

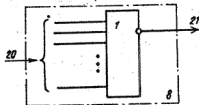
Такты	Операция	Блок	Содержимое блока								К _Ф
			Вес разрядов								
			21	13	8	5	3	2	1	1	
1		5	0	0	0	1	0	0	1	0	
		7	0	0	0	0	0	0	0	0	1
		5	0	0	0	1	0	0	1	0	
2	-	5	0	0	0	1	0	0	1	0	
		7	0	0	1	0	1	0	1	0	
		5	0	0	0	0	0	0	0	0	
3		7	0	0	0	1	0	0	1	0	0
	-	5	0	0	0	1	0	0	1	0	
		7	0	0	1	0	0	0	0	0	
4		5	0	0	0	0	0	0	0	0	
	-	7	0	0	0	1	0	0	1	0	
		5	0	0	0	0	0	0	0	1	0
5		7	0	0	0	0	0	0	0	0	1
	-	5	0	0	0	0	0	0	1	0	
		7	0	0	0	0	1	0	0	0	
5		5	0	0	0	0	0	0	0	0	
	-	7	0	0	0	0	1	0	0	0	
		5	0	0	0	0	0	0	0	0	
	7	0	0	0	0	0	1	0	0	0	

Такты	Операция	Блок	Содержимое блока								К _р
			Вес разрядов								
			21	13	8	5	3	2	1	1	
6	-	5	0	0	0	0	0	0	1	0	
		7	0	0	0	0	0	1	0	0	
		5	0	0	0	0	0	0	1	0	
		7	0	0	0	0	0	0	0	1	
7	-	5	0	0	0	0	0	0	1	0	
		7	0	0	0	0	0	0	1	0	
		5	0	0	0	0	0	0	0	0	
		7	0	0	0	0	0	0	0	0	1

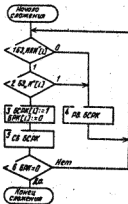




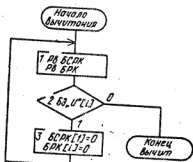
Фиг. 2



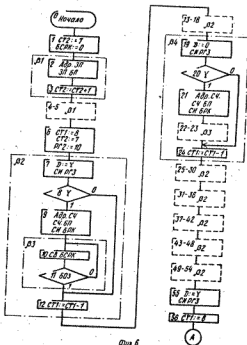
Фиг. 3



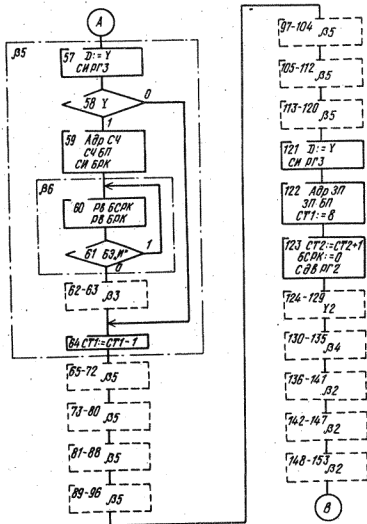
Фиг. 4



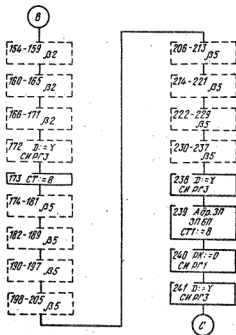
Quiz 5



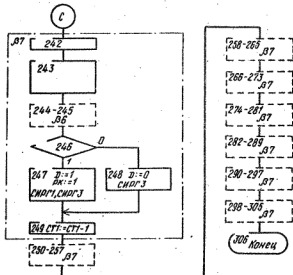
Quiz 6



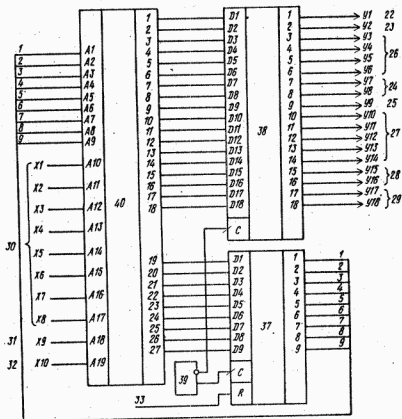
Фиг. 7



Фиг. 8



Фиг. 9



Фиг. 10

Составитель В.Першков

Редактор В.Иванова

Техред Т.Дубинчак

Корректор А.Тяско

Заказ 1004/60

Тираж 818

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д.4/5

Филиал ИПИ "Патент", г.Ужгород, ул.Проектная, 4