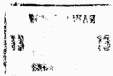




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3806281/24-24

(22) 29.10.84

(46) 15.09.86. Бюл. № 34

(72) А. П. Стахов, А. Д. Азаров,
В. П. Марценюк, В. Я. Стейскал
и Н. А. Масленикова

(53) 681.325 (088.8)

(56) Авторское свидетельство СССР
№ 864548, кл. Н 03 К 13/02, 1981.

Авторское свидетельство СССР
№ 1200422, кл. Н 03 М 1/66, 1985.

(54) УСТРОЙСТВО ЦИФРОАНАЛОГОВОГО
ПРЕОБРАЗОВАНИЯ

(57) Изобретение относится к области
вычислительной и цифровой измеритель-
ной техники и может быть использовано
для преобразования цифровых вели-

чин в аналоговые. Изобретение позво-
ляет повысить быстродействие и расши-
рить область применения за счет пре-
образования обычного двоичного кода
устройством, выполненным на базе из-
быточного измерительного кода, что
обеспечивается введением цифрового
коммутатора, блока определения раз-
ности кодов, второго регистра и ре-
гистра сдвига. Измеренные на этапе
изготовления коды реальных весов всех
разрядов цифроаналогового преобразо-
вания записываются в блок постоян-
ной памяти и затем используются при
преобразовании входного двоичного ко-
да в рабочий избыточный измеритель-
ный код, который поступает на вход
цифроаналогового преобразователя.
Повышение быстродействия обеспечи-
вается за счет ускорения процесса
преобразования входного кода в рабо-
чий код. 1 з.п. ф-лы, 3 ил.

Изобретение относится к вычислительной и цифровой измерительной технике и может быть использовано для преобразования цифровых величин в аналоговые.

Цель изобретения - повышение быстродействия и расширение области применения за счет преобразования двоичного кода.

На фиг.1 приведена функциональная схема устройства и цифроаналогового преобразования; на фиг.2 - функциональная схема блока управления; на фиг.3 - граф-схема алгоритма работы блока управления.

Устройство цифроаналогового преобразования (фиг.1) содержит входные шины 1 преобразуемого кода, цифровой коммутатор (ЦК) 2, управляющий вход 3, блок 4 управления (БУ), первый и второй регистры (РГ) 5 и 6, блок 7 определения разности кодов (БОР), блок 8 постоянной памяти (БПП), регистр 9 сдвига (РГС), цифроаналоговый преобразователь (ЦАП) 10, выходную шину 11.

Блок 4 управления содержит первый выход 12, вторые выходы 13, третий, четвертый и пятый выходы 14, 15, 16 и первый вход 17.

Блок 4 управления (фиг.2) выполнен на первом и втором регистрах 18 и 19, генераторе 20 тактовых импульсов, RS-триггере 21 и постоянном запоминающем устройстве 22.

Цифроаналоговый преобразователь 10 выполняется на основе избыточного измерительного кода.

На этапе изготовления устройства цифроаналогового преобразования производится измерение реальных весов разрядов ЦАП 10 и запись кодовых эквивалентов измеренных значений в блок 8 постоянной памяти. В процессе преобразования эти коды используются для коррекции преобразуемого входного кода. Повышение быстродействия устройства обеспечивается за счет ускорения процесса преобразования входного кода в рабочий код, который подается непосредственно на ЦАП 10. Входной код устройства цифроаналогового преобразования является обычным, широко распространенным двоичным кодом, что существенно расширяет область применения устройства.

Устройство работает следующим образом.

Исходный код К, поступающий на входные шины 1, с помощью блоков 2, 6, 7, 8, 9, 4 преобразуется в код реальных значений весов разрядов Кр. Для этого код К через ЦК 2 записывается во второй регистр 6 и в блоке 7 определения разности кодов сравнивается с кодовыми эквивалентами реальных значений разрядов, записанных в блоке 8 постоянной памяти. Сравнение осуществляется выполнением операции вычитания над кодами, поступающими на информационные входы БОР 7, и анализом знака полученной разности. Если исходный код К больше двоичного эквивалента веса разряда N_i , то разность $(K-N_i)$ получается положительной, величина ее переписывается во второй регистр 6 и на последующем этапе сравнение происходит с этой разностью. Если входной код К меньше двоичного эквивалента N_i , то разность $(K-N_i)$ будет отрицательной и во второй регистр значение ее не переписывается.

Начинается сравнение с двоичного эквивалента старшего разряда и повторяется для всех разрядов.

Знак разности после каждого этапа сравнения записывается в регистр 9 сдвига (в случае положительной разности запишется единичное значение, иначе нулевое).

Код, образованный в РГС 9 после выполнения всех этапов сравнения, является кодом реальных значений или рабочим кодом Кр. Полученный рабочий код переписывается в первый регистр 5, управляющий включением разрядов ЦАП 10. При этом на выходе 11 устройства появляется аналоговая величина, значение которой соответствует входному двоичному коду К.

В таблице приведены необходимые для функционирования устройства управляющие и условные сигналы.

Номер связи	Наименование	Обозначение	Примечание
1	2	3	4
3	Начало преобразования		
14	Коммутация ЦК	У1	При У1=1 коммутруется вход 1

Продолжение таблицы

1	2	3	4
15	Синхрон- пульс РГ6	У2	
13	Адрес БШ 8	У3	
		У4	
		У5	
16	Синхрон- пульс РГС 9	У6	Сдвиг со- держимого РГС
12	Синхрон- пульс РГ5	У7	
17	Признак зна- ка разности	X1	X1 = 1 - раз- ность по- ложительна

Алгоритмы функционирования цифроаналогового преобразователя в соответствии с приведенным описанием приведены на фиг. 3, где вершина 1 - запись исходного кода К в РГ6; вершина 2 - установка адреса на считывание из БШ 8 двоичного эквивалента старшего разряда; вершины 3, 4, 6, 7, 9, 10, 12, 13, 15, 16, 18, 19, 21 - сравнение и запись результата в РГ6; вершины 5, 8, 11, 14, 17, 20 - установка адреса на считывание из БШ 8 двоичного эквивалента следующего разряда; вершина 21 - перепись рабочего кода Кр в РГ5.

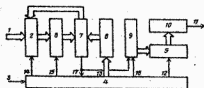
Ф о р м у л а и з о б р е т е н и я

1. Устройство цифроаналогового преобразования, содержащее первый регистр, управляющий вход которого подключен к первому выходу блока управления, выходы - к соответствующим входам цифроаналогового преобразователя, выход которого является выходной шиной устройства, вторые выходы блока управления подключены к соответствующим адресным входам блока постоянной памяти, о т л и ч а ю щ е с я тем, что, с целью повышения быстродействия и расширения области применения за счет обеспечения преобразования двоичного кода в него введены второй регистр, блок определения разности кодов, регистр

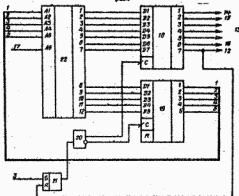
сдвига, цифровой коммутатор, первые информационные входы которого являются винами преобразуемого кода, вторые информационные входы подключены к соответствующим первым выходам блока определения разности кодов, управляющий вход подключен к третьему выходу блока управления, выходы - к соответствующим информационным входам второго регистра, управляющий вход которого подключен к четвертому выходу блока управления, выходы подключены к соответствующим первым входам блока определения разности кодов, вторые входы которого подключены к соответствующим выходам блока постоянной памяти, второй выход - подключен к первому входу блока управления и информационному входу регистра сдвига, выходы которого подключены к соответствующим информационным входам первого регистра, управляющий вход - к пятому выходу блока управления, второй вход которого является управляющим входом устройства.

2. Устройство по п. 1, о т л и ч а ю щ е с я тем, что блок управления выполнен на первом и втором регистрах, генераторе тактовых импульсов, RS-триггере, постоянном запоминающем устройстве, выходы с первого по седьмой которого подключены к соответствующим информационным входам первого регистра, выходы с восьмого по двенадцатый подключены к соответствующим информационным входам второго регистра, входы с первого по пятый - к соответствующим выходам второго регистра, управляющий вход которого подключен к инверсному выходу генератора тактовых импульсов, управляющий вход которого подключен к выходу RS-триггера, прямой выход - к управляющему входу первого регистра, первый выход которого является третьим выходом блока управления, второй выход - четвертым выходом блока управления, выходы с третьего по пятый - вторыми выходами блока управления, шестой выход - пятым выходом блока управления, седьмой выход - первым выходом блока управления и подключен к R-входу RS-триггера, S-вход которого является вторым входом блока управления, при этом шестой вход постоянного запоминающего устройства является первым входом блока управления.

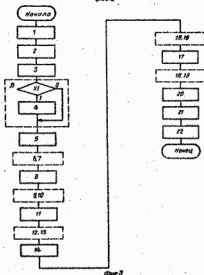
1257847



Фиг. 1



Фиг. 2



Фиг. 3

Составитель В.Першиков

Редактор Т.Митейко Техред Н.Верес Корректор С.Черни

Заказ 5041/58

Тираж 816

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4