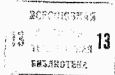




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

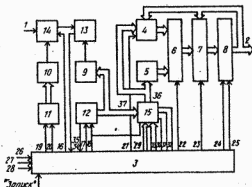
# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3927378/24-24  
(22) 08.07.85  
(46) 07.02.87. Бюл. № 5  
(72) А. П. Стахов, А. Л. Азаров,  
В. И. Моисеев, В. Я. Стейскал  
и Л. В. Козьмь  
(53) 681.325(088.8)  
(56) Авторское свидетельство СССР  
№ 788282, кл. Н 03 М 1/26, 1978.  
Авторское свидетельство СССР  
№ 1216827, кл. Н 03 М 1/26, 1984.  
(54) УСТРОЙСТВО АНАЛОГО-ЦИФРОВОГО  
ПРЕОБРАЗОВАНИЯ  
(57) Изобретение относится к автома-  
тике и вычислительной технике и мо-  
жет быть использовано для преобразо-  
вания аналоговых сигналов в цифровой  
код. Устройство аналого-цифрового  
преобразования содержит аналоговый  
вход 1, выходные шины 2, блок 3 уп-  
равления, блок 4 оперативной памяти,

блок 5 постоянной памяти, цифровой  
коммутатор 6, арифметико-логическое  
устройство 7, регистр 8, основной  
цифроаналоговый преобразователь 9,  
выполненный на основе избыточного из-  
мерительного кода, например, кода  
Фибоначчи, дополнительный цифроан-  
алоговый преобразователь 10, регистр  
11 сдвига, регистр 12 последователь-  
ного приближения, блок 13 сравнения,  
аналоговый коммутатор 14, блок 15  
формирования адреса. Введенный блок  
15 формирования адреса и изменение  
алгоритма работы блока управления  
позволили обеспечить повышение быст-  
родействия устройства за счет после-  
довательно-параллельного преобразо-  
вания рабочего кода с выхода регист-  
ра 12 последовательного приближения  
в выходной двоичный код. 3 э.п. ф-лы,  
7 ил. 1 табл.



Изобретение относится к цифровой измерительной и вычислительной технике и может быть использовано для преобразования аналоговых величин в цифровые.

Цель изобретения - повышение быстродействия устройства аналого-цифрового преобразования.

На фиг. 1 приведена функциональная схема устройства аналого-цифрового преобразования; на фиг. 2 - функциональная схема блока формирования адреса; на фиг. 3 - функциональная схема адресного блока; на фиг. 4 - функциональная схема блока управления; на фиг. 5-7 - граф-схема алгоритма работы устройства.

Устройство аналого-цифрового преобразования (фиг. 1) содержит аналоговый вход 1, выходные шины 2, блок 3 управления, блок 4 оперативной памяти, блок 5 постоянной памяти, цифровой коммутатор 6, арифметико-логическое устройство 7, регистр 8, основной 9 и дополнительный 10 цифро-аналоговые преобразователи (ЦАП), регистр 11 сдвига, регистр 12 последовательного приближения, блок 13 сравнения, аналоговый коммутатор 14, блок 15 формирования адреса, при этом блок 3 управления содержит выходы 16-25 соответственно с первого по десятый, первый 26 и второй 27 входы, которые являются соответственно входом разрешения работы и входом контроль - преобразование устройства, третий вход, который является шиной "Запуск", четвертый вход 28, который является входом режима преобразования (однократного или многократного), первую группу выходов 29, входы 30-32 соответственно с пятого по седьмой, вторую группу выходов 33, восьмой 34 и девятый 35 входы, а блок 15 формирования адреса содержит адресные выходы 36 и вторые информационные входы 37.

Блок 15 формирования адреса (фиг. 2) содержит адресный блок 38, первый счетчик 39 адреса, второй счетчик 40 адреса, цифровой коммутатор 41, информационные выходы 42 адресного блока 38 (фиг. 3) который, в свою очередь, содержит  $n$  мультиплексоров 43<sub>1</sub> - 43<sub>m</sub>, первый 44 и второй 45 счетчики.

Блок 3 управления содержит регистр 46, блок 47 постоянной памяти,

генератор 48 тактовых импульсов, регистр 49 сдвига, счетчик 50 и мультиплексор 51.

ЦАП 9 предлагаемого устройства должен быть выполнен на основе изысканных измерительных кодов (ИМК). Любое число в ИМК можно представить в виде:

$$N = \sum_{i=0}^{n-1} a_i \alpha^i,$$

где  $a_i \in \{0, 1\}$  - разрядный коэффициент;  $\alpha$  - основание системы счисления, причем  $1 \leq \alpha \leq 2$  и

$$\alpha^i = \alpha^{i-1} \cdot \alpha.$$

К ИМК, например, относятся коды Фибоначчи и "золотой" пропорции. Устройство функционирует в двух режимах проверки и непосредственно аналого-цифрового преобразования с коррекцией. Увеличение быстродействия устройства во втором режиме достигается за счет групповой обработки 25 разрядов при коррекции выходного кода, т.е. при преобразовании рабочий код - двоичный код. Для этого в режиме проверки определяются как коды реальных значений весов разрядов ЦАП 9, так и коды, соответствующие некоторым суммам  $\Sigma$  кодов реальных значений весов разрядов. При этом разряды ЦАП 9 делятся на группу старших (поверяемых) и на группу младших (неповеряемых) разрядов. Такой подход справедлив при формировании весов разрядов с одинаковой относительной погрешностью  $\delta$ . В этом случае абсолютные отклонения  $\Delta Q_{r5}$  от требуемых значений  $Q_{r5}$  для старших разрядов будут большими, а для младших - малыми. Коды реальных значений весов младших разрядов  $K_{r5}$ , полученные после изготовления устройства, записываются в блок 5 и используются при функционировании устройства.

Определение кодов  $K_{r5}$  реальных значений весов разрядов производится только для группы из  $p$  старших разрядов. Значение  $p$  определяется из условия

$$Q_{r1} \leq \Delta Q_{n-p+1} < Q_{r2},$$

где  $p$  - количество разрядов ЦАП;  $\Delta Q_{n-p+1}$  - отклонения от требуемого значения  $(n-p+1)$ -го разряда; значения первого и второго младших разрядов соответственно.

Определение кодов  $K_p$  для старших разрядов производится при формировании ЦАП 10 ступенчато нарастающей аналоговой величины, каждая ступень которой соответствует весу поверяемого разряда.

Каждый аналоговый сигнал  $A_p$  дважды уравнивается по методу поразрядного кодирования компенсирующим сигналом  $A_{p1}$ ; ЦАП 9 — один раз с запретом включения поверяемого разряда, другой раз — без запрета. По результатам двух кодирований определяется код реального веса поверяемого разряда.

Работа устройства на первом этапе режима проверки осуществляется следующим образом.

По сигналам блока 3 управления происходит обнуление регистра 8, содержимого блока 4, запись исходного кода в регистр 11, устанавливается в начальное состояние регистр 12 через аналоговый коммутатор 14, подключается к первому входу блока 13 сравнения выход ЦАП 10, на котором присутствует аналоговый сигнал  $A_{n-p+1}$ . Значение дополнительного аналогового сигнала должно быть таким, чтобы при поразрядном уравнивании его компенсирующим сигналом ЦАП 9  $A_k$  произошло включение поверяемого  $(n-p+1)$ -го разряда, т.е.  $A_{n-p+1}$  должны превышать реальный вес поверяемого разряда на величину 7-20%. Далее при помощи ЦАП 9 блоков 3 и 13 и регистра 12 производится аналого-цифровое преобразование сигнала  $A_{n-p+1}$ . Результат первого преобразования  $K'_{n-p+1}$ , которое осуществляется с запретом включения  $(n-p+1)$ -го разряда по сигналу из блока 3 управления, формируется в регистре 12. Двоичный код  $K'_{2n-p+1}$  первого преобразования формируется в регистре 8 при помощи блоков 3-5, счетчика 39, коммутаторов 6 и 41 арифметико-логического устройства 7 и регистра 8 по формуле

$$K'_{2n-p+1} = \sum_{i=1}^n a_i^1 K_{p_i}^1,$$

где  $a_i^1 \in \{0, 1\}$  — разрядный коэффициент первого кодирования

Результат второго кодирования  $K''_{n-p+1}$  также формируется в регистре 12. Двоичный код  $K''_{2n-p+1}$  второго преобразования формируется в регистре 8 по формуле

$$K''_{2n-p+1} = K'_{2n-p+1} - \sum_{i=1}^n a_i^2 K_{p_i}^2, \quad (1)$$

где  $a_i^2 \in \{0, 1\}$  — разрядный коэффициент второго кодирования

Так как в выражении (1) коды  $K_p$  равны нулю при  $i \geq n-p+1$  (содержимое блока 4 — нулевое), то код  $K''_{2n-p+1}$  равен коду реального веса  $(n-p+1)$ -го разряда, т.е.  $K''_{2n-p+1} = K_{2n-p+1}$ . По сигналу блока 3 управления этот код переписывается в блок 4 оперативной памяти по адресу, который указывается с помощью счетчика 39 и коммутатора 11. Далее производится сдвиг в регистре 11, в результате чего на выходе ЦАП 10 появится новый дополнительный аналоговый сигнал  $A_{n-p+2}$ . Получение реального веса  $(n-p+2)$ -го разряда происходит аналогично указанному. Первый этап проверки заканчивается после определения кодов реальных весов всех старших разрядов.

На втором этапе проверки для каждой из  $K$  групп ( $K=n/m$ ) по  $m$  разрядам анализируются  $2^m$  возможные комбинации и для каждой комбинации в блок 4 оперативной памяти записываются коды, определяемые как сумма кодов реальных весов единичных разрядов этой группы. По сигналу блока 3 управления происходит обнуление счетчика 50 и с помощью синхронных импульсов сложения анализируются  $2^m$  возможные комбинации. Каждая комбинация записывается в регистр 48 и анализ значений ее разрядов происходит следующим образом. Блок 3 управления анализирует старший  $m$ -й разряд регистра 49 и в случае, если он равен "1", то с помощью блоков 3 и 4 счетчика 39, коммутаторов 7 и 41, арифметико-логического устройства 7, код реального значения веса этого разряда записывается в регистре 8. Далее производится сдвиг влево содержимого регистра 49 и аналогично анализируется значение  $(m-1)$ -го разряда. Процесс повторяется для всех  $m$  разрядов. В результате в регистре 8 формируется код, соответствующий сумме кодов весов единичных разрядов для данной комбинации. По адресу, указанному счетчиком 40, код этой суммы записывается в блок 4 оперативной памяти. Далее на счетчик 50 поступает синхронный импульс сложения из блока 3 управления и анализ полученной комбинации происходит аналогично. Процесс по-

верки заканчивается после определения для всех комбинаций кодов, соответствующих суммам кодов весов единичных разрядов.

Режим непосредственного преобразования входной аналоговой величины  $A_{вх}$  в код осуществляется по методу поразрядного кодирования. Работа устройства в этом режиме осуществляется следующим образом. По сигналам блока 3 происходит обнуление регистра 8, устанавливается в начальное состояние регистр 12, происходит обнуление счетчиков 44 и 45, аналоговый коммутатор 14 подключает к первому входу блока 13 сравнения вход устройства, на котором присутствует аналоговый сигнал  $A_{вх}$ . При помощи блоков 3 и 13 ЦАП 9 и регистра 12 производится аналого-цифровое преобразование  $A_{вх}$ . Когда в регистре 12 сформируются старшие  $n$  разрядов кода, то с выхода переполнения  $n$ -разрядного счетчика 44 поступит сигнал на вход счетчика 45 и на выходах мультиплексоров  $43_1, 43_2, \dots, 43_m$  установятся старшие  $m$  разрядов кода из регистра 12, коммутатор 41 подключит к адресным входам блока 4  $m$  выходов мультиплексоров  $43_1, 43_2, \dots, 43_m$  и  $l$  выходов счетчика 45. По указанному адресу из блока 4 считывается двоичный код, соответствующий сумме кодов весов единичных разрядов для анализируемой первой группы  $n$  разрядов регистра 12. С помощью блока 3, арифметико-логического устройства 7, коммутатора 6 и регистра 8 этот код формируется в регистре 8.

Когда в регистре 12 сформируется вторая группа  $n$  разрядов, процесс повторится аналогично указанному. В результате анализа всех  $K$  групп разрядов регистра 12 скорректированный результат преобразования сформируется в регистр 8. По окончании процесса преобразования код  $K(A)$  поступает на выход 2 устройства.

Функционирование устройства в режиме непосредственного преобразования периодически прерывается режимом проверки. Частота перехода из режима в режим определяется скоростью изменения реальных значений весов разрядов ЦАП 9 и зависит от стабильности параметров аналоговых узлов и от скорости изменения внешних условий.

Блок 3 управления может быть син-тезирован различными методами. На-

пример, он может быть выполнен на основе автомата с памятью или по принципу программного управления.

Один из возможных вариантов реализации блока управления приведен на фиг. 4. Для формирования управляющих сигналов приведена последовательностная схема с использованием блока постоянной памяти.

Необходимые для управления функционированием устройства управляющие и условные сигналы приведены в таблице.

Алгоритм функционирования устройства в соответствии с описанием работы для  $n=6, m=3$  показан на фиг. 5-7. При данной разрядности управляемый адресный сигнал состоит из пяти сигналов  $Y_{19}^5, Y_{19}^4, Y_{19}^3, Y_{19}^2, Y_{19}^1$ . Коды требуемых значений весов трех младших разрядов будут записаны в блок 5, причем код требуемого значения веса младшего (первого) разряда записан по адресу 00000

( $Y_{19}^5=0; Y_{19}^4=0; Y_{19}^3=0; Y_{19}^2=0; Y_{19}^1=0$ ). Коды реальных значений весов трех старших разрядов будут записаны в блок 4, причем код реального значения веса старшего (шестого) разряда записан по адресу 00010 ( $Y_{19}^5=0; Y_{19}^4=0; Y_{19}^3=0; Y_{19}^2=1; Y_{19}^1=0$ ). Код, соответствующий сумме кодов весов включенных разрядов для первой группы из трех старших разрядов будет записан в блок 4 по адресу  $Y_{19}^5=0; Y_{19}^4=1; Y_{19}^3=1; Y_{19}^2=1; Y_{19}^1=0$ , принимая соответствующие значения трех старших разрядов регистра 12. Код, соответствующий сумме кодов весов включенных разрядов для второй группы из трех младших разрядов, будет записан в блок 4 по адресу  $Y_{19}^5=1; Y_{19}^4=0; Y_{19}^3=0; Y_{19}^2=0; Y_{19}^1=1$ , принимая соответствующие значения трех младших разрядов регистра 12.

Алгоритм состоит из следующего:  
 В(1-7) - начальная установка и обнуление блока 4;  
 В(8-16) - первое кодирование  $A_4$  с запретом;  
 В(17-28) - второе кодирование  $A_4$  без запрета;  
 В(29-30) - запись  $K_{p4}$  в блок 4;  
 В(31-80) - кодирование  $A_5$  и  $A_6$  и запись  $K_{p5}$  и  $K_{p6}$  в блок 4;  
 В(81-91) - запись в блок 4 кодов, соответствующих суммам кодов весов включенных разрядов для первой группы разрядов;

В(92-101) - запись в блок 4 кодов, соответствующих суммам кодов весов включенных разрядов для второй группы разрядов;

В(102-117) - непосредственное аналого-цифровое преобразование.

#### Ф о р м у л а и з о б р е т е н и я

1. Устройство аналого-цифрового преобразования, содержащее основной и дополнительный цифроаналоговые преобразователи, аналоговый коммутатор, первый информационный вход которого является аналоговым входом устройства, второй информационный вход соединен с выходом дополнительного цифроаналогового преобразователя, управляющий вход соединен с первым выходом блока управления, выход аналогового коммутатора соединен с первым входом блока сравнения, второй вход которого соединен с выходом основного цифроаналогового преобразователя, входы которого соединены с соответствующими информационными выходами регистра последовательного приближения, установочный и тактовый входы которого соединены с вторым и третьим выходами блока управления, четвертый и пятый выходы которого соединены с установочным и тактовым входами регистра сдвига, выходы которого подключены к соответствующим входам дополнительного цифроаналогового преобразователя, шестой выход блока управления соединен с входом записи-считывания блока оперативной памяти, выходы которого подключены к соответствующим первым информационным входам цифрового коммутатора, вторые информационные входы которого подключены к соответствующим выходам блока постоянной памяти, управляющий вход подключен к седьмому выходу блока управления, выходы цифрового коммутатора подключены к соответствующим первым информационным входам арифметико-логического устройства, управляющий вход которого подключен к восьмому выходу блока управления, выходы подключены к соответствующим информационным входам регистра, входы записи и облужения которого соединены соответственно с девятым и десятим выходами блока управления, выходы регистра являются выходными шинами устройства и объединены с соответствующими информаци-

онными входами блока оперативной памяти и вторыми информационными входами арифметико-логического устройства, адресные входы блока оперативной памяти объединены с соответствующими адресными входами блока постоянной памяти, первый и второй входы блока управления являются соответственно входом разрешения работы и входом контроль - преобразование устройства, третий вход блока управления является шиной "Запуск", о т л и ч а ю щ е с я тем, что, с целью повышения быстродействия, введен блок формирования адреса, адресные выходы которого подключены к соответствующим адресным входам блока постоянной памяти, первые информационные входы подключены к соответствующим выходам первой группы блока управления, вторые информационные входы подключены к соответствующим информационным выходам регистра последовательного приближения, тактовый вход подключен к третьему выходу блока управления, четвертый вход которого является входом режима преобразования устройства, пятый, шестой и седьмой входы блока управления подключены соответственно к первому выходу переполнения, выходу заема и второму выходу переполнения блока формирования адреса, входы режима работы которого подключены к соответствующим выходам второй группы блока управления, восьмой вход которого подключен к выходу окончания преобразования регистров последовательного приближения, девятый вход подключен к выходу блока сравнения.

2. Устройство по п. 1, о т л и ч а ю щ е с я тем, что блок формирования адреса выполнен на первом счетчике адреса, втором счетчике адреса, адресном блоке, цифровом коммутаторе, выходы которого являются адресными выходами блока формирования адреса, первые информационные входы подключены к соответствующим информационным выходам адресного блока, вторые информационные входы подключены к соответствующим информационным выходам первого счетчика адреса, третьи информационные входы подключены к соответствующим выходам второго счетчика адреса, информационные входы которого объединены с соответствующими информационными входами первого счетчика адреса и

являются первыми информационными входами блока формирования адреса, информационные входы адресного блока являются вторыми информационными входами блока формирования адреса, тактовый вход является тактовым входом блока формирования адреса, выход переполнения является первым выходом переполнения блока формирования адреса, выход заема и выход переполнения первого счетчика адреса являются соответственно выходом заема и вторым выходом переполнения блока формирования адреса, установочный вход адресного блока, входы сложения, вычитания, записи и обнуления первого счетчика адреса, входы сложения и записи второго счетчика адреса, первый и второй управляющие входы цифрового коммутатора являются входами режима работы блока формирования адреса.

3. Устройство по пп. 1 и 2, отличающееся тем, что адресный блок в блоке формирования адреса выполнен на первом и втором счетчиках,  $m$ -мультиплексорах с  $K$  информационными входами каждый, где  $m \cdot K = n$  число разрядов основного цифроаналогового преобразователя, одноименные адресные входы которых объединены и подключены к соответствующим выходам второго счетчика, вход обнуления которого объединен с входом обнуления первого счетчика и является установочным входом адресного блока, счетный вход первого счетчика является тактовым входом адресного блока, выход переполнения первого счетчика подключен к счетному входу второго счетчика и является выходом переполнения адресного блока, одноименные информационные входы  $m$  мультиплексоров объединены в соответствующие  $K$  группы входов, которые являются соответствующими информационными входами адресного блока, выходы мультиплексоров и второго счетчика являются информационными выходами адресного блока.

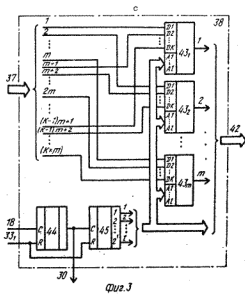
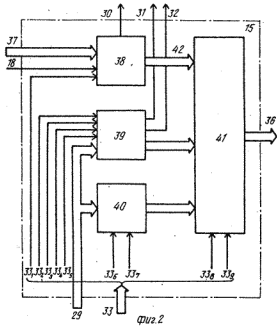
4. Устройство по п. 1, отличающееся тем, что блок уп-

равления выполнен на мультиплексоре, регистре сдвига, счетчике, блоке постоянной памяти, генераторе тактовых импульсов, регистре, информационные входы которого подключены к соответствующим выходам блока постоянной памяти, тактовый вход подключен к выходу генератора тактовых импульсов, вход обнуления является третьим входом блока управления, выходы с первого по шестой являются соответственно четвертым, пятым, первым, вторым, третьим и шестым выходами блока управления, выходы с седьмого по четырнадцатый и третий выход регистра являются второй группой выходов блока управления, выходы с пятнадцатого по восемнадцатый являются соответственно, седьмым, восьмым, девятым и десятым выходами блока управления, выходы с девятнадцатого по двадцать третий являются первой группой выходов блока управления, двадцать четвертый и двадцать пятый выходы подключены соответственно к входу обнуления и тактовому входу счетчика, двадцать шестой и двадцать седьмой выходы подключены соответственно к тактовому входу и входу записи сдвига регистра сдвига, выходы с двадцать восьмого по тридцать первый подключены соответственно к управляющим входам мультиплексора, информационные входы которого с первого по восьмой являются соответственно первым, вторым, четвертым, пятым, шестым, седьмым, восьмым и девятым входами блока управления, девятый и десятый информационные входы подключены к соответствующим выходам регистра сдвига, информационные входы которого подключены соответственно к информационным выходам счетчика, выход переполнения которого подключен к одиннадцатому входу мультиплексора, выход которого подключен к первому адресному входу блока постоянной памяти, адресные входы с второго по восьмой которого подключены к выходям регистра соответственно с тридцать второго по тридцать восьмой.

Номер связи	Обозначение	Сигнал	Примечание
1	2	3	4
16	$Y_3$	Коммутация (коммутатор 14)	При $Y_3=1$ коммутируется вход устройства
17	$Y_4$	Включение разряда регистра 12	
18	$Y_5$	Синхроимпульс регистра 12	
19	$Y_1$	Запись исходного кода в регистре 11	При $Y_1=1$ запись исходного кода
20	$Y_2$	Сдвиг (регистр 11)	При $Y_2=1$ - сдвиг
21	$Y_6$	Запись-считывание блока 4	При $Y_6=1$ - запись
22	$Y_{15}$	Коммутация (коммутаторов)	При $Y_{15}=1$ коммутируется выход блока 4
23	$Y_{16}$	Сложение-вычитание (арифметико-логическое устройство 7)	При $Y_{16}=1$ - сложение
24	$Y_{17}$	Запись в регистр 8	
25	$Y_{18}$	Обнуление регистра 8	
26	$X_1$	Разрешение работы устройства	$X_1=1$ - разрешение работы
27	$X_2$	Режим контроля или преобразования	$X_2=1$ - режим контроля
28	$X_3$	Многократный или однократный режим	$X_3=1$ - многократный режим
30	$X_4$	Синхроимпульс переполнения счетчика 44	$X_4=1$ - синхроимпульс переполнения счетчика 44
31	$X_5$	Сигнал заема счетчика 39	$X_5=1$ - сигнал заема счетчика 39
32	$X_6$	Сигнал пересчета счетчика 39	$X_6=1$ сигнал пересчета счетчика 39
33 <sub>1</sub>	$Y_7$	Начальная установка счетчиков 44 и 45	
33 <sub>2</sub>	$Y_8$	Синхроимпульс сложения счетчика 39	
33 <sub>3</sub>	$Y_9$	Синхроимпульс вычитания счетчика 39	

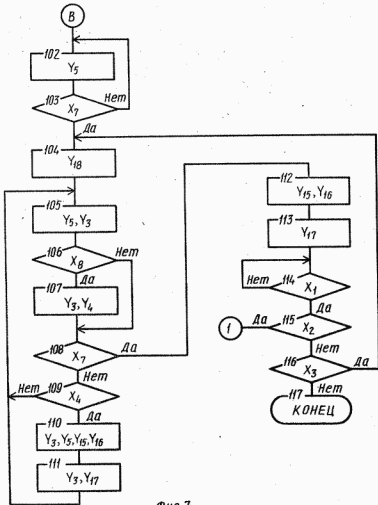
1	2	3	4
33 <sub>4</sub>	$Y_{10}$	Режим записи счетчика 39	
33 <sub>5</sub>	$Y_{11}$	Обнуление счетчика 39	
	$Y_{19}$	Адрес блоков 4 и 5	
33 <sub>6</sub>	$Y_{12}$	Синхроимпульс сложения счетчика 40	
33 <sub>7</sub>	$Y_{13}$	Режим записи счетчика 40	
33 <sub>8</sub>	$Y_{14}$	Коммутация (коммутатора 41)	При $Y_{14} = 1$ коммутируется выход счетчика 39
34	$X_7$	Сигнал завершения преобразования регистра 12	$X_7 = 1$ сигнал завершения преобразования регистра 12
35	$X_8$	Выход блока 13 сравнения	$X_8 = 1$ - выход блока 13 принимает значение "1"
	$X_9$	Значение $n$ -го разряда регистра 49	$X_9 = 1$ , $n$ -й разряд регистра 49 принимает значение "1"
	$X_{10}$	Значение нулевой комбинации регистра 49	$X_{10} = 1$ - нулевая комбинация в регистре 49
	$X_{11}$	Сигнал переноса в счетчике 50	$X_{11} = 1$ сигнал переноса в счетчике 50
	$Y_{20}$	Обнуление счетчика 50	
	$Y_{21}$	Синхроимпульс сложения счетчика 50	
	$Y_{22}$	Синхроимпульс регистра 49	
	$Y_{23}$	Запись-сдвиг регистра 49	











Фиг.7

Редактор А. Козориз

Составитель В. Першиков  
Техред Л. Сердюкова

Корректор Г. Решетник

Заказ 7823/58

Тираж 922

Подписное

ВНИИПИ Государственного комитета СССР  
по делам изобретений и открытий  
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4