



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (II) 1363452

A1

ISD 4 Н 03 К 5/24, Г 05 В 1/01

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 3923619/24-21
(22) 08.07.85
(46) 30.12.87. Бюл. № 48
(72) А.Д.Азаров, В.Я.Стейскал,
А.Е.Радалюк и В.В.Лысюк
(53) 621.318 (088,8)
(56) A Fast Latching Current Comparator for 12-Bit A/D Applications,
IEEE JOURNAL OF SOLID-STATE CIRCUITS,
vol. sc-17, 1982, N 6, December.

(54) ВХОДНОЕ УСТРОЙСТВО СХЕМЫ СРАВ-
НЕНИЯ ТОКОВ
(57) Изобретение относится к импульс-
ной технике и может быть использова-
но в аналого-цифровых преобразовате-
лях и в цифровых измерительных при-
борах. Цель изобретения - повышение
быстродействия и расширение области

применения достигается за счет введе-
ния в устройство семи транзисторов,
двух промежуточных многоэмиттерных
транзисторов, двух многоэмиттерных
транзисторов, четырех резисторов и
двух встречно-параллельно включенных
диодов. Использование многоэмиттерных
транзисторов в выходном каскаде поз-
воляет существенно увеличить его мон-
тажность. Устройство содержит входную
шину 1, входные транзисторы 2 и 3,
шины 6 и 7 положительного и отрица-
тельного питания, источник тока 8 и
9, шину 10 нулевого потенциала, про-
межуточные многоэмиттерные транзи-
сторы 19 и 22, выходные многоэмиттер-
ные транзисторы 17 и 24, выходную
шину 26, транзисторы, резисторы и
диоды. 1 ил.

(19) SU (II) 1363452 A1

Изобретение относится к импульсной технике и может быть использовано в аналогово-цифровых преобразователях и цифровых измерительных приборах.

Цель изобретения - повышение быстродействия и расширение области применения устройства.

На чертеже представлена принципиальная схема входного устройства схемы сравнения токов.

Входное устройство схемы сравнения токов содержит входную шину 1, соединенную с эмиттерами входных транзисторов 2 и 3, базы которых подключены непосредственно к базам и коллекторам первого 4 и второго 5 транзисторов и соответственно к шинам 6 и 7 положительного и отрицательного питания через первый 8 и второй 9 источники тока, а эмиттеры подключены к шине 10 нулевого потенциала, при этом коллекторы входных транзисторов 2 и 3 подключены соответственно к коллекторам третьего 11 и четвертого 12 транзисторов, эмиттеры которых подключены соответственно через первый резистор 13 к шине 6 положительного питания и второй резистор 14 к шине 7 отрицательного питания, и базам пятого 15 и шестого 16 транзисторов, причем коллектор пятого транзистора 15 соединен с базой первого выходного многоэмиттерного транзистора 17, коллектором соединенного с шиной 6 положительного питания, и базой седьмого транзистора 18, коллектор которого соединен с эмиттером пятого транзистора 15, базой третьего транзистора 11 и базой первого промежуточного многоэмиттерного транзистора 19, эмиттеры которого подсоединенны к шине 6 положительного потенциала через третий резистор 20, а эмиттер седьмого транзистора 18 подключен к эмиттеру восьмого транзистора 21, коллектор которого соединен с эмиттером шестого транзистора 16, базой четвертого транзистора 12, базой и коллектором второго промежуточного многоэмиттерного транзистора 22, эмиттеры которого подключены к шине 7 отрицательного питания через четвертый резистор 23, при этом коллектор шестого транзистора 16 соединен с базами восьмого транзистора 21 и второго выходного многоэмиттерного транзистора 24, коллектор которого соединен с шиной 7 отрицательного питания, а

эмиттеры непосредственно подсоединенны к эмиттерам первого выходного многоэмиттерного транзистора 17 и выходной шине, через пятый резистор 27 - к шине 10 нулевого потенциала и через параллельно включенные шестой резистор 28 и параллельно-встречно включенные диоды 29 и 30 - к входной шине 1.

Входное устройство схемы сравнения токов работает следующим образом.

Если входной разностный ток $I_{\text{вх}}$ равен нулю, то через эмиттеры входных транзисторов 2 и 3 протекает ток, значение которого $I_{3^M} \approx I_{2^M} I_{\text{cm}}$, где I_1, I_2 - токи первого и второго источников тока; I_{cm} - ток смещения.

Так как токи баз пренебрежимо малы, то через коллекторы входных транзисторов 2 и 3 протекают соответственно токи $I_{k2} \approx I_{k3}$; $I_{k3} \approx I_{k2}$. Данные токи поступают на входы схем первых отражателей токов. Ток I_{k2} поступает на вход отражателя тока, собранного на третьем транзисторе 11, третьем резисторе 13, промежуточном многоэмиттерном транзисторе 19, третьем резисторе 20 и пятом транзисторе 15, а ток I_{k3} - на вход отражателя тока, собранного на четвертом транзисторе 12, втором резисторе 14, промежуточном многоэмиттерном транзисторе 22, четвертом резисторе 23 и шестом транзисторе 16. Резисторы 13, 20 и 14, 35 13 используются для уменьшения влияния температурного дрейфа напряжения база - эмиттер транзисторов 11, 19 и 12, 22 соответственно. Через коллекторы транзисторов 15 и 16 протекают токи I_{k15} и I_{k16} , поступающие соответственно в базы транзисторов 18 и 21, являющиеся вторыми отражателями токов, а также в базы транзисторов 17 и 24, образующих двухтактный выходной каскад. Через коллекторы транзисторов 18 и 21 протекают токи I_{k18} и I_{k21} , поступающие соответственно на транзисторы 20 и 22 в диодном включении.

Использование такого принципа построения схемы позволяет за счет действия местной отрицательной обратной связи по постоянному току получить следующее значение: $I_{k1} = I_{k2} = I_{k3} = I_{k20} / k = I_{\text{cm}} = I_{k22} / k$, где k - количество эмиттеров транзисторов 20 и 22.

Таким образом, токи покоя входного каскада и вторых отражателей токов задаются значением тока смещения $I_{em} = I_{11} = I_2$, причем независимо от потенциалов эмиттеров транзисторов 18 и 21 значения коллекторных токов этих транзисторов остаются постоянными. Ток покоя транзисторов 17 и 24 выходного каскада определяется значением $I_{317} = I_{324} = N \cdot I_{311} = N \cdot I_{321}$, где N - количество эмиттеров транзисторов 17 и 24; $I_{311}, I_{324}, I_{318}, I_{321}$ - эмиттерные токи транзисторов 17, 24, 18 и 21 соответственно.

Использование многоэмиттерных транзисторов в выходном каскаде позволяет увеличивать мощность последнего.

Если параметры пар транзисторов 2-4, 3-5, 11-19, 12-22, 18-17, 21-24, а также 15-16 идентичны и выполняются требуемые соотношения между резисторами 13-20, 14-23, то значение выходного тока $\Delta I_{vых}=0$.

В случае невыполнения указанных условий на выходе появляется разностный ток $\Delta I_{vых}$, определяющий смещение нуля схемы.

Если входной разностный ток $\Delta I_{vых}$ не равен нулю и имеет, например, положительную полярность (втекает в схему), то транзистор 3 приоткрывается, транзистор 2 призакрывается. Коллекционный ток транзистора 3 при этом увеличивается, а транзистор 2 уменьшается. Положительное приращение коллекторного тока $\Delta I_{k3} = \Delta I_{vых}$ поступает в базу транзистора 16, который приоткрывается, вследствие чего увеличивается его коллекторный ток. Увеличение эмиттерного тока транзистора 3 приводит к увеличению напряжения база-эмиттер на величину ΔU_{B3} , вызывая увеличение напряжения база-эмиттер транзистора 5 на эту же величину. Поскольку величина напряжения между базами транзисторов 2 и 3 поддерживается постоянной, коллекторный ток транзистора 2 уменьшается, отрицательное приращение коллекторного тока поступает в базу транзистора 15, призакрывая его, и коллекторный ток уменьшается.

Увеличение коллекторного тока транзистора 16 приоткрывает транзистор 24, уменьшение коллекторного тока транзистора 15 призакрывает транзистор 17, на выходе устройства

появляется разностный ток $\Delta I_{vых} \approx \Delta I_{Bx} \cdot K_i$, где K_i - коэффициент передачи по току, при условии, что $K_i = R_{28}/R_{27} < \beta$ (β - коэффициент передачи по току транзистора 24, R_{28}, R_{27} - величина резисторов 28 и 27).

Если ΔI_{Bx} имеет отрицательную полярность (ток вытекает из схемы), то схема функционирует аналогично вследствие ее симметричности.

При изменении выходного напряжения разность потенциалов между базами транзисторов 17, 18 и 24, 21 остается постоянной. Это обусловлено тем, что, например, при увеличении напряжения база-эмиттер (транзистор 17 приоткрывается) одновременно уменьшается напряжение база-эмиттер транзистора 24 (транзистор 24 закрывается) и, наоборот, при запирании транзистора 17 приоткрывается транзистор 24. В результате, обеспечивается постоянный ток покоя, протекающий через транзисторы 18 и 21, независимо от уровня $\Delta I_{vых}$. Таким образом, значение выходного тока $\Delta I_{vых}$ определяется только значением входного тока ΔI_{Bx} и не зависит от значения тока смещения I_{em} .

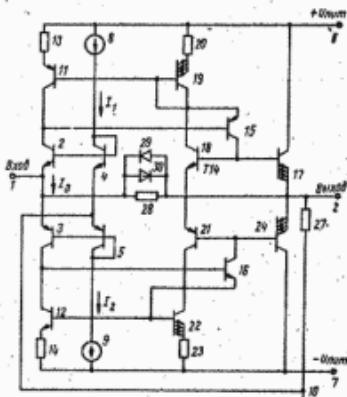
Значение выходного напряжения схемы $\Delta U_{vых}$ определяется следующим образом: $\Delta U_{vых} = \Delta I_{Bx} \cdot K_i \cdot R_{27} = \Delta I_{Bx} \cdot R_{28}$.

Ф о р м у л а н з о б р е т е н и я

Входное устройство схемы сравнивания токов, содержащее первый и второй источники токов, первый и второй резисторы, первый и второй входные транзисторы, первый транзистор, шину положительного питания, шину отрицательного питания, входную и выходную шины, о отличаются тем, что, с целью повышения быстродействия и расширения области применения, в него введены семь транзисторов, два промежуточных многоэмиттерных транзистора, два выходных многоэмиттерных транзистора, четыре резистора и два встречнно-параллельно-включенных диода, первый вывод первого из них соединен с входной шиной, соединенной с эмиттерами входных транзисторов, базы которых подключены непосредственно к базам и коллекторам первого и второго транзисторов и соответственно к шинам

положительного и отрицательного питания через первый и второй источники тока, а эмиттеры подключены к шине нулевого потенциала, при этом коллекторы входных транзисторов подключены соответственно к коллекторам третьего и четвертого транзисторов, эмиттеры которых подключены соответственно через первый резистор к шине положительного питания и второй резистор к шине отрицательного питания и базам пятого и шестого транзисторов, причем коллектор пятого транзистора соединен с базой первого выходного многоэмиттерного транзистора, коллектором соединенного с шиной положительного питания и базой седьмого транзистора, коллектор которого соединен с эмиттером пятого транзистора, базой третьего транзистора и базой первого промежуточного многоэмиттерного транзистора, эмиттеры которого подсоединенны к шине

положительного потенциала через третий резистор, а эмиттер седьмого транзистора подключен к эмиттеру восьмого транзистора, коллектор которого соединен с эмиттером шестого транзистора, базой четвертого транзистора, базой и коллектором второго промежуточного многоэмиттерного транзистора, эмиттер которого подключен к шине отрицательного питания через четвертый резистор, при этом коллектор шестого транзистора соединен с базой восьмого транзистора и базой второго выходного многоэмиттерного транзистора, коллектор которого соединен с шиной отрицательного питания, а эмиттеры непосредственно подсоединенны к эмиттерам первого выходного многоэмиттерного транзистора и выходной шине и через пятый резистор - к шине нулевого потенциала и второму выводу первого диода, параллельно которому подключен шестой.



Составитель Н.Маркни

Редактор А.Огар

Техред М.Дидык

Корректор И.Муска

Заказ 6379/53

Тираж 900

Подписанное

ВНИИПТИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва Ж-35, Раушская наб., д.4/5

Производственно-полиграфическое предприятие, г.Ужгород, ул.Проектная, 4