



ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

## ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3923619/24-21

(22) 08.07.85

(46) 30.12.87. Бюл. № 48

(72) А.Д.Азаров, В.Я.Стейскал,  
А.Е.Рафалюк и В.В.Лысюк

(53) 621.318 (088,8)

(56) A Fast Latching Current Compa-  
rator for 12-Bit A/D Applications.  
IEEE JOURNAL OF SOLID- STATE CIRCUITS,  
vol. sc-17, 1982, N 6, December.

(54) ВХОДНОЕ УСТРОЙСТВО СХЕМЫ СРАВ-  
НЕНИЯ ТОКОВ

(57) Изобретение относится к импульс-  
ной технике и может быть использовано  
в аналого-цифровых преобразовате-  
лях и в цифровых измерительных при-  
борах. Цель изобретения - повышение  
быстродействия и расширение области

применения достигается за счет введе-  
ния в устройство семи транзисторов,  
двух промежуточных многоэмиттерных  
транзисторов, двух многоэмиттерных  
транзисторов, четырех резисторов и  
двух встречно-параллельно включенных  
диодов. Использование многоэмиттерных  
транзисторов в выходном каскаде поз-  
воляет существенно увеличить его мощ-  
ность. Устройство содержит входную  
шину 1, входные транзисторы 2 и 3,  
шины 6 и 7 положительного и отрица-  
тельного питания, источник тока 8 и  
9, шину 10 нулевого потенциала, про-  
межуточные многоэмиттерные транзис-  
торы 19 и 22, выходные многоэмиттер-  
ные транзисторы 17 и 24, выходную  
шину 26, транзисторы, резисторы и  
диоды. 1 ил.



Таким образом, токи покоя входного каскада и вторых отражателей токов задаются значением тока смещения  $I_{см} = I_1 = I_2$ , причем независимо от потенциалов эмиттеров транзисторов 18 и 21 значения коллекторных токов этих транзисторов остаются постоянными. Ток покоя транзисторов 17 и 24 выходного каскада определяется значением  $I_{217} = I_{224} = N \cdot I_{218} = N \cdot I_{221}$ , где  $N$  - количество эмиттеров транзисторов 17 и 24;  $I_{217}$ ,  $I_{224}$ ,  $I_{218}$ ,  $I_{221}$  - эмиттерные токи транзисторов 17, 24, 18 и 21 соответственно.

Использование многоэмиттерных транзисторов в выходном каскаде позволяет увеличивать мощность последнего.

Если параметры пар транзисторов 2-4, 3-5, 11-19, 12-22, 18-17, 21-24, а также 15-16 идентичны и выполняются требуемые соотношения между резисторами 13-20, 14-23, то значение выходного тока  $\Delta I_{вых} = 0$ .

В случае невыполнения указанных условий на выходе появляется разностный ток  $\Delta I_{вых}$ , определяющий смещение нуля схемы.

Если входной разностный ток  $\Delta I_{вх}$  не равен нулю и имеет, например, положительную полярность (втекает в схему), то транзистор 3 приоткрывается, транзистор 2 призакрывается. Коллекторный ток транзистора 3 при этом увеличивается, а транзистор 2 уменьшается. Положительное приращение коллекторного тока  $\Delta I_{к3} = \Delta I_{вх}$  поступает в базу транзистора 16, который приоткрывается, вследствие чего увеличивается его коллекторный ток. Увеличение эмиттерного тока транзистора 3 приводит к увеличению напряжения база-эмиттер на величину  $\Delta U_{БЭ}$ , вызывая увеличение напряжения база-эмиттер транзистора 5 на эту же величину. Поскольку величина напряжения между базами транзисторов 2 и 3 поддерживается постоянной, коллекторный ток транзистора 2 уменьшается, отрицательное приращение коллекторного тока поступает в базу транзистора 15, призакрывая его, и коллекторный ток уменьшается.

Увеличение коллекторного тока транзистора 16 приоткрывает транзистор 24, а уменьшение коллекторного тока транзистора 15 призакрывает транзистор 17, на выходе устройства

появляется разностный ток  $\Delta I_{вых} = \Delta I_{вх} \cdot K_1$ , где  $K_1$  - коэффициент передачи по току, при условии, что  $K_1 = R_{28}/R_{27} < \beta$  ( $\beta$  - коэффициент передачи по току транзистора 24, R28, R27 - величина резисторов 28 и 27).

Если  $\Delta I_{вх}$  имеет отрицательную полярность (ток вытекает из схемы), то схема функционирует аналогично вследствие ее симметричности.

При изменении выходного напряжения разность потенциалов между базами транзисторов 17, 18 и 24, 21 остается постоянной. Это обусловлено тем, что, например, при увеличении напряжения база-эмиттер (транзистор 17 приоткрывается) одновременно уменьшается напряжение база-эмиттер транзистора 24 (транзистор 24 закрывается) и, наоборот, при заперении транзистора 17 приоткрывается транзистор 24. В результате, обеспечивается постоянный ток покоя, протекающий через транзисторы 18 и 21, независимо от уровня  $\Delta I_{вх}$ . Таким образом, значение выходного тока  $\Delta I_{вых}$  определяется только значением входного тока  $\Delta I_{вх}$  и не зависит от значения тока смещения  $I_{см}$ .

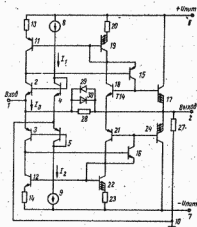
Значение выходного напряжения схемы  $\Delta U_{вых}$  определяется следующим образом:  $\Delta U_{вых} = \Delta I_{вх} \cdot K_1 \cdot R_{27} = \Delta I_{вх} \cdot R_{28}$ .

### Ф о р м у л а  и з о б р е т е н и я

Входное устройство схемы сравнения токов, содержащее первый и второй источники токов, первый и второй резисторы, первый и второй входные транзисторы, первый транзистор, шину положительного питания, шину отрицательного питания, входную и выходную шины, отличающееся тем, что, с целью повышения быстродействия и расширения области применения, в него введены семь транзисторов, два промежуточных многоэмиттерных транзистора, два выходных многоэмиттерных транзистора, четыре резистора и два встречно-параллельно-включенных диода, первый вывод первого из них соединен с входной шиной, соединенной с эмиттерами входных транзисторов, базы которых подключены непосредственно к базам и коллекторам первого и второго транзисторов и соответственно к шинам

положительного и отрицательного питания через первый и второй источники тока, а эмиттеры подключены к шине нулевого потенциала, при этом коллекторы входных транзисторов подключены соответственно к коллекторам третьего и четвертого транзисторов, эмиттеры которых подключены соответственно через первый резистор к шине положительного питания и второй резистор к шине отрицательного питания и базам пятого и шестого транзисторов, причем коллектор пятого транзистора соединен с базой первого выходного многоэмиттерного транзистора, коллектором соединенного с шиной положительного питания и базой седьмого транзистора, коллектор которого соединен с эмиттером пятого транзистора, базой третьего транзистора и базой первого промежуточного многоэмиттерного транзистора, эмиттеры которого подсоединены к шине

положительного потенциала через третий резистор, а эмиттер седьмого транзистора подключен к эмиттеру восьмого транзистора, коллектор которого соединен с эмиттером шестого транзистора, базой четвертого транзистора, базой и коллектором второго промежуточного многоэмиттерного транзистора, эмиттеры которого подключены к шине отрицательного питания через четвертый резистор, при этом коллектор шестого транзистора соединен с базой восьмого транзистора и базой второго выходного многоэмиттерного транзистора, коллектор которого соединен с шиной отрицательного питания, а эмиттеры непосредственно подсоединены к эмиттерам первого выходного многоэмиттерного транзистора и выходной шине и через пятый резистор - к шине нулевого потенциала и второму выводу первого диода, параллельно которому подключен шестой.



Составитель Н.Маркин

Редактор А.Огар

Техред М.Дидык

Корректор И.Муска

Заказ 6379/53

Тираж 900

Подписное

ВНИИИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва Ж-35, Раушская наб., д.4/5

Производственно-полиграфическое предприятие, г.Ужгород, ул.Проектная, 4