



ГОСУДАРСТВЕННЫЙ КОМИТЕТ  
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ  
ПРИ ГНТ СССР

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4257835/24-24

(22) 07.05.87

(46) 07.10.89. Вул. № 37

(71) Специальное конструкторско-технологическое бюро "Модуль" Винницкого политехнического института и Винницкий политехнический институт

(72) А.П.Стахов, А.Д.Азаров, В.И.Моисеев, В.П.Марценюк, В.Я.Стейскал, Ю.П.Орлович, В.В.Лысюк, Т.Н.Васильева и А.Е.Рафалюк

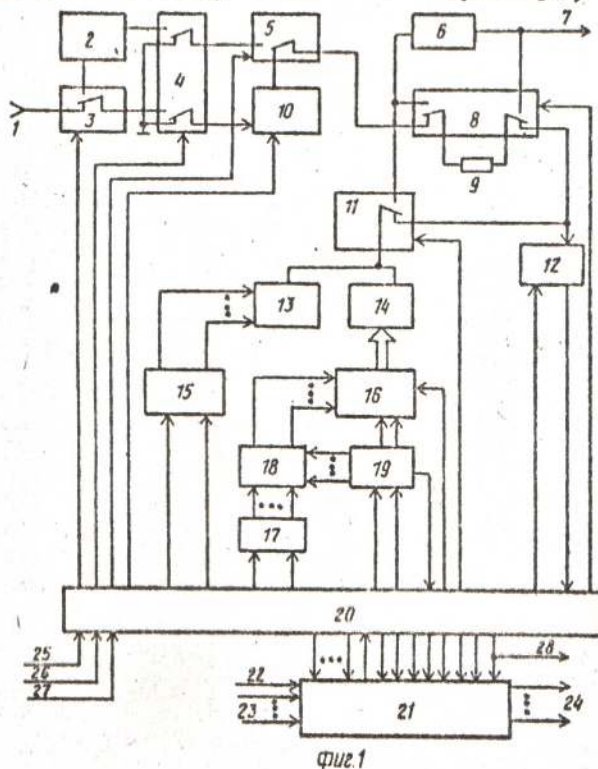
(53) 681.325 (088.8)

(56) Авторское свидетельство СССР № 1027815, кл. Н 03 М 1/26, 1981.

Авторское свидетельство СССР № 1216827, кл. Н 03 М 1/26, 1984.

(54) АНАЛОГО-ЦИФРОВОЙ ПРЕОБРАЗОВАТЕЛЬ

(57) Изобретение относится к цифровой измерительной технике и может быть использовано для преобразования аналоговых величин в цифровые и цифровых в аналоговые. Цель изобретения - повышение точности, быстродействия и расширение функциональных возможностей за счет дополнительного режима цифроаналогового преобразования. Аналого-цифровой преобразователь (АЦП) содержит входную аналоговую шину 1, блок 2 опорных напряжений, первый 3, второй 4 и третий 5 аналоговые коммутаторы, операционный усилитель 6,





выходную аналоговую шину 7, четвертый аналоговый коммутатор 8, масштабирующий элемент 9, выполненный на резисторе, блок 10 выборки-хранения, пятый аналоговый коммутатор 11, блок 12 сравнения токов, дополнительный преобразователь 13 код - ток, основной преобразователь 14 код - ток, первый регистр 15 сдвига, регистр 16, второй регистр 17 сдвига, блок 18 элементов ИЛИ, регистр 19 последовательного приближения, блок 20 управления, вычислительный блок 21, шину 22 "Запись", входную цифровую шину 23, выходную циф-

ровую шину 24, шину 25 "Режим преобразования", шину 26 "Контроль", шину 27 "Пуск", шину 28 "Окончание преобразования". Повышение точности преобразования обеспечивается за счет самокоррекции аддитивной и мультипликативной погрешностей. Быстродействие повышается за счет сокращения общего времени аналого-цифрового преобразования путем совмещения во времени операции выборки и начала кодирования входной величины без ухудшения точностных характеристик. 1 з.п.ф-лы, 4 ил.

Изобретение относится к цифровой измерительной технике и может быть использовано для преобразования аналоговых величин в цифровые и цифровых в аналоговые.

Цель изобретения - повышение точности, быстродействия и расширение функциональных возможностей за счет дополнительного режима цифроаналогового преобразования.

На фиг.1 приведена функциональная схема аналого-цифрового преобразователя (АЦП); на фиг.2 - функциональная схема вычислительного блока; на фиг.3 и 4 - алгоритм работы АЦП.

АЦП (фиг.1) содержит входную аналоговую шину 1, блок 2 опорных напряжений, первый 3, второй 4 и третий 5 аналоговые коммутаторы, операционный усилитель 6, выходную аналоговую шину 7, четвертый аналоговый коммутатор 8, масштабирующий элемент 9, выполненный на резисторе, блок 10 выборки-хранения, пятый аналоговый коммутатор 11, блок 12 сравнения токов, дополнительный преобразователь 13 код - ток, основной преобразователь 14 код - ток, первый регистр 15 сдвига, регистр 16, второй регистр 17 сдвига, блок 18 элементов ИЛИ, регистр 19 последовательного приближения, блок 20 управления, вычислительный блок 21, шину "Запись" 22, входную цифровую шину 23, выходную цифровую шину 24, шину "Режим преобразования" 25, шину "Контроль" 26, шину "Пуск" 27 и шину "Окончание преобразования" 28.

Вычислительный блок 21 (фиг.2) содержит входной регистр 29, цифровой

коммутатор 30, арифметико-логическое устройство 31, регистр-аккумулятор 32, выходной регистр 33 и блок 34 памяти.

Особенностью АЦП является использование избыточных измерительных кодов (ИИК), поэтому основной преобразователь 14 код - ток должен быть выполнен на основе ИИК. Блок 2 опорных напряжений формирует два опорных напряжения: отрицательное  $A_{оп}^{АЦП}$  на первом выходе и положительное  $A_{оп}^{ЦАП}$  на втором выходе. Необходимость формирования  $A_{оп}^{АЦП}$  вызвана тем, что в качестве блока 10 выборки-хранения следует использовать прецизионное устройство интегрирующего типа, охваченное отрицательной обратной связью, которая делает его инвертирующим.

Разряды основного преобразователя 14 код - ток разбиваются на две группы: группу из  $m$  "неточных" (старших) разрядов и группу из  $(n-m)$  "точных" (младших) разрядов.

На этапе изготовления устройства в блок 34 памяти заносятся коды, соответствующие весам младших разрядов, а также коды  $K_{оп}^{АЦП}$  и  $K_{оп}^{ЦАП}$ , соответствующие опорным напряжениям  $A_{оп}^{АЦП}$  и  $A_{оп}^{ЦАП}$  блока опорных напряжений.

Преобразователь функционирует в трех режимах: А-Ц преобразования, Ц-А преобразования и проверки (алгоритм работы приведен на фиг.3 и 4).

Режим проверки включает контроль линейности, контроль нуля ЦАП, контроль нуля АЦП, контроль масштаба ЦАП, контроль масштаба АЦП.



В контроле линейности, как и в известном преобразователе, определяются коды отклонений весов группы старших разрядов основного преобразователя 14 код - ток от требуемых значений. Для этого с помощью коммутатора 5 к выводу резистора 9 подключается шина нулевого потенциала. Дополнительный преобразователь 13 код - ток формирует вспомогательную аналоговую величину  $A_B$ . Число ступеней  $A_B$  соответствует числу проверяемых разрядов основного преобразователя 14 код - ток. Каждое значение аналоговой величины  $A_B$  дважды уравнивается методом поразрядного кодирования разрядами основного преобразователя 14 код - ток, один раз с запретом включения проверяемого разряда, другой раз - без запрета. При этом результаты каждого из двух кодирований  $K_e'$  и  $K_e''$  1-го разряда формируются в регистре 19 последовательного приближения. По мере формирования кода  $K_e'$  производится формирование его двоичного эквивалента  $K_{e2}'$  при помощи вычислительного блока 21 по формуле

$$K_{e2}' = \sum_{j=1}^{e-1} a_j' N_j, \quad (1)$$

где  $a_j'$  - цифра  $j$ -го разряда кода  $K_e'$  первого результата уравнивания;

$N_j$  - двоичный эквивалент  $j$ -го разряда.

Для кода  $K_e''$  также формируется его двоичный эквивалент по формуле

$$K_{e2}'' = K_{e2}' - \sum_{j=1}^e a_j'' N_j, \quad (2)$$

где  $a_j''$  - цифра  $j$ -го разряда кода  $K_e''$ .

Коды  $K_{e2}'$  и  $K_{e2}''$  формируются в регистре-аккумуляторе 32. Так как в выражении (2) коды  $N_j$  равны нулю при  $j = -n+1$  (содержимое блока 34 памяти нулевое), то код  $K_{e2}''$  равен коду реального веса 1-го разряда ( $K_{pe} = K_{e2}''$ ) и записывается в блок 34 памяти.

Аналогичным образом производится определение кодов реальных весов остальных "неточных" разрядов с учетом ранее определенных кодов  $K_{e2}''$ . Аддитивная погрешность блока 12 сравнения токов, используемого при кодировании, исключается при вычитании кодов, соответствующих двум кодированиям.

Контроль линейности заканчивается записью в блок 34 памяти кодов реальных весов всех  $m$  "неточных" разрядов.

При дальнейшей работе устройства в режиме проверки, в отличие от известного преобразователя, происходит определение аддитивной и мультипликативной погрешностей А-Ц и Ц-А преобразования.

Важным является то, что длительность такта кодирования в режиме проверки и в режиме непосредственного А-Ц преобразования одинакова, благодаря этому некоторые основные погрешности блока выборки-хранения (скачка и спада) приобретают аддитивный характер, т.е. перестают зависеть от величины запоминания сигнала. Это позволяет их определить и в дальнейшем исключить из результата А-Ц преобразования.

В контроле нуля АЦП шина нулевого потенциала подсоединена к входу блока 10 выборки-хранения и производится уравнивание сигнала  $A_{вх} = 0$  компенсирующим сигналом  $A_{к1}$  основного преобразователя 14 код - ток. При этом в регистре 19 последовательного приближения формируется код результата уравнивания, а в регистре-аккумуляторе 32 формируется двоичный эквивалент этого кода  $K_o^{АЦП}$ :

$$K_o^{АЦП} = \sum_{j=1}^n a_{oj} N_j, \quad (3)$$

где  $a_{oj}$  - цифра  $j$ -го разряда кода результата уравнивания при кодировании нуля АЦП.

При этом в код нуля  $K_o^{АЦП}$  войдут аддитивные погрешности блока 10 выборки-хранения и блока 12 сравнения токов. Контроль нуля АЦП заканчивается записью в блок 34 памяти кода  $K_o^{АЦП}$ . При контроле нуля ЦАП переключается коммутатор 5, подсоединяя шину нулевого потенциала к выводу резистора 9, и аналогично выполнению контроля нуля АЦП производится определение кода нуля  $K_o^{ЦАП}$  по формуле

$$K_o^{ЦАП} = \sum_{j=1}^n a_{oj}' N_j, \quad (4)$$

где  $a_{oj}'$  - цифра  $j$ -го разряда кода результата уравнивания при кодировании нуля ЦАП.

При этом  $K_o^{АЦП}$  содержит аддитивную погрешность только блока сравнения токов. Заканчивается режим контроля нуля ЦАП записью в блок 34 памяти кода  $K_o^{ЦАП}$ .

В контроле масштаба АЦП переключаются коммутаторы 3 и 4, подсоединяя сигнал  $A_{он}^{АЦП}$  к входу блока 10 выбор-



ки хранения. Далее производится уравнивание сигнала  $A_{оп}^{АЦП}$  компенсирующим сигналом  $A_{кi}$ . По мере формирования кода результата уравнивания в регистре 19 последовательного приближения в регистре-аккумуляторе 32 формируется код масштаба  $K_M^{АЦП}$  по формуле

$$K_M^{АЦП} = \sum_{j=1}^n a_{mj} N_j - K_0^{АЦП}, \quad (5)$$

где  $a_{mj}$  - цифра  $j$ -го разряда кода результата уравнивания.

Так как код  $K_M^{АЦП}$  содержит код  $K_0^{АЦП}$ , то код  $K_0^{АЦП}$  исключается из кода масштаба путем вычитания. Далее в вычислительном блоке 21 происходит деление кода  $K_{оп}^{АЦП}$  на код  $K_M^{АЦП}$ . В результате деления формируется код масштабного коэффициента  $K_{ре}^{АЦП}$ , на который перемножаются все коды реальных весов "неточных" разрядов, определенные при контроле линейности и хранящиеся в блоке 34 памяти. При этом в регистре-аккумуляторе 32 формируются коды реальных весов "неточных" разрядов  $K_{ре}^{АЦП}$  с учетом наклона кодирующей характеристики (погрешности масштаба) по формуле

$$K_{ре}^{АЦП} = K_{ре} \frac{K_{оп}^{АЦП}}{K_M^{АЦП}}. \quad (6)$$

Контроль масштаба АЦП заканчивается записью в блок 34 памяти всех кодов  $K_{ре}^{АЦП}$ , где они хранятся до проведения следующего цикла проверки.

В контроле масштаба ЦАП переключаются коммутаторы 4 и 5, подсоединяя сигнал  $A_{оп}^{ЦАП}$  к выводу резистора 9. Производится уравнивание сигнала  $A_{оп}^{ЦАП}$  компенсирующим сигналом  $A_{кi}$ . Аналогично контролю масштаба АЦП формируется код масштаба  $K_M^{ЦАП}$ . Затем в регистре-аккумуляторе 32 формируются коды реальных весов "неточных" разрядов  $K_{ре}^{ЦАП}$  с учетом погрешности масштаба ЦАП по формуле

$$K_{ре}^{ЦАП} = K_{ре} \frac{K_{оп}^{ЦАП}}{K_M^{ЦАП}}. \quad (7)$$

Контроль масштаба ЦАП заканчивается записью в блок 34 памяти всех кодов  $K_{ре}^{ЦАП}$ , где они хранятся до проведения нового цикла проверки.

Таким образом, режим проверки закончен.

В режиме непосредственного А-Ц преобразования переключается коммутатор 4, подсоединяя шину "Вход" АЦП к входу блока 10 выборки-хранения. Осуществляется выборка входного аналогового сигнала  $A_{вх}$  и его хранение в блоке 10 выборки-хранения с последующим преобразованием в рабочий код  $K_{рав}$  методом поразрядного кодирования.

Для исключения ошибок кодирования типа "неправильное включение" разрядов используется дополнительный аналоговый сигнал  $A_g$ . Так как на любом  $l$ -м такте

$$A_g(t_l) = -\frac{\alpha^{-1}}{2} Q_l \quad (8)$$

и меньше веса  $Q_l$ , то для физической реализации сигнала  $A_g(t_l)$  можно воспользоваться младшими разрядами основного преобразователя 14 код-ток. Данное обстоятельство позволяет без дополнительных затрат аналогового оборудования при введении блока 18 элементов ИЛИ сдвигового регистра 17 и регистра 16 осуществлять формирование и управление сигнала  $A_g$ . Причем для изменения значений  $A_g(t_l)$  при функционировании преобразователя осуществляется потактный сдвиг содержимого сдвигового регистра 17, что приводит к уменьшению (с каждым тактом) кодового эквивалента  $K_{гв}$  в  $\alpha$  раз и соответствующему уменьшению сигнала  $A_g(t_l)$  по сравнению со значением  $A_g(t_{l-1})$ .

Параллельно формированию кода  $K_{рав}$  и вычислительном блоке 21 происходит формирование выходного двоичного кода с учетом кода реальных весов и кода  $K_0^{АЦП}$ , полученных в режиме проверки. Скорректированный выходной код вычисляется по формуле

$$K_{вых} = \sum_{j=1}^n a_j N_j + K_0^{АЦП}. \quad (9)$$

Затем по переднему фронту управляющего сигнала код  $K_{вых}$  переписывается в выходной регистр 33, а по заднему фронту того же сигнала код  $K_{вых}$  можно считывать с выходной цифровой шины 24.

На этом непосредственное А-Ц преобразование заканчивается.



В режиме непосредственного Ц-А преобразования переключаются коммутаторы 8 и 11 и осуществляется преобразование входного двоичного кода в рабочий код путем последовательного сравнения входного кода с кодами  $K_{ре}^{Ц, АП}$ , начиная с кода старшего веса. Затем код  $K_{рав}$  с помощью блоков 19, 16, 14, 6 и 9 преобразуется в выходное напряжение и непосредственное Ц-А преобразование заканчивается.

Функционирование преобразователя в режиме А-Ц и Ц-А преобразования периодически прерывается режимами проверки. Частота проведения режима проверки определяется скоростью изменения реальных весов корректируемых разрядов и зависит от стабильности параметров аналоговых узлов и от изменения внешних условий.

#### Ф о р м у л а и з о б р е т е н и я

1. Аналого-цифровой преобразователь, содержащий основной преобразователь код - ток, первый аналоговый коммутатор, первый информационный вход которого является входной аналоговой шиной, управляющий вход подключен к первому выходу блока управления, первый, второй и третий входы которого являются соответственно шинами "Режим преобразования", "Контроль", "Пуск", четвертый вход подключен к выходу блока сравнения токов, второй и третий выходы подключены соответственно к тактовому и информационному входам регистра последовательного приближения, выходы с четвертого по восьмой подключены к входам вычислительного блока соответственно с первого по пятый, первые выходы которого являются выходной цифровой шиной, шестые входы подключены к соответствующим девяти выходам блока управления, десятый и одиннадцатый выходы которого подключены соответственно к входам записи и сдвига первого регистра сдвига, выходы которого подключены к входам дополнительного преобразователя код - ток, о т л и ч а ю щ и е с я т е м , что, с целью повышения точности, быстродействия и расширения функциональных возможностей на счет обеспечения дополнительной функции цифроаналогового преобразования, введены второй, третий, четвертый и пятый

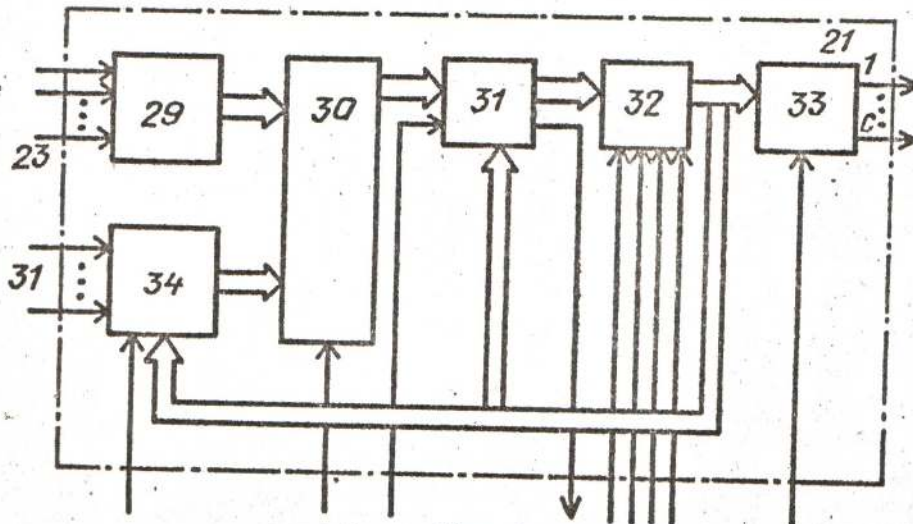
аналоговые коммутаторы, блок выборки-хранения, операционный усилитель, масштабирующий элемент, выполненный на резисторе, блок элементов ИЛИ, второй регистр сдвига, регистр-блок опорных напряжений, первый выход которого подключен к второму информационному входу первого аналогового ключа, выход которого подключен к первому информационному входу второго аналогового коммутатора, управляющий вход которого подключен к двенадцатому выходу блока управления, второй и третий информационные входы объединены и подключены к общей шине, четвертый информационный вход подключен к второму выходу блока опорных напряжений, первый и второй выходы подключены соответственно к первому информационному входу третьего аналогового коммутатора и к информационному входу блока выборки-хранения, управляющий вход которого подключен к тринадцатому выходу блока управления, выход подключен к второму информационному входу третьего аналогового коммутатора, управляющий вход которого подключен к четырнадцатому выходу блока управления, выход подключен к первому информационному входу четвертого аналогового коммутатора, второй информационный вход которого объединен с входом операционного усилителя и подключен к первому выходу пятого аналогового коммутатора, третий информационный вход подключен к выходу операционного усилителя и является выходной аналоговой шиной, четвертый информационный вход объединен с информационным входом блока сравнения токов и подключен к второму выходу пятого аналогового коммутатора, первый и второй выходы подключены к соответствующим выводам резистора, управляющий вход подключен к пятнадцатому выходу блока управления, шестнадцатый выход которого подключен к управляющему входу блока сравнения токов, семнадцатый выход подключен к управляющему входу пятого аналогового коммутатора, информационный вход которого подключен к выходам дополнительного и основного преобразователей код - ток, n входов последнего из которых подключены к соответствующим выходам регистра, тактовый вход которого подключен к восемнадцатому выходу блока управления,



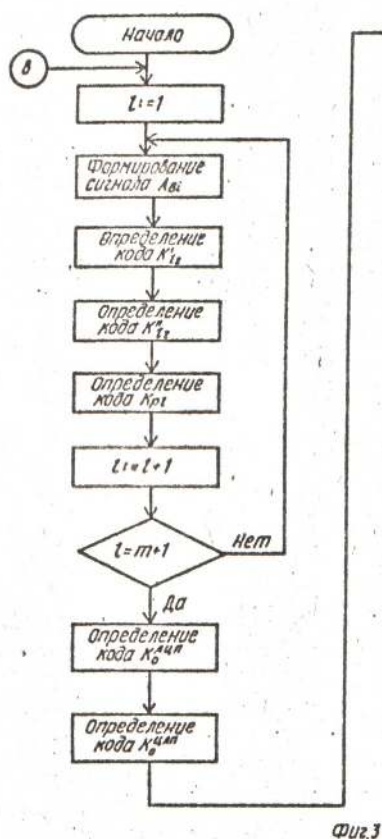
первый и второй информационные входы подключены к выходам соответствующих разрядов регистра последовательного приближения, выход окончания преобразования которого подключен к пятому входу блока управления, выходы разрядов с третьего по n-й подключены к соответствующим первым входам блока элемента ИЛИ, выходы которого подключены к соответствующим информационным входам регистра с третьего по n-й, вторые входы подключены к соответствующим выходам второго регистра сдвига, выходы записи и сдвига которого подключены соответственно к двенадцатому и двадцатому выходам блока управления, шестой вход которого подключен к второму выходу вычислительного блока, двадцать первый и двадцать второй выходы подключены соответственно к седьмому и восьмому входам вычислительного блока, двадцать третий выход является выходной шиной "Окончание преобразования" и подключен к девятому входу вычислительного блока, десятые входы которого являются входной цифровой шиной, одиннадцатый вход является шиной "Запись".

2. Преобразователь по п.1, отличающийся тем, что вычислительный блок выполнен на блоке памяти, цифровом коммутаторе, арифметико-логическом устройстве, регистре-аккумуляторе, выходном регистре и

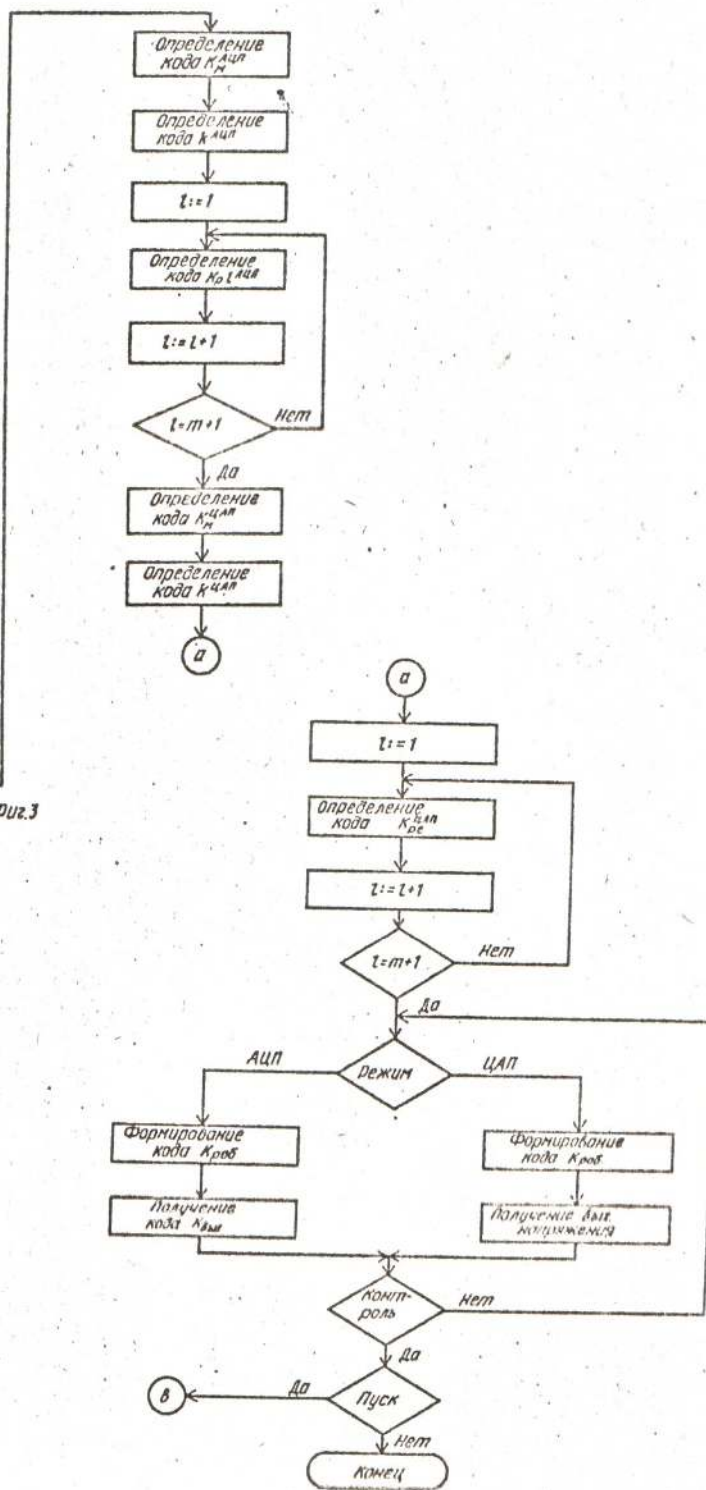
входном регистре, информационные входы которого являются десятиями входами блока, вход записи является одиннадцатым входом блока, выходы подключены к соответствующим первым информационным входам цифрового коммутатора, вторые информационные входы которого подключены к соответствующим выходам блока памяти, адресные входы которого являются шестью входами блока, вход записи-считывания является первым входом блока, управляющий вход цифрового коммутатора является вторым входом блока, выходы подключены к первым информационным входам арифметико-логического устройства, вход режима работы которого является третьим входом блока, выход переноса является вторым выходом блока, информационные выходы подключены к соответствующим информационным входам регистра-аккумулятора, вход обнуления которого является четвертым входом блока, тактовый вход является пятым входом блока, первый и второй входы режима работы являются соответственно восьмым и седьмым входами блока, выходы подключены к соответствующим информационным входам блока памяти, вторым информационным входам арифметико-логического устройства и информационным входам выходного регистра, вход записи которого является девятым входом блока, выходы являются первыми выходами блока.



Фиг.2



Фиг.3



Фиг.4

Редактор Н.Тупица      Составитель В.Першиков      Техред М.Моргентал      Корректор О.Кравцова

Заказ 6100/57      Тираж 884      Подписное  
 ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР  
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101