

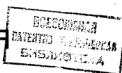


(51)5 Н 03 М 1/66

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

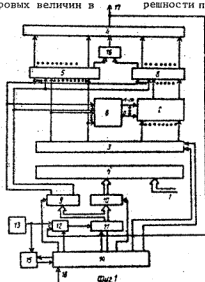
К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- 1
- (21) 4178664/24-24
(22) 12.01.87
(46) 23.01.90. Бюл. № 3
(71) Специальное конструкторско-технологическое бюро "Модуль" Винницкого политехнического института и Винницкий политехнический институт
(72) А.П.Стахов, А.Д.Азаров, В.Я.Стейскал, В.П.Волков и Н.В.Плакидюк
(53) 621.325(088.8)
(56) Авторское свидетельство СССР № 1319280, кл. Н 03 М 1/66, 1985.
Авторское свидетельство СССР № 1325704, кл. Н 03 М 1/66, 1985.
(54) ЦИФРОАНАЛОГОВЫЙ ПРЕОБРАЗОВАТЕЛЬ
(57) Изобретение относится к вычислительной и цифровой измерительной технике и может быть использовано для преобразования цифровых величин в

2

аналоговые. Цель - повышение точности преобразования. Цифроаналоговый преобразователь содержит входную шину 1, первый сумматор 2, первый регистр 3, цифроаналоговый преобразователь 4 на основе избыточного измерительного кода, первый 5 и второй 6 блоки постоянной памяти, второй сумматор 7, третий блок 8 постоянной памяти, второй 9 и третий 10 регистры, аналого-цифровой преобразователь 11, аналоговый коммутатор 12, датчик 13 температуры, блок 14 управления, блок 15 контроля прогноза, элемент ИЛИ 16, выходную шину 17, входную шину "Запуск" 18. Повышение точности преобразования обеспечивается за счет повышения температурной стабильности устройства и компенсации аддитивной погрешности преобразования. 2 з.п.ф-лы, 3 ил.



Изобретение относится к вычислительной и цифровой измерительной технике и может быть использовано для преобразования цифровых величин в аналоговые.

Цель изобретения - повышение точности преобразования в широком диапазоне рабочих температур.

На фиг.1 приведена функциональная схема цифроаналогового преобразователя; на фиг.2 - функциональная схема блока прогноза контроля; на фиг.3 - функциональная схема блока управления.

Цифроаналоговый преобразователь (фиг.1) содержит входную шину 1 преобразуемого кода, первый сумматор 2, первый регистр 3, цифроаналоговый преобразователь 4 на основе избыточного измерительного кода, первый 5 и второй 6 блоки постоянной памяти, второй сумматор 7, третий блок 8 постоянной памяти, второй 9 и третий 10 регистр, аналого-цифровой преобразователь (АЦП) 11, аналоговый коммутатор 12, датчик 13 температуры, блок 14 управления, блок 15 прогноза контроля, элемент ИЛИ 16, выходную шину 17 и входную шину "Запуск" 18.

Блок 15 прогноза контроля (фиг.2) содержит устройство 19 выборки-хранения и компаратор 20.

Блок 14 управления (фиг.3) содержит генератор 21 тактовых импульсов, регистр 22, дешифратор 23, первый 24, второй 25 и третий 26 элементы И, элемент 27 запрета, первый 28 - пятый 32 элементы ИЛИ.

Использование преобразователя избыточного измерительного кода исключает разрывы выходной характеристики цифроаналогового преобразователя в случае, если веса разрядов имеют определенные отклонения от требуемых значений. К достижению цели приводит измерение реальных весов разрядов цифроаналогового преобразователя при различных температурах, запись кодовых эквивалентов измеренных значений в блоки 5,6 и 8 постоянной памяти на стадии изготовления устройства и коррекция входного кода в процессе преобразования.

Цифроаналоговый преобразователь работает в двух режимах: режим контроля, и режим преобразования двоичного кода в аналоговую величину.

Необходимость режима контроля определяется из условия:

$$Y = \begin{cases} 1, & |\Delta t^{\circ}C| > \delta t \\ 0, & |\Delta t^{\circ}C| \leq \delta t \end{cases}$$

где Y - выходной сигнал блока 15 прогноза контроля, причем $Y=1$ - соответствует режиму контроля, $Y=0$ - соответствует режиму преобразования;

$\Delta t^{\circ}C$ - измерение температуры с момента предыдущего измерения;

δt - максимальное допустимое изменение температуры, при котором цифроаналоговый преобразователь работает с заданной точностью.

В режиме контроля определяется значение погрешности смещения выходной характеристики устройства и производится выбор рабочих областей памяти блоков 5,6 и 8 в соответствии с сигналом датчика 13 температуры.

В режиме контроля преобразователь работает следующим образом.

По команде блока 14 вход преобразователя 11 через аналоговый коммутатор 12 подключается к датчику 13 температуры.

Выходной аналоговый сигнал датчика 13 преобразуется АЦП 11 в двоичный код, который по команде блока 14 записывается в регистр 9. Содержимое регистра 9 определяет значения старших разрядов адреса блоков 5, 6 и 8 постоянной памяти. Выходной аналоговый сигнал датчика 13 запоминается в блоке 15 прогноза контроля. Затем по сигналам блока 14 управления аналоговый вход АЦП 14 через аналоговый коммутатор 12 подключается к выходу цифроаналогового преобразователя 4 на основе избыточного измерительного кода (ИИК), и регистр 3 обнуляется. Нулевая кодовая комбинация с выхода регистра 3 через преобразователь кода, который построен на блоках 2, 5, 6 и 8 и элементе ИЛИ 16 поступает на вход цифроаналогового преобразователя 4 на основе ИИК. Полученная на выходной шине 17 аналоговая величина преобразуется АЦП 11 в цифровой двоичный эквивалент. Результат преобразования предстает собой двоичный код погрешности смещения нуля, который по сигналу блока 14 записывается в регистр 10. На этом процесс контроля погрешности смещения нуля выходной

характеристики цифроаналогового преобразователя на основе ИИК заканчиваются.

В режиме преобразования n -разрядный двоичный код преобразуется в аналоговый сигнал. В данном режиме устройство работает следующим образом.

Преобразуемая двоичная кодовая комбинация поступает на вход второго сумматора 7, где она суммируется с содержимым регистра 10. По сигналу блока 14 управления результирующая кодовая комбинация $K_{\text{вх}}$ записывается в регистр 3, с выхода которого она поступает на вход преобразователя кода. Старшие с n -го по $(n-m+1)$ -й разряды входного кода $K_{\text{вх}}$ с помощью блока 5 преобразуются в старшие с n^* -го по (n^*-m^*+2) -й разряды рабочего кода $K_{\text{роб}}$.

Те же старшие с n -го по $(n-m+1)$ -й разряды кода $K_{\text{вх}}$ с помощью блока 6 преобразуются в двоичный код разности весов единичных разрядов групп входного $K_{\text{вх}}$ и рабочего $K_{\text{роб}}$ кодов. Код с выхода блока 6 с помощью первого сумматора 2 суммируется с группой младших разрядов $(n-m)$ кода $K_{\text{вх}}$ и поступает на вход блока 8, с помощью которого формируются младшие (n^*-m^*) разряды кода $K_{\text{роб}}$. (n^*-m^*+1) -й разряд кода $K_{\text{роб}}$ определяется при помощи элемента ИЛИ 16 в результате логического сложения младшего разряда кода с выхода блока 5 и старшего (n^*-m^*+1) -го разряда кода с выхода блока 8. Код с выходов блоков 5, 8 и 16 поступает на вход цифроаналогового преобразователя 4 на основе ИИК, в результате чего на входной шине 17 устройства появляется аналоговая величина, соответствующая входному двоичному коду $K_{\text{вх}}$.

Повышение точности преобразования обеспечивается за счет коррекции аддитивной погрешности и погрешности весов цифроаналогового преобразователя на основе избыточного измерительного кода в широком диапазоне рабочих температур.

Ф о р м у л а и з о б р е т е н и я

1. Цифроаналоговый преобразователь, содержащий первый блок постоянной памяти, первый регистр, выходы младших разрядов которого подключены к соответствующим первым входам первого сумматора, вторые входы которого подклю-

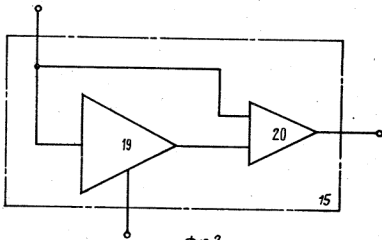
чены к соответствующим выходам второго блока постоянной памяти, выходы адресным входам третьего блока постоянной памяти, выходы младших разрядов которого подключены к соответствующим входам группы младших разрядов цифроаналогового преобразователя на основе избыточного измерительного кода, выход старшего разряда подключен к первому входу элемента ИЛИ, второй вход которого подключен к выходу младшего разряда первого блока постоянной памяти, выход подключен к входу младшего разряда в группе старших разрядов цифроаналогового преобразователя на основе избыточного измерительного кода, выход которого является выходной шиной, входы старших разрядов в группе старших разрядов подключены к соответствующим выходам старших разрядов первого блока постоянной памяти, первые адресные входы которого объединены с соответствующими первыми адресными входами второго блока постоянной памяти и подключены к соответствующим выходам старших разрядов первого регистра, отсюда и далее с тем, что, с целью повышения точности преобразования в широком диапазоне рабочих температур, введены второй сумматор, второй и третий регистры, датчик температуры, аналоговый коммутатор, аналого-цифровой преобразователь, блок прогноза контроля, блок управления, первый вход которого является шиной "Запуск", первый выход подключен к управляющему входу блока прогноза контроля, информационный вход которого объединен с первым информационным входом аналогового коммутатора и подключен к выходу датчика температуры, выход подключен к второму входу блока управления, второй выход которого подключен к входу записи второго регистра, выходы которого подключены к соответствующим вторым адресным входам первого, второго и третьего блоков постоянной памяти, информационные входы объединены с соответствующими информационными входами третьего регистра и подключены к соответствующим цифровым выходам аналого-цифрового преобразователя, выход окончания преобразования которого подключен к третьему входу блока управления, аналоговый вход подключен к выходу ана-

логового коммутатора, второй информационный вход которого подключен к выходу цифроаналогового преобразователя на основе избыточного измерительного кода, управляющий вход подключен к третьему выходу блока управления, четвертый выход которого подключен к входу запуска аналого-цифрового преобразователя, пятый выход подключен к входу обнуления первого регистра, шестой выход подключен к входу записи первого регистра, седьмой выход подключен к входу записи третьего регистра, выходы которого подключены к соответствующим первым входам второго сумматора, выходы которого подключены к соответствующим информационным входам первого регистра, вторые входы являются входной шиной преобразуемого кода.

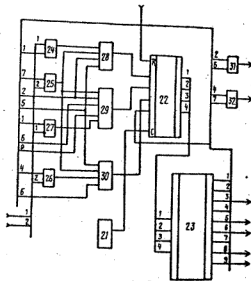
2. Преобразователь по п.1, отличающийся тем, что блок прогноза контроля выполнен на компараторе и устройстве выборки-хранения, информационный вход которого объединен с первым входом компаратора и является информационным входом блока, управляющий вход является управляющим входом блока, выход подключен к второму входу компаратора, выход которого является выходом блока.

3. Преобразователь по п.1, отличающийся тем, что блок управления выполнен на дешифраторе с выходами с первого по девятый, первым, вторым и третьем элементах И, элементе запрета, первом, втором, третьем, четвертом и пятом элементах ИЛИ, генераторе тактовых импульсов и регистре, вход обнуления которого является первым входом блока, вход записи подключен к выходу генератора тактовых импульсов, выходы с первого по четвертый подключены к соответствующим входам дешифратора, первый выход которого подключен к прямому входу элемента запрета и первому входу первого элемента И, второй вход которого

объединен с инверсным входом элемента запрета и является вторым входом блока, выход подключен к первому входу первого элемента ИЛИ, выход которого подключен к первому информационному входу регистра, второй вход объединен с первыми входами второго и третьего элементов ИЛИ и подключен к выходу второго элемента И, первый вход которого объединен с первым входом третьего элемента И и является третьим входом блока, второй вход объединен с первым входом пятого элемента ИЛИ и подключен к седьмому выходу дешифратора, второй выход которого подключен к первому входу четвертого элемента ИЛИ, третьему входу первого элемента ИЛИ и второму входу второго элемента ИЛИ, выход которого подключен к второму информационному входу регистра, третий вход подключен к выходу элемента запрета, четвертый вход объединен с вторым входом третьего элемента ИЛИ, вторым входом четвертого элемента ИЛИ, является пятым выходом блока и подключен к шестому выходу дешифратора, третий выход которого является шестым выходом блока, четвертый выход подключен к второму входу пятого элемента ИЛИ и к второму входу третьего элемента И, выход которого подключен к третьему входу третьего элемента ИЛИ, выход которого подключен к третьему информационному входу регистра, четвертый вход объединен с четвертым входом первого элемента ИЛИ, является вторым выходом блока и подключен к пятому выходу дешифратора, восьмой выход которого является седьмым выходом блока и подключен к четвертому информационному входу регистра, девятый выход дешифратора является первым выходом блока и подключен к пятому входу второго элемента ИЛИ, при этом выходы четвертого и пятого элементов ИЛИ являются соответственно третьим и четвертым выходами блока.



Фиг. 2



Фиг. 3

Составитель В.Першиков

Редактор И.Дербак

Техред

Л.Олейник

Корректор С.Черни

Заказ 174

Тираж 654

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101