



СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СОВЕТА МИНИСТРОВ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

АВТОРСКОЕ СВИДЕТЕЛЬСТВО

№ 559237

На основании полномочий, предоставленных Правительством СССР, Государственный комитет Совета Министров СССР по делам изобретений и открытий выдал настоящее авторское свидетельство

**ОВОДЕНКО Александру Васильевичу
и другим, указанным в описании**

на изобретение **"Параллельный сумматор"**

в соответствии с описанием изобретения и приведенной в нем формулой,
по заявке № 2358578 с приоритетом от 3 мая 1976г.

заявитель изобретения: **Таганрогский радиотехнический институт
им. В. Д. Калмыкова**

Зарегистрировано в Государственном реестре
изобретений Союза ССР

28 января 1977 г.

Действие авторского свидетельства распро-
страняется на всю территорию Союза ССР.

Председатель Госкомитета

Начальник отдела



О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 559237

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 03.05.76 (21) 2358578/24

с присоединением заявки № -

(23) Приоритет -

(43) Опубликовано 25.05.77. Бюллетень № 19

(45) Дата опубликования описания 22.07.77

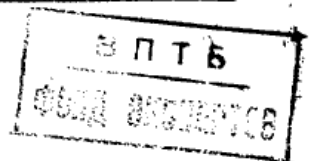
(51) М. Кл.²

G 06 F 7/50

(53) УДК 681.325.5
(088.8)

(72) Авторы
изобретения

А. П. Стахов, А. В. Оводенко и В. А. Лужецкий



(71) Заявитель

Таганрогский радиотехнический институт им. В. Д. Калмыкова

(54) ПАРАЛЛЕЛЬНЫЙ СУММАТОР

1

Изобретение относится к вычислительной технике и предназначено для параллельного суммирования многоразрядных двоичных чисел.

Известны сумматоры для параллельного суммирования многоразрядных двоичных чисел, содержащие регистры слагаемых и параллельный комбинационный сумматор [1], [2], [3].

Наиболее близким к изобретению по своей технической сущности является параллельный сумматор, содержащий первый и второй регистры, параллельный полусумматор и блок определения окончания суммирования, причем выход суммы параллельного полусумматора соединен с первым входом первого регистра, выход переноса соединен с входом блока определения окончания суммирования, выходы первого и второго регистров соединены с входами параллельного полусумматора [4].

Недостатком таких сумматоров является невозможность суммирования многоразрядных чисел, представленных в двоичной "фибоначчиевой" позиционной системе счисления.

2

Цель изобретения - расширение функциональных возможностей параллельного сумматора, которая заключается в выполнении сложения чисел в "фибоначчиевой" системе счисления, и контроль операции суммирования.

Достигается это тем, что сумматор дополнительно содержит блоки коммутации, нормализации и контроля, причем выход суммы параллельного полусумматора подключен к первому входу блока контроля, а к его второму входу подключен выход переноса параллельного полусумматора, который подключен также к входу блока коммутации.

Первый и второй управляющие входы блока коммутации подключены к первой и второй управляющим шинам, а выход соединен с входом второго регистра и с другим входом первого регистра, выход которого подключен также к входу блока нормализации, управляющий вход которого подключен к первой управляющей шине, а выход соединен с третьим входом первого регистра.

Сложение двух одноименных разрядов в двоичной "фибоначчиевой" системе счисле-

ния выполняется согласно следующей таблице:

0 + 0 = 0
0 + 1 = 1
1 + 0 = 1
1 + 1 = 1 0 0 1,

что вытекает из рекуррентного соотношения

$$\varphi(i) + \varphi(i) = \varphi(i) + \varphi(i-1) + \varphi(i-2) = \varphi(i+1) + \varphi(i-2)$$

Если в i-х разрядах нормальных представлений слагаемых имеются единицы, то из свойства нормальной формы следует, что суммы (i+1) и (i-1)-х разрядов всегда будут нулевые и, следовательно, единица переноса из i-го в (i+1)-й разряд всегда может быть помещена в (i+1)-й разряд суммы, а перенос из i-го в (i-2)-й разряд надо запомнить.

Из свойства этого способа сложения вытекает возможность организации контроля правильности протекания процесса суммирования. Признаком неправильного сложения является наличие ненулевой суммы в (i+1) или (i-1)-ом разрядах при возникновении переноса в i-ом разряде, т.е. функция ошибки имеет вид

$$F_{\text{ош}} = d_n S_{n-1} \vee d_{n-1} S_n \vee d_{n-1} S_{n-2} \vee \dots \vee d_1 S_2.$$

Здесь d_i - промежуточный перенос; S_i - промежуточная сумма.

На чертеже дана функциональная схема параллельного сумматора.

Всё состав входят первая управляющая шина 1, вторая управляющая шина 2, первый регистр 3, блок нормализации 4, второй регистр 5, параллельный полусумматор 6, блок коммутации 7, блок контроля 8, блок определения окончания суммирования 9.

По первой управляющей шине 1 сигнал подается на вход блока коммутации 7 и вход блока нормализации 4.

В первом такте слагаемые одновременно подаются на вход параллельного полусумматора 6, одноименные разряды слагаемых попарно складываются согласно приведенной таблице сложения. При этом получается сумма и перенос, который при правильной работе сумматора будет представлен нормальной формой. Разряды суммы пересылаются в первый регистр 3. Блок коммутации 7 осуществляет запись переноса i-го разряда в (i+1)-й разряд первого регистра 3 и в (i-2)-й разряд второго регистра 5. Содержимое первого регистра 3 (сумма и перенос) с помощью блока нормализации 4 приводится к нормальной форме. При этом образуется первая промежуточная сумма. Во втором регистре 5 находится первый промежуточный перенос.

Во втором такте происходит сложение первой промежуточной суммы S₁ и первого промежуточного переноса d₁ и образуется вторая промежуточная сумма S₂ и второй промежуточный перенос d₂.

Аналогичным образом устройство работает и в последующих тактах. Этот процесс продолжается до тех пор, пока промежуточный перенос не будет состоять из одних нулей. При этом блоком 9 вырабатывается сигнал окончания операции сложения.

Если во время работы на выходах параллельного полусумматора 6 появится ошибочная кодовая комбинация, то блок контроля 8 формирует сигнал ошибки.

Пример. Сложить числа A = 1001001010 и B = 1010001000

1. Образование промежуточной суммы S₁ и переноса d₁

$$\begin{array}{r}
 A = 1001001010 \\
 + B = 1010001000 \\
 \hline
 \end{array}$$

$$\begin{array}{r}
 S_1 = 10011010010 \\
 d_1 = 00010000010
 \end{array}$$

Приведение S₁ к нормальной форме

$$\begin{array}{r}
 S_1 = 10011010010 \\
 = 101000010010.
 \end{array}$$

2. Образование промежуточной суммы S₂ и переноса d₂

$$\begin{array}{r}
 S_1 = 101000010010 \\
 + d_1 = 00010000010 \\
 \hline
 \end{array}$$

$$\begin{array}{r}
 S_2 = 10110010011 \\
 d_2 = 00000000000
 \end{array}$$

Приведение S₂ к нормальной форме

$$\begin{array}{r}
 S_2 = 10110010011 \\
 = 110000010100 \\
 = 100000010100
 \end{array}$$

Сложение закончено

$$A + B = S_2.$$

При сложении чисел в традиционной двоичной системе счисления подается управляющий сигнал по второй управляющей шине. При этом с помощью блока коммутации 7 осуществляется запись переноса i-го разряда только в (i+1)-й разряд второго регистра 5. Блок нормализации 4 в этом режиме не работает. Сложение происходит известным образом.

Введение новых блоков и связей позволяет расширить функциональные возможности параллельного сумматора, а именно выполнять операцию суммирования чисел, представленных в "фибоначчиевой" системе счисления, обладающей высокой ошибкообнаруживающей способностью.

Коэффициент обнаружения ошибок для "фибоначчиевого" сумматора определяется следующим выражением:

$$S = \frac{32^n - 17^n}{32^n} = 1 - \frac{17^n}{32^n}$$

Например, для 20-ти разрядного сумматора

$$S = 1 - \frac{17^{20}}{32^{20}} = 0,999997$$

$$S = 99,9997\%$$

Ф о р м у л а и з о б р е т е н и я

Параллельный сумматор, содержащий первый и второй регистры, параллельный полусумматор и блок определения окончания суммирования, причем выход суммы параллельного полусумматора соединен с первым входом первого регистра, а выход переноса параллельного полусумматора — с входом блока определения окончания суммирования, выходы первого и второго регистров соединены с входами параллельного полусумматора, отличающийся тем, что, с целью расширения функциональных возможностей, сумматор дополнительно содержит блоки коммутации, нормализации и контроля, причем выход суммы парал-

лельного полусумматора подключен к первому входу блока контроля, ко второму входу которого подключен выход переноса параллельного полусумматора, который подключен также к входу блока коммутации, первый и второй управляющие входы которого подключены к первой и второй управляющим шинам, а выход соединен с входом второго регистра и с другим входом первого регистра, выход которого подключен также к входу блока нормализации, управляющий вход которого подключен к первой управляющей шине, а выход соединен с третьим входом первого регистра.

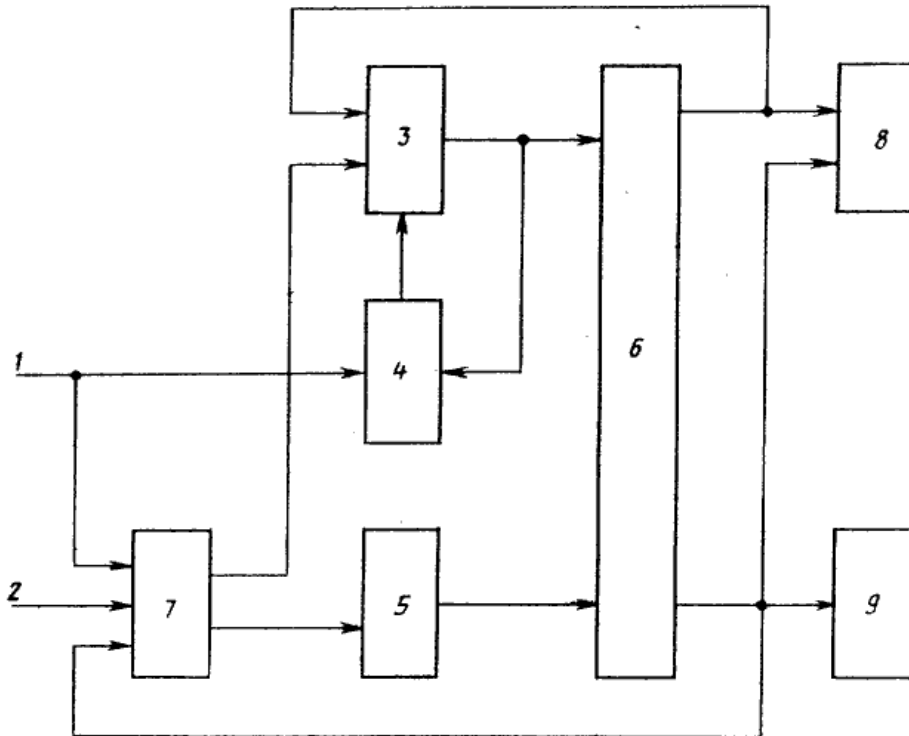
Источники информации, принятые во внимание при экспертизе:

1. Авторское свидетельство СССР № 315179, М.Кл. G 06 F 7/50, опубл. 1971 г.

2. Патент США № 3717755, кл. 235-175, 1973.

3. Патент Франции № 2153899, М.Кл. G 06 F 7/00, 1973.

4. Чу Я. "Организация ЭВМ и микропрограммирование", М., "Мир", 1975, с. 80. рис. 2.19.



ИННИПИ Заказ 1373/100

Тираж 813 Подписное

Филиал ИПИ "Патент",
г. Ужгород, ул. Проектная, 4