



СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СОВЕТА МИНИСТРОВ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

АВТОРСКОЕ СВИДЕТЕЛЬСТВО

№ 570896

На основании полномочий, предоставленных Правительством СССР, Государственный комитет Совета Министров СССР по делам изобретений и открытий выдал настоящее авторское свидетельство

ЛУЖЕЦКОМУ Владимиру Андреевичу
и другим, указанным в описании

на изобретение "Комбинационный сумматор"

в соответствии с описанием изобретения и приведенной в нем формулой,
по заявке № 2305279 с приоритетом от 29 декабря 1975г.

заявитель изобретения: Таганрогский радиотехнический институт
им. В.Д. Калмыкова

Зарегистрировано в Государственном реестре
изобретений Союза ССР

6 мая 1977 г.

Действие авторского свидетельства распро-
страняется на всю территорию Союза ССР.

Председатель Госкомитета

Начальник отдела

A large, red, starburst-shaped seal is stamped on the left side of the certificate. To the right of the seal, there are two handwritten signatures in black ink, one above the other, which appear to be the signatures of the officials mentioned in the text.

Савинский
Дмитриев



патентно-технический
центр МБА

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 570896

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 29.12.75 (21) 2305279/24

с присоединением заявки № —

(23) Приоритет —

Опубликовано 30.08.77. Бюллетень № 32

Дата опубликования описания 08.09.77

(51) М. Кл.² G 06F 7/50

(53) УДК 681.325.5
(088.8)

(72) Авторы
изобретения

А. П. Стахов, В. А. Лужецкий и А. В. Оводенко

(71) Заявитель

Таганрогский радиотехнический институт им. В. Д. Калмыкова

(54) КОМБИНАЦИОННЫЙ СУММАТОР

Изобретение относится к вычислительной технике и предназначено для параллельного суммирования многозарядных двоичных чисел.

Известны параллельные комбинационные сумматоры с последовательным переносом, построенные на однозарядных сумматорах и производящие суммирование чисел, представленных в обычной двоичной системе счисления [1].

Недостатком таких сумматоров является невозможность суммирования многозарядных чисел, представленных в двоичной «фибоначчиевой» позиционной системе счисления [2].

В этой системе счисления любое натуральное число представляется в виде многочлена

$$N = a_l \varphi(l) + a_{l-1} \varphi(l-1) + a_{l-2} \varphi(l-2) + \dots + a_0 \varphi(0), \quad (1)$$

где

$$\varphi(i) = \begin{cases} 0 & \text{при } i < 0 \\ 1 & \text{при } i = 0 \\ \varphi(i-1) + \varphi(i-2) & \text{при } i > 0; \end{cases} \quad (2)$$

$a_i = 0; 1.$

Представление (1) называется нормальной формой представления, если оно получено путем разложения N и всех возникающих в процессе такого разложения остатков r_j по формуле

$$N = \varphi(i+1) + r_1 \quad 0 \leq r_1 < \varphi(i),$$

где $\varphi(i+1)$ и $\varphi(i)$ задаются соотношением (2).

Для нормальной формы представления чисел в «фибоначчиевой» системе счисления характерно наличие не менее одного нуля после каждой единицы. Например, нормальная форма числа 83 имеет вид, показанный в табл. 1.

Таблица 1

Вес разряда	55	34	21	13	8	5	3	2	1	1
Нормальная форма числа 83	1	0	1	0	0	1	0	1	0	0

Сложение двух цифр одноименных разрядов в двоичной «фибоначчиевой» системе счисления выполняется следующим образом:

$$\begin{aligned} 0+0 &= 0 \\ 0+1 &= 1 \\ 1+0 &= 1 \\ 1+1 &= 1001. \end{aligned}$$

Если в данном разряде слагаемых есть две единицы, то в «фибоначчиевой» двоичной системе счисления, в отличие от традиционной двоичной системы счисления, наряду с переносом в следующий старший разряд имеется еще перенос в младший разряд, отстоящий от данного на два разряда, что вытекает из рекуррентного соотношения (2),

$$\begin{aligned} \varphi(i) + \varphi(i) &= \varphi(i) + \varphi(i-1) + \varphi(i-2) = \\ &= \varphi(i+1) + \varphi(i-2). \end{aligned}$$

Отсюда следует, что при сложении двух многоразрядных двоичных чисел, представленных в нормальной форме, возможна ситуация, когда в один разряд происходит два переноса: один со стороны предыдущего младшего разряда слагаемых, другой — со стороны старшего, отстоящего от данного на два разряда.

Следовательно, одноразрядный двоичный «фибоначчиевой» комбинационный сумматор должен содержать четыре входа: два входа для цифр данного разряда слагаемых и два входа для цифр указанных переносов.

Благодаря нормальной форме представления слагаемых невозможно поступление двух переносов в любой разряд, когда оба слагаемых этого разряда равны единице, т. е. на входы одноразрядного сумматора не может подаваться, в любом случае, одновременно более трех единичных сигналов.

Практическая полезность «фибоначчиевой» системы счисления состоит в увеличении ошибкообнаруживающей способности и в возможности диагностики сумматора.

Ближайшим аналогом изобретения можно считать, например, комбинационный сумматор, содержащий в каждом разряде одноразрядные сумматоры, выходы суммы которых являются выходами разрядов сумматора [3].

Недостатком такого сумматора является невозможность суммирования многоразрядных чисел, представленных в двоичной «фибоначчиевой» системе счисления.

Цель изобретения — расширение функциональных возможностей комбинационного сумматора, заключающееся в выполнении дополнительной функции суммирования многоразрядных чисел, представленных в двоичной «фибоначчиевой» системе счисления при сохранении функции суммирования многоразрядных двоичных чисел, представленных в традиционной двоичной системе счисления.

Это достигается тем, что каждый i -й ($i=1, 2, \dots, n$) разряд сумматора дополнительно содержит логический узел и элемент И, шины i -х разрядов слагаемых подключены к перво-

му и второму входам логического узла соответствующего i -го разряда сумматора, третий вход логического узла i -го разряда — к выходу переноса одноразрядного сумматора ($i-1$)-го разряда, а четвертый вход — к выходу элемента И соответствующего i -го разряда сумматора. Первый вход элемента И i -го разряда соединен с выходом переноса одноразрядного сумматора ($i+2$)-го разряда, а второй — с шиной управления. Выходы логического узла i -го разряда подсоединены к входам одноразрядного сумматора соответствующего i -го разряда, выход переноса одноразрядного сумматора i -го разряда — к третьему входу логического узла ($i+1$)-го разряда и второму входу элемента И ($i-2$)-го разряда.

Логический узел каждого разряда содержит два элемента И и три элемента ИЛИ. Первый вход логического узла соединен с первыми входами первых элементов И и ИЛИ, вторые входы которых связаны с вторым входом логического узла, третий вход логического узла — с первыми входами вторых элементов И и ИЛИ, вторые входы которых соединены с четвертым входом логического узла. Выходы элементов И подключены к входам третьего элемента ИЛИ, выходы элементов ИЛИ являются выходами логического узла.

На фиг. 1 представлена схема четырех разрядов комбинационного сумматора; на фиг. 2 — схема логического узла.

Сумматор содержит шины (входы) 1—4 первого слагаемого, шины (входы) 5—8 второго слагаемого, шину (вход 9) управления; элементы И 10—13 ($i+2$)-го, ($i+1$)-го, i -го, ($i-1$)-го разрядов соответственно; логические узлы 14—17 ($i+2$)-го, ($i+1$)-го, i -го, ($i-1$)-го разрядов соответственно, одноразрядные (комбинационные) сумматоры 18—21 ($i+2$)-го, ($i+1$)-го, i -го, ($i-1$)-го разрядов соответственно, выходы 22—25 переноса, выходы 26—29 суммы.

Логический узел включает в себя элементы И 30 и 31, элементы ИЛИ 32, 33 и 34.

При сложении чисел, представленных в «фибоначчиевой» системе счисления в нормальной форме, сигналы соответствующих разрядов слагаемых поступают на входы 1—8.

На управляющий вход 9, связанный с первыми входами элементов И 10—13, подается единичный сигнал, разрешающий прохождение сигналов с выходов 22—25 переноса со стороны старших суммируемых разрядов через элементы И 10—13 на один из входов логических узлов 14—17. На другие входы логических узлов поступают сигналы слагаемых соответствующего разряда и сигналы переноса со стороны младших разрядов.

Каждый логический узел 14—17 осуществляет распределение сигналов, поступающих на его входы, между тремя входами соответствующего одноразрядного комбинационного сумматора, потому что при сложении чисел, представленных в «фибоначчиевой» системе счисления, из четырех входных сигналов ло-

гического блока единичное значение могут принимать одновременно не более трех сигналов.

При сложении чисел, представленных в традиционной двоичной системе счисления, на управляющий вход 9 подается нулевой сигнал, запрещающий прохождение через элементы И 10—13 на вход логических узлов сигналов переноса со стороны старших суммируемых разрядов.

На выходах 26—29 формируются сигналы результата суммирования двух чисел, представленных как в двоичной, так и в «фибоначчиевой» системах счисления.

Примеры сложения многоразрядных чисел в «фибоначчиевой» системе счисления приведены в табл. 2 (здесь стрелками указаны переносы).

Таблица 2

Десятичный эквивалент	$\varphi(i)$								
	21	13	8	5	3	2	1		
17	0	1	0	0	1	0	1	0	1-е слагаемое
17	0	1	0	0	1	0	1	0	2-е слагаемое
		↑		↑		↑		↑	
				↑		↑		↑	
						↑		↑	
34	1	0	1	0	1	0	1	1	Сумма
20	0	1	0	1	0	1	0	0	1-е слагаемое
20	0	1	0	1	0	1	0	0	2-е слагаемое
		↑		↑		↑		↑	
				↑		↑		↑	
40	1	0	1	1	1	1	0	1	Сумма

Введение дополнительных элементов и связей позволяет дополнительно производить операцию суммирования многоразрядных двоичных чисел, представленных в двоичной «фибоначчиевой» системе счисления, которая обладает способностью обнаруживать искажения двоичных комбинаций.

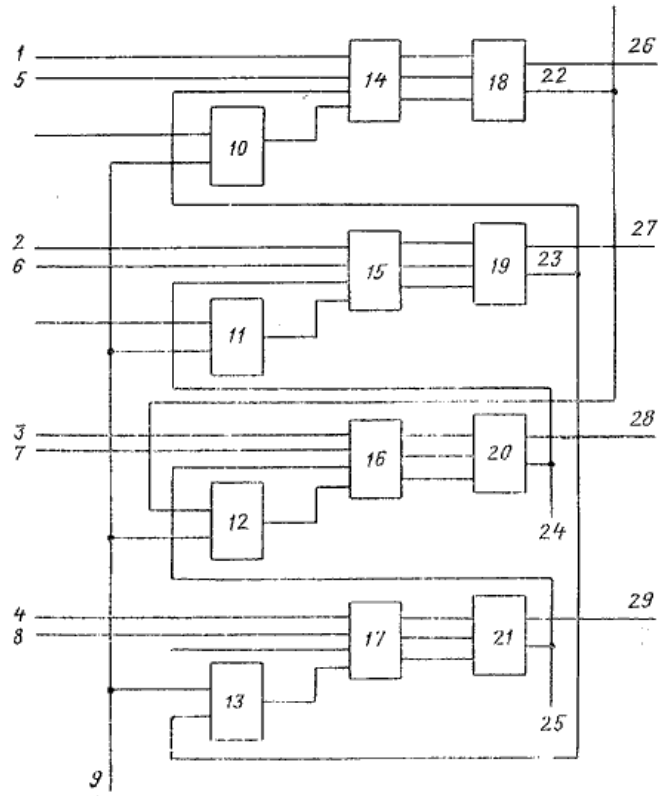
Формула изобретения

1. Комбинационный сумматор, содержащий в каждом разряде одноразрядные сумматоры, выходы суммы которых являются выходами разрядов сумматора, отличающийся тем, что, с целью расширения функциональных возможностей, каждый i -й ($i=1, 2, \dots, n$) разряд сумматора дополнительно содержит логический узел и элемент И, шины i -х разрядов слагаемых подключены к первому и второму входам логического узла соответствующего i -го разряда сумматора, третий вход логического узла i -го разряда подключен к выходу переноса одноразрядного сумматора ($i-1$ -го разряда, а четвертый вход — к выходу элемента И соответствующего i -го разряда сумматора, первый вход элемента И i -го разряда соединен с выходом переноса одноразрядного сумматора ($i+2$ -го разряда, а второй — с шиной управления, выходы логического узла i -го разряда соединены с входами одноразрядного сумматора соответствующего i -го разряда, выход переноса одноразрядного сумматора i -го разряда подключен к третьему входу логического узла ($i+1$ -го разряда и второму входу элемента И ($i-2$ -го разряда).

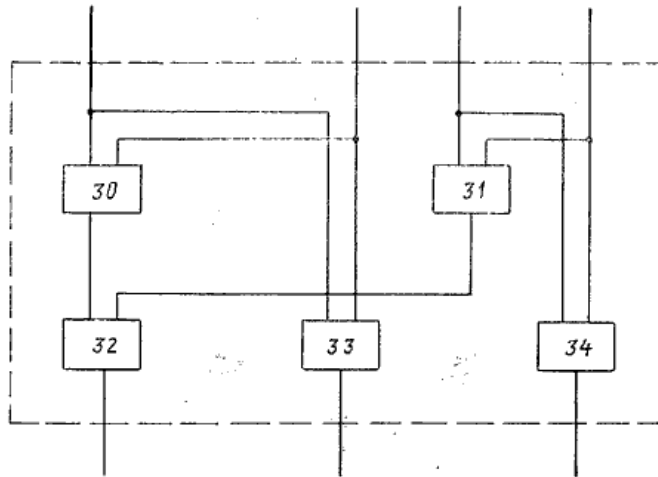
2. Сумматор по п. 1, отличающийся тем, что логический узел каждого разряда содержит два элемента И и три элемента ИЛИ, причем первый вход логического узла соединен с первыми входами первых элементов И и ИЛИ, вторые входы которых соединены с вторым входом логического узла, третий вход которого подключен к первым входам вторых элементов И или ИЛИ, вторые входы которых соединены с четвертым входом логического узла, выходы элементов И подключены к входам третьего элемента ИЛИ, выходы элементов ИЛИ являются выходами логического узла.

Источники информации, принятые во внимание при экспертизе

1. Карцев М. А. Арифметика цифровых машин. М., «Наука», 1969, с. 142, рис. 2.1.
2. Однородные цифровые вычислительные и интегрирующие структуры, вып. 2, Таганрог, 1974, с. 5—41.
3. Букреев И. Н. и др. Микроэлектронные схемы цифровых устройств. М., «Сов. радио», 1975, с. 329, рис. 8.7.



Фиг.1



Фиг.2