



УКРАЇНА

(19) UA (11) 28540 (13) U
(51) МПК
G06F 7/50 (2006.01)

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС
ДО ПАТЕНТУ
НА КОРИСНУ МОДЕЛЬ

видається під
відповідальність
власника
патенту

(54) КОНВЕЄРНИЙ ПРИСТРІЙ

1

2

(21) u200709465

(22) 20.08.2007

(24) 10.12.2007

(72) КОЖЕМ'ЯКО ВОЛОДИМИР ПРОКОПОВИЧ, UA, ОНИЩЕНКО ВІКТОР КОНСТАНТИНОВИЧ, UA, МАРТИНЮК ТЕТЯНА БОРИСІВНА, UA, МОРОЗ ІРИНА ВІТАЛІЙВНА, UA, ЧЕЧЕЛЬНИЦЬКИЙ ОЛЕГ ІВАНОВИЧ, UA

(73) ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, UA

(56)

(57) Конвеєрний пристрій, який містить n входів і n комірок, крім того, i -та комірка містить блок порівняння, суматор, мініматор, три регістри, D-тригер, мультиплексор і блок логічних елементів I, причому перший вхід i -ої комірки з'єднаний з першим входом мультиплексора, вихід якого підключений до входу першого регістра, вихід якого з'єднаний з першим входом блока порівняння та першим входом мініматора, вихід якого з'єднаний з третім регістром, а вихід другого регістра з'єднаний з першим входом блока елементів I та другим входом блока порівняння, перший вихід якого з'єднаний з другим входом мультиплексора, а другий вихід з'єднаний з D-входом D-тригера, R-вхід якого підключений до входу устанавлення в початковий стан пристрою, інверсний вихід D-тригера підключений до другого входу блока елементів I, вихід якого є першим виходом i -ої комірки, другий вхід мініматора i -ої комірки з'єднаний з другим виходом $(i-1)$ -ої комірки, перший вхід суматора i -ої комірки з'єднаний з третім виходом $(i-1)$ -ої комірки, другий вхід з'єднаний з першим виходом $(i+1)$ -ої комірки, а вихід суматора є третім виходом i -ої комірки, вихід третього регістра є другим виходом i -ої комірки, керувальний вхід мультиплексора підключений до керувального входу пристрою, вхід другого регістра є другим входом i -ої комірки, крім того, через відсутність в першій комірці мініматора та третього регістра, вихід першого регістра є другим виходом першої комірки, а перший вхід суматора з'єднаний з виходом блока елементів I, при цьому в n -ій комірці вхід третього регістра з'єднаний з

виходом суматора, а вихід з'єднаний з другим входом суматора, вихід мініматора з'єднаний з входом другого регістра, а також підключений до другого входу $(n-1)$ комірок, третій вихід n -ої комірки є виходом пристрою, блок логічних елементів містить m елементів I, де m - розрядність вхідних величин, перші входи яких з'єднані з першим входом блока, другі входи - з другим входом блока, а виходи з'єднані з виходами блока елементів I, який відрізняється тим, що в нього введено блок порогового оброблення, який складається з блока порівняння, регістра, мультиплексора, блока елементів I, D-тригера, елемента АБО, причому вихід мультиплексора блока порогового оброблення підключений до входу регістра, вихід якого з'єднаний з першим входом блока порівняння, перший вихід якого з'єднаний з другим входом мультиплексора, а другий вихід з'єднаний з першим входом елемента АБО, до другого входу якого підключений третій вихід блока порівняння, вихід елемента АБО з'єднаний з D-входом D-тригера, R-вхід якого підключений до входу устанавлення в початковий стан пристрою, перший вхід мультиплексора з'єднаний з входом порога блока порогового оброблення, а його керувальний вхід з'єднаний з керувальним входом пристрою, прямий вихід D-тригера є виходом результуючого сигналу блока порогового оброблення, а його інверсний вихід підключений до другого входу блока елементів I, вихід якого підключений до другого входу блока порівняння, а третій вихід $(n-1)$ -ої комірки пристрою підключений до першого входу блока елементів I блока порогового оброблення, причому другий вихід блока порівняння 1 -ої комірки з'єднаний з третім входом мініматора цієї комірки, а другий вихід третього регістра є четвертим виходом i -ої комірки, який з'єднаний з четвертим входом мініматора $(i+1)$ -ої комірки, другий вихід блока порівняння першої комірки є її четвертим виходом, а другий вихід мініматора n -ої комірки є виходом сигналу "Кінець" пристрою.

UA (19) 28540 (11) (13)

Корисна модель відноситься до автоматики та обчислювальної техніки і може бути використана для розв'язання задач паралельного підсумовування та порогового оброблення вхідного масиву даних при побудові спеціалізованих обчислювальних систем.

Відомий пристрій для підсумовування n -розрядних чисел масиву [а. с. 554537, кл. G06F 7/385, 1977 р.], що містить суматор зі зсувом, n лічильників з m розрядами кожний, вхід кожного лічильника з'єднаний з виходом відповідного вхідного вентиля, входи всіх вхідних лічильників з'єднані з виходом блока керування, вихід кожного i -го розряду ($1 < i < m$) кожного j -го лічильника ($1 < j < n-1$) з'єднаний через відповідний вентиль з входом i -го розряду ($j+1$) лічильника, вихід кожного i -го розряду n -го лічильника з'єднаний через відповідний вентиль з входом i -го розряду суматора, входи всіх вентилів і нульові входи розрядів першого лічильника з'єднані з виходом блока керування, n -розрядний регістр, вихід кожного q -го розряду якого ($1 < q < n$) з'єднаний з входом q -го додаткового вентиля, причому вихід старшого розряду кожного q -го лічильника з'єднаний з входом q -го розряду регістра, вихід q -го додаткового вентиля з'єднаний з входом $(q+m)$ -го розряду суматора, входи всіх додаткових вентилів та нульові входи регістра з'єднані з виходом блока керування.

Недоліком даного пристрою є вузькі функціональні можливості через неможливість порогового оброблення масиву даних.

Найбільш близьким по технічній суті є конвеєрний підсумовуючий пристрій [патент України №46877, кл. G06G 7/14, G06F 7/50, 2002, Бюл. № 6], в подальшому поійменованій як конвеєрний пристрій, який містить n входів і n комірок, крім того, i -та комірка містить блок порівняння, суматор, вузол виділення загальної частини операндів, в подальшому поійменованій як мініматор, три регістри, D-тригер, мультиплексор і блок логічних елементів 1, причому перший вхід i -ої комірки з'єднаний з першим входом мультиплексора, вихід якого підключений до входу першого регістра, вихід якого з'єднаний з першим входом блока порівняння та першим входом мініматора, вихід якого з'єднаний з третім регістром, а вихід другого регістра з'єднаний з першим входом блока елементів 1 та другим входом блока порівняння, перший вихід якого з'єднаний з другим входом мультиплексора, а другий вихід - з D-входом D-тригера, R-вхід якого підключений до входу установлення в початковий стан пристрою, інверсний вихід D-тригера підключений до другого входу блока елементів 1, вихід якого є першим виходом i -ої комірки, другий вхід мініматора i -ої комірки з'єднаний з другим виходом $(i-1)$ -ої комірки, перший вхід суматора i -ої комірки з'єднаний з третім виходом $(i-1)$ -ої комірки, другий вхід з'єднаний з першим виходом $(i-1)$ -ої комірки, а вихід суматора є третім виходом i -ої комірки, вихід третього регістра є другим виходом i -ої комірки, керувальний вхід мультиплексора підключений до керувального входу пристрою, вхід другого регістра є другим входом i -ої комірки, крім того, через відсутність в першій комірці мініматора та третього регістра, вихід першого регістра є другим виходом першої комірки, а перший вхід суматора з'єднаний з виходом блока елементів 1, при цьому в n -ій комірці вхід третього регістра з'єднаний з виходом суматора, а вихід з'єднаний з другим входом суматора, вихід мініматора з'єднаний з входом другого регістра, а також підключений до другого входу $(n-1)$ комірок, третій вихід n -ої комірки є виходом пристрою, блок логічних

регістра є другим входом i -ої комірки, крім того, через відсутність в першій комірці мініматора та третього регістра, вихід першого регістра є другим виходом першої комірки, а перший вхід суматора з'єднаний з виходом блока елементів 1, при цьому в n -ій комірці вхід третього регістра з'єднаний з виходом суматора, а вихід - з другим входом суматора, вихід мініматора з'єднаний з входом другого регістра, а також підключений до другого входу $(n-1)$ комірок, третій вихід n -ої комірки є виходом пристрою, блок логічних елементів містить m елементів 1, де m - розрядність вхідних величин, перші входи яких з'єднані з першим входом блока, другі входи - з другим входом блока, а виходи - з виходами блока елементів 1.

Недоліком цього пристрою є те, що в процесі обробки в ньому відсутня можливість одночасного порогового оброблення разом із підсумовуванням елементів масиву чисел.

В основу корисної моделі поставлена задача створення конвеєрного пристрою, в якому введення нових блоків та нових зв'язків дає можливість разом із формуванням суми виконати порогове оброблення вхідного масиву, ілюструє до розширення функціональних можливостей пристрою.

Поставлена задача досягається тим, що в конвеєрний пристрій, який містить n входів і n комірок, крім того, i -та комірка містить блок порівняння, суматор, мініматор, три регістри, D-тригер, мультиплексор і блок логічних елементів 1, причому перший вхід i -ої комірки з'єднаний з першим входом мультиплексора, вихід якого підключений до входу першого регістра, вихід якого з'єднаний з першим входом блока порівняння та першим входом мініматора, вихід якого з'єднаний з третім регістром, а вихід другого регістра з'єднаний з першим входом блока елементів 1 та другим входом блока порівняння, перший вихід якого з'єднаний з другим входом мультиплексора, а другий вихід з'єднаний з D-входом D-тригера, R-вхід якого підключений до входу установлення в початковий стан пристрою, інверсний вихід D-тригера підключений до другого входу блока елементів 1, вихід якого є першим виходом i -ої комірки, другий вхід мініматора i -ої комірки з'єднаний з другим виходом $(i-1)$ -ої комірки, перший вхід суматора i -ої комірки з'єднаний з третім виходом $(i-1)$ -ої комірки, другий вхід з'єднаний з першим виходом $(i-1)$ -ої комірки, а вихід суматора є третім виходом i -ої комірки, вихід третього регістра є другим виходом i -ої комірки, керувальний вхід мультиплексора підключений до керувального входу пристрою, вхід другого регістра є другим входом i -ої комірки, крім того, через відсутність в першій комірці мініматора та третього регістра, вихід першого регістра є другим виходом першої комірки, а перший вхід суматора з'єднаний з виходом блока елементів 1, при цьому в n -ій комірці вхід третього регістра з'єднаний з виходом суматора, а вихід з'єднаний з другим входом суматора, вихід мініматора з'єднаний з входом другого регістра, а також підключений до другого входу $(n-1)$ комірок, третій вихід n -ої комірки є виходом пристрою, блок логічних

елементів містить m елементів I , де m - розрядність вхідних величин, перші входи яких з'єднані з першим входом блока, другі входи - з другим входом блока, а виходи з'єднані з виходами блока елементів I , введено блок порогового оброблення, який складається з блока порівняння, регістра, мультиплексора, блока елементів I , D-тригера, елемента АБО, причому вихід мультиплексора блока порогового оброблення підключений до входу регістра, в якого вихід з'єднаний з першим входом блока порівняння, перший вихід якого з'єднаний з другим входом мультиплексора, а другий вихід з'єднаний з першим входом елемента АБО, до другого входу якого підключений третій вихід блока порівняння, вихід елемента АБО з'єднаний з D-входом D-тригера, R-вхід якого підключений до входу установлення в початковий стан пристрою, перший вхід мультиплексора з'єднаний з входом порогового блока порогового оброблення, а його керувальний вхід з'єднаний з керувальним входом пристрою, прямий вихід D-тригера є виходом результуючого сигналу блока порогового оброблення, а його інверсний вихід підключений до другого входу блока елементів I , вихід якого підключений до другого входу блока порівняння, а третій вихід $(n-1)$ -ої комірки пристрою підключений до першого входу блока елементів I блока порогового оброблення, причому другий вихід блока порівняння i -ої комірки з'єднаний з третім входом мініматора цієї комірки, а другий вихід третього регістра є четвертим виходом i -ої комірки, який з'єднаний з четвертим входом мініматора $(i+1)$ -ої комірки, другий вихід блока порівняння першої комірки є її четвертим виходом, а другий вихід мініматора n -ої комірки є виходом сигналу «Кінець» пристрою.

На фіг.1 зображена функціональна схема першої, $(n-1)$ -ої, n -ої комірок пристрою та блока порогового оброблення, на фіг.2 наведено приклад функціонування конвеєрного пристрою.

Конвеєрний пристрій містить n комірок 1, причому i -та комірка 1 містить блок порівняння, в якості якого використовується арифметично-логічний пристрій (АЛП) 2, суматор 3, вузол 4 виділення загальної частини операндів (мініматор), крім першої комірки 1, регістри 5, 6 і регістр 7, крім першої і n -ої комірок 1, мультиплексор 8, блок 9 елементів I , D-тригер 10. Вихід мультиплексора 8 i -ої комірки 1 підключений до входу 11 регістра 5, в якого вихід з'єднаний з входом 12 АЛП 2 та входом 13 мініматора 4. Вихід регістра 6 з'єднаний з інформаційним входом блока 9 елементів I та входом 14 АЛП 2, вихід 15 якого з'єднаний з другим інформаційним входом мультиплексора 8, а вихід 16 ознаки від'ємного результату (знака) АЛП 2 з'єднаний з D-входом D-тригера 10, R-вхід якого підключений до входу 17 установлення в початковий стан пристрою. Інверсний вихід D-тригера 10 підключений до керувального входу блока 9 елементів I , вихід якого підключений до виходу 18 i -ої комірки 1.

Крім того, вхід 19 мініматора 4 i -ої комірки 1 з'єднаний з виходом 20 $(i-1)$ -ої комірки 1, вхід 21 суматора 3 i -ої комірки 1, крім першої, з'єднаний з виходом 22 $(i-1)$ -ої комірки 1, а вихід суматора 3 є

виходом 22 i -ої комірки 1. Вхід регістра 6 підключено до входу 23 i -ої комірки 1, крім n -ої, вихід мініматора 4 з'єднаний з входом регістра 7, інформаційний вихід якого є виходом 20 i -ої комірки 1, крім першої і n -ої. Перший інформаційний вхід мультиплексора 8 з'єднаний з входом 24 i -ої комірки 1, керувальний вхід з'єднаний з керувальним входом 25 пристрою, а вхід 26 суматора 3 i -ої комірки 1 підключено до виходу 18 $(i+1)$ -ої комірки 1. Блок 9 містить m логічних елементів I , де m - розрядність вхідних величин, перші входи яких з'єднані з відповідними інформаційними входами блока 9, другі входи - з керувальним входом блока 9, а виходи - з відповідними інформаційними виходами блока 9.

У першій комірці 1 вихід регістра 5 є виходом 20 першої комірки 1, а вхід 21 суматора 3 з'єднаний з виходом блока 9 елементів I цієї комірки. Остання n -та комірка 1 містить регістр 27, вхід якого підключений до виходу суматора 3 n -ої комірки 1, а вихід підключений до входу 26 цього ж суматора 3, вихід мініматора 4 з'єднаний з входом регістра 6 цієї комірки 1, а також з входом 23 всіх молодших $(n-1)$ комірок 1. Знакові входи 28 і 29 мініматора 4 i -ої комірки 1 з'єднані відповідно з виходом 16 знака АЛП 2 i -ої комірки 1 і виходом 30 $(i-1)$ -ої комірки 1, причому в усіх комірках 1, крім першої і n -ої, вихід знака регістра 7 є виходом 30 цієї комірки 1, а у першій комірці 1 вихід 16 знака АЛП 2 є виходом 30 цієї комірки 1. Вихід регістра 27 n -ої комірки 1 є виходом 31 суми пристрою, а вихід 32 ознаки нуля мініматора 4 n -ої комірки 1 з'єднаний з виходом 33 сигналу „Кінець” пристрою.

Крім того, пристрій містить блок 34 порогового оброблення, який має структуру комірки 1 пристрою і складається з АЛП 2, регістра 5, мультиплексора 8, блока 9 елементів I , D-тригера 10, елемента АБО 35. Вихід мультиплексора 8 блока 34 порогового оброблення підключений до входу 11 регістра 5, у якого вихід з'єднаний з входом 12 АЛП 2. Вихід 15 АЛП 2 з'єднаний з другим інформаційним входом мультиплексора 8, а вихід 16 знака АЛП 2 з'єднаний з першим входом елемента АБО 35. до другого входу якого підключений вихід 36 ознаки нуля АЛП 2. Вихід елемента АБО 35 з'єднаний з D-входом D-тригера 10, R-вхід якого підключений до входу 17 установлення в початковий стан пристрою. Перший інформаційний вхід мультиплексора 8 з'єднаний з входом 37 порогового блока 34 порогового оброблення, керувальний вхід з'єднаний з керувальним входом 25 пристрою. Прямий вихід D-тригера 10 є виходом 38 результуючого сигналу блока 34 порогового оброблення, а його інверсний вихід підключений до керувального входу блока 9 елементів I , вихід якого підключений до входу 14 АЛП 2, а вихід 22 $(n-1)$ -ої комірки пристрою підключений до інформаційного входу блока 9 елементів I блока 34 порогового оброблення.

Конвеєрний пристрій працює таким чином. Операції підсумовування і порогового оброблення виконуються в такий спосіб.

Спочатку визначається загальна значуща (мінімальна) частина q , всіх операндів масиву A_{j-1} у j -му циклі, тобто

$$q_j = \min \{ a_{i,j-1} \}_{j=1}^n, \quad (1)$$

де $a_{i,0}$ - i -ий операнд на i -му вході пристрою; $1 \leq j \leq N$.

Перевіряється умова

$$q_j = 0. \quad (2)$$

Якщо вона виконується, то процес оброблення закінчується. Якщо ні, то процес продовжується.

Далі виділяється зріз різниць A_j , тобто сукупність величин різниці всіх операндів масиву A_{j-1} j -го циклу з їхньою загальною частиною q_j , тобто

$$A_j = \{ a_{i,j} \}_{i=1}^n = \{ a_{i,j-1} - q_j \}_{i=1}^n. \quad (3)$$

В подальшому отриманий зріз різниць A_j є вхідним масивом операндів для наступного $(j+1)$ -го циклу. Формується бінарна маска F_j , елементи якої визначаються таким чином:

$$f_{i,j} = \begin{cases} 1, & \text{якщо } a_{i,j} \geq 0, \\ 0, & \text{якщо } a_{i,j} < 0. \end{cases} \quad (4)$$

Потім формується часткова сума S_j , де кратність p_j визначається кількістю додатних операндів масиву A_j , тобто

$$S_j = q_j p_j = q_j \cdot f_{1,j} + \dots + q_j \cdot f_{n,j} = q_j \cdot \sum_{i=1}^n f_{i,j} \quad (5)$$

яка порівнюється із поточним порогом оброблення

$$\Delta_j = \Delta_{j-1} - S_j, \quad j = \overline{1, N} \quad (6)$$

де $\Delta_0 = \theta$, θ - значення порогу оброблення; і перевіряється умова

$$\Delta_j \leq 0. \quad (7)$$

Якщо умова (7) виконується, то процес порогового оброблення закінчується і формується одиничний результуючий сигнал Y , якщо ні, то процес продовжується.

Одночасно підсумовуються часткові суми S_1, \dots, S_j , які отримані у попередніх $(j-1)$ -х і у поточному j -му циклах, тобто

$$S_k^O = \sum_{j=1}^k S_j = \sum_{j=1}^k q_j p_j, \quad k = \overline{1, N} \quad (8)$$

Наведені дії повторюються, доки не буде виконуватись умова (2).

Таким чином, остаточний результат підсумовування формується в процесі накопичення часткових сум всіх N циклів, причому $N_{\max} = n$, а середнє значення кількості циклів визначається за формулою

$$N = n - \sum_{r=1}^R (m_r - 1) \quad (9)$$

де R - кількість груп з кількістю m_r повторюваних чисел у початковому масиві даних.

Одночасно пристрій реалізує функцію формального нейрона у вигляді

$$Y = \begin{cases} 1, & \text{якщо } S_N^O = \sum_{i=1}^n a_{i,0} \geq \Theta, \\ 0 & \text{у протилежному випадку.} \end{cases} \quad (10)$$

Отже, на вхід 24 i -ої комірки 1 надходить i -ий операнд $a_{i,0}$ з масиву операндів A_0 , розмірність якого дорівнює n . Запис операндів $a_{i,0}$ в комірки 1 виконується паралельно. За наявності одиничного сигналу на керувальному вході 25 пристрою через мультиплексор 8 i -ий операнд $a_{i,0}$ надходить по входу 11 в регістр 5 i -ої комірки 1. Одночасно на вхід 37 (i -ока 34 порогового оброблення подають зовнішній поріг Θ , який через мультиплексор 8 надходить по входу 11 в його регістр 5.

Після цього виконується послідовне виділення загальної частини двох операндів - $(i-1)$ -го та i -го мініматором 4 за інформацією, що подається па його інформаційні входи 13 і 19 та знакові входи 28 і 29 і здійснюється запис результату в регістр 7. При цьому задіяно інформаційний вихід 20 і знаковий вихід 30 комірок 1, крім n -ої. Ця операція виконується послідовно, починаючи з другої комірки 1, згідно з виразом (1). Кінцевий результат виділення загальної частини q_1 всіх n операндів виду (1) формується в n -ій комірці 1 і з виходу мініматора 4 цієї комірки 1 мінімальна складова q_1 (загальна частина всіх операндів) без знака записується в регістр 6 всіх n комірок 1 паралельно, якщо величина q_1 ненульова і на виході 32 ознаки нуля мініматора 4 відсутній одиничний сигнал, а отже, на виході 33 пристрою відсутній одиничний сигнал „Кінець” операції підсумовування. При запису у регістр 6 задіяний вхід 23 всіх комірок 1, крім n -ої.

Після цього відбувається порівняння в АЛП 2 i -го операнда $a_{i,0}$, що надходить по входу 12 з регістра 5, та загальної частини q_1 всіх операндів, що надходить по входу 14 з регістра 6 i -ої комірки 1. Порівняння відбувається в процесі віднімання від величини операнда $a_{i,0}$ загальної частини q_1 всіх операндів згідно з виразом (3), а різниця записується з виходу 15 АЛП 2 через мультиплексор 8 в регістр 5. При цьому з виходу

16 знак різниці, тобто сигнал $\bar{f}_{i,1}$ (4) записується в D-тригер 10, який перед початком роботи пристрою був занулений сигналом по входу 17 установлення в початковий стан пристрою. Перед початком роботи регістри 5, 6, 7, 27 всіх комірок 1 занулені.

При відсутності одиничного сигналу знака одиничний сигнал $\bar{f}_{i,1}$ з інверсного виходу D-тригера 10 дозволяє проходження через блок 9 елементів I загальної частини операндів q_1 з регістра 6 через вихід 18 i -ої комірки 1 на вхід 26 суматора 3 $(i-1)$ -ої комірки 1, крім першої і n -ої. Так відбувається формування часткових сум S_j виду (5) у відповідні j -ті цикли підсумовування операндів.

В першій комірці 1 величина q_1 з регістра 6 проходить на вхід 21 суматора 3 цієї комірки 1 через блок 9 елементів I. У випадку, якщо на виході 16 АЛП 2 i -ої комірки 1 з'явиться одиничний сигнал знака, то нульовий сигнал $\bar{f}_{i,1}$ з інверсного виходу D-тригера 10 заборонить проходження величини q_1 в даному циклі оброблення через блок 9 елементів I на вхід 26 суматора 3 $(i-1)$ -ої комірки 1. Таким чином, в суматорі 3 кожної комірки 1 відбувається послідовне підсумовування величин q_1 , оскільки всі суматори 3 послідовно пов'язані між собою через свій вхід 21, починаючи

з другої комірки 1, а в результаті на виході 22 суматора 3 (n-1)-ої комірки 1 формується часткова сума S₁.

Після цього відбувається порівняння в АЛП 2 блока 34 порогового оброблення зовнішнього порогу θ, що надходить по його входу 12 з регістра 5, та часткової суми S₁, що надходить по входу 14 АЛП 2 з виходу блока елементів І, оскільки з інверсного виходу D-тригера 10 на керувальний вхід блока 9 елементів І подається одиничний сигнал дозволу. Порівняння відбувається в процесі віднімання у першому циклі від зовнішнього порогу θ часткової суми S₁ згідно з виразом (6). Різниця Δ₁ записується з виходу 15 АЛП 2 через мультиплексор 8 у регістр 5. Сигнали з виходу 16 знака і виходу 36 ознаки нуля АЛП 2 подаються через елемент АБО 35 на D-вхід D-тригера 10, який на початку роботи пристрою був занулений сигналом по входу 17 установлення в початковий стан пристрою. При цьому при наявності одиничного сигналу на одному з виходів: виході 16 знака або виході 36 ознаки нуля АЛП 2, нульовий сигнал з інверсного виходу D-тригера 10 заборонить проходження величини S₂ у наступному циклі оброблення через блок 9 елементів І на вхід 14 АЛП 2 блока 34, що свідчить про закінчення порогового оброблення у пристрої. На прямому виході D-тригера 10 у цьому випадку присутній одиничний сигнал, який формує одиничний сигнал Y на виході 38 результуючого сигналу блока 34 порогового оброблення. І навпаки, при відсутності одиничного сигналу на виході 16 знака і виході 36 ознаки нуля АЛП 2, нульовий сигнал подається з виходу елемента АБО 35 на вхід D-тригера 10, з інверсного виходу якого одиничний сигнал дозволяє проходження через блок 9 елементів І часткової суми S₂ з виходу 22 (n-1)-комірки 1.

Так виконується 1-ий цикл підсумовування і порогового оброблення. Далі цикли повторюються і кількість їх в середньому дорівнює величині (9) для підсумовування. Процес порогового оброблення буде продовжуватись, доки не буде виконуватись умова (7), а при її невиконанні - доки не буде виконуватись умова (2) При виконанні умови (7) на виході 38 результуючого сигналу блока 34 порогового оброблення формується одиничний сигнал Y (10). Процес підсумовування закінчується при появі одиничного сигналу на виході 33 сигналу „Кінець” пристрою, тобто за умови (2). Після виконання всіх циклів N оброблення на виході регістра 27 n-ої комірки 1, тобто на виході 31 суми пристрою формується остаточна сума S_N⁰ виду (8).

У таблиці наведено приклад формування суми чисел {13, 8, 3, 11}, бінарної матриці маски F, а також формування часткових сум S_j, поточного порогу Δ_j, результуючого сигналу Y та накопиченої суми S^o.

a _{1,j}	13	10	5
a _{2,j}	8	5	0
a _{3,j}	3	0	-
a _{4,j}	11	8	3
Цикли обробки t _i	0	1	2
Найменше число q _i	0	3	5
Часткова сума S _j	0	12	13
Поточний поріг Δ _j	30	18	3
Результуючий сигнал Y	0	0	0
Накопичення часткових сум S ^o	0	12	23
Бінарні маски F _j			
Елементи масок f _{i,j}	F ₀	F ₁	F ₂
f _{1,j}	0	1	1
f _{2,j}	0	1	1
f _{3,j}	0	1	0
f _{4,j}	0	1	1

Час виконання підсумовування і порогового оброблення за часовими діаграмами (фіг.2) містить:

t₁, t₂ - час запису даних відповідно у регістр (t_{WR}) через мультиплексор (t_{MX}), тобто t₁=t₂=t_{MX}+t_{WR};

t₃ - час послідовного формування мінімальної додатної величини у мініматорах комірок (t_{COM}) і запис її у регістр (t_{WR}), тобто t₃=(n-1)(t_{COM}+t_{WR});

t₄ - час паралельного формування зрізу різниць в АЛП (t_{SUB}), тобто t₄=t_{SUB};

t₅ - час послідовного формування поточної часткової суми у суматорах (t_{SM}) з урахуванням проходження через блок елементів І (t_{MX}), тобто t₅=t_{SM}+t_{MX};

t₆ - час формування поточного значення порогу в АЛП (t_{SUB}) та вихідного сигналу Y (t_Y), тобто t₆=t_{SUB}+t_Y.

Після запису операндів та порогу через мультиплексори 8 у регістри 5 (RGR) всіх n комірок 1 і комірки 34 (RGP) порогового оброблення (t₁+t₂) та послідовного формування мінімальної додатної величини у мініматорах 4 (MIN) комірок 1 і запису її у регістри 6 (RGM) (t₃) через регістри 7 (RGN) формуються зрізи різниць в АЛП 2 (ALU 1) (t₄), які є початковими даними для наступного циклу оброблення. Тобто, не очікуючи накопичення кратної загальної частини та порівняння отриманої часткової суми з порогом, починається наступний цикл оброблення. Одночасно у суматорах 3 (SM) (n-1) комірок формується часткова сума S_j, у n-й комірки 1 накопичуються

часткові суми S_j⁰ (t₅), а у комірки 34 в АЛП 2 (ALU 2) формується поточний поріг і вихідний сигнал Y (t₆). Отже, час розгону даного конвеєрного пристрою складає:

$$t_p = t_1 + t_2 + t_3 + t_4.$$

Тоді загальний час оброблення визначається таким чином:

$$T = t_1 + N t_4 + t_k,$$

де t₄ - час тіла циклу, причому t₄=t₁+t₃+t₄, t_k - час закінчення циклу, причому t_k=t₅+t₆+t₂.

Загальний час підсумовування Таблиця записати так:

	$T_{sm} = (t_{com} + t_{wr})n + (t_{sm}(n-1))N,$				
Елементи масиву a _{i,j}	A ₀	A ₁	де 1 ≤ N ≤ n; t _{com} = t _{sub} + t _{sm} ; t _{wr} , t _{mx} , t _y < t.	A ₅	

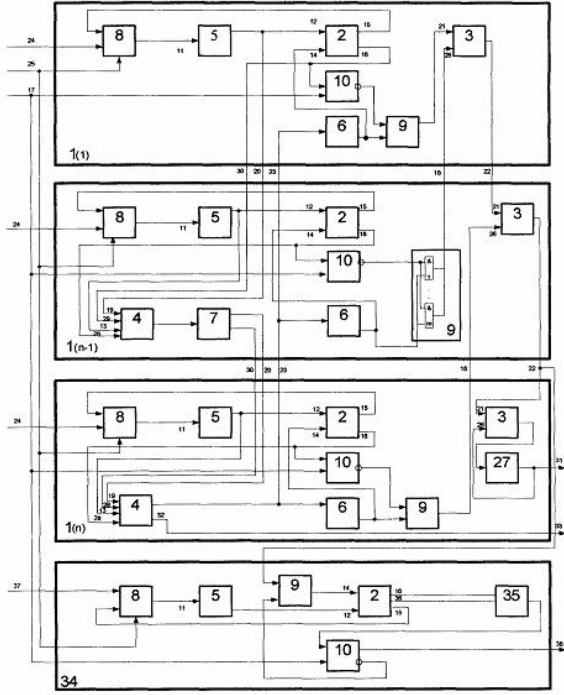
Тоді максимальний час підсумовування у даному конвеєрному пристрої визначається так:

$$T_{sm}^{max} = t_{com}(n-1) + t_{sub} + t_{sm}(n-1)n,$$

або

$$T_{sm}^{max} = t(n-1) + t + t(n-1)n = n^2t.$$

Отже, запропонований конвеєрний пристрій має розширені функціональні можливості, оскільки виконує разом із формуванням суми n елементів вхідного масиву порогове оброблення, тобто моделює роботу формального нейрона з функцією активації типу одиничного стрибка.



Фиг. 1

Цикл	1	2	3	4	5	6	7	8	9	10	11	12	13
Вхідні дані	1	2	3	4	5	6	7	8	9	10	11	12	13
Вихідні дані	1	2	3	4	5	6	7	8	9	10	11	12	13
Середні значення	1	2	3	4	5	6	7	8	9	10	11	12	13
Висхідні значення	1	2	3	4	5	6	7	8	9	10	11	12	13
Спадні значення	1	2	3	4	5	6	7	8	9	10	11	12	13
Всього	1	2	3	4	5	6	7	8	9	10	11	12	13

Цикл	1	2	3	4	5	6	7	8	9	10	11	12
Вхідні дані	1	2	3	4	5	6	7	8	9	10	11	12
Вихідні дані	1	2	3	4	5	6	7	8	9	10	11	12
Середні значення	1	2	3	4	5	6	7	8	9	10	11	12
Висхідні значення	1	2	3	4	5	6	7	8	9	10	11	12
Спадні значення	1	2	3	4	5	6	7	8	9	10	11	12
Всього	1	2	3	4	5	6	7	8	9	10	11	12

Цикл	1	2	3	4	5	6	7	8	9	10	11	12
Вхідні дані	1	2	3	4	5	6	7	8	9	10	11	12
Вихідні дані	1	2	3	4	5	6	7	8	9	10	11	12
Середні значення	1	2	3	4	5	6	7	8	9	10	11	12
Висхідні значення	1	2	3	4	5	6	7	8	9	10	11	12
Спадні значення	1	2	3	4	5	6	7	8	9	10	11	12
Всього	1	2	3	4	5	6	7	8	9	10	11	12

Фиг. 2