



УКРАЇНА

(19) UA

(11) 108575

(13) U

(51) МПК

H03F 3/26 (2006.01)

ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: **u 2016 00017**

(22) Дата подання заявки: **04.01.2016**

(24) Дата, з якої є чинними
права на корисну
модель: **25.07.2016**

(46) Публікація відомостей
про видачу патенту: **25.07.2016, Бюл.№ 14**

(72) Винахідник(и):

**Азаров Олексій Дмитрович (UA),
Богомолов Сергій Віталійович (UA),
Павлов Сергій Володимирович (UA),
Сеник Юрій Олександрович (UA)**

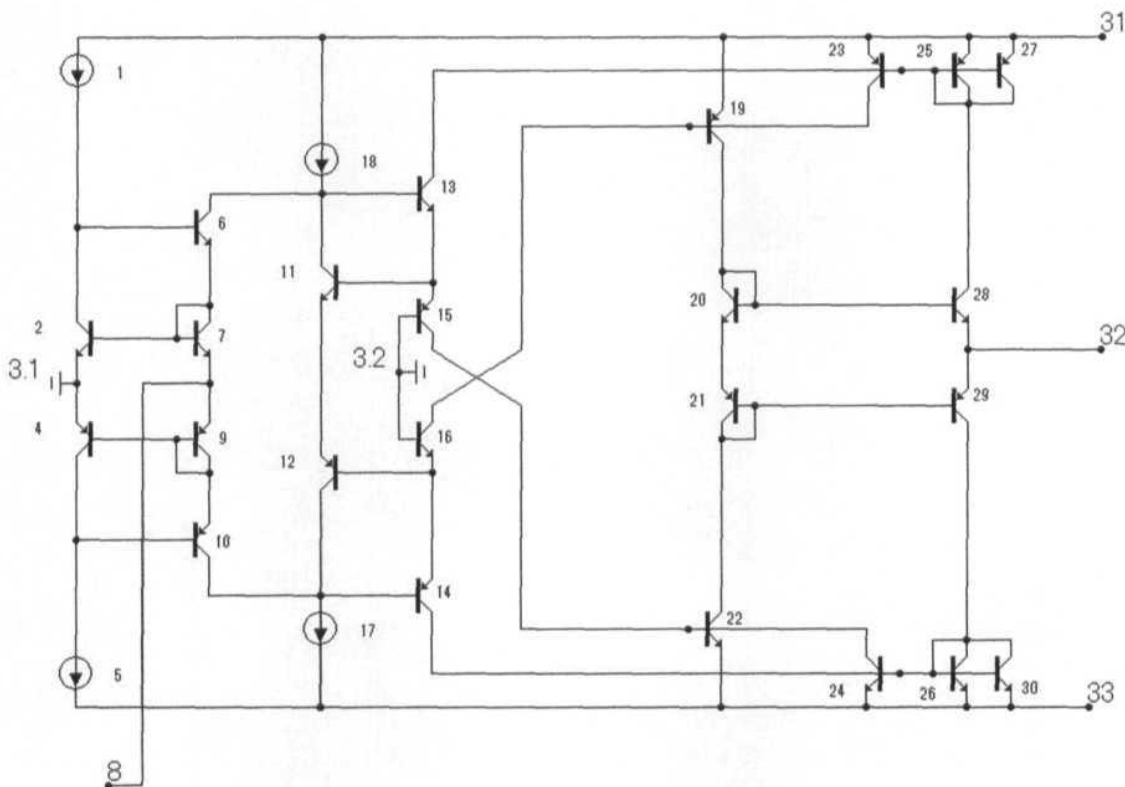
(73) Власник(и):

**ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ
ТЕХНІЧНИЙ УНІВЕРСИТЕТ,
Хмельницьке шосе, 95, м. Вінниця, 21021
(UA)**

(54) ДВОТАКТНИЙ СИМЕТРИЧНИЙ ПІДСИЛЮВАЧ СТРУМУ

(57) Реферат:

Двотактний симетричний підсилювач струму містить два джерела струму, шини додатного і від'ємного живлення, вхідну і вихідну шини, шину нульового потенціалу, шістнадцять транзисторів. Введено вісім транзисторів та третє і четверте джерела струму.



UA 108575 U

Корисна модель належить до імпульсної техніки і може бути використана в аналогово-цифрових перетворювачах і цифрових вимірювальних приладах.

Відомий підсилювач постійного струму (А.с. СРСР № 1548841, МПК Н03F3/26, опублікований 1989 р.), який містить перший і другий транзистори, які мають різну структуру. Емітери першого і другого транзисторів з'єднано, а точка з'єднання є входом підсилювача постійного струму. Третій і четвертий транзистори мають структуру відповідно другого і першого транзисторів, їх колектори є виходами підсилювача постійного струму, а бази третього і четвертого транзисторів з'єднано з колекторами першого і другого транзисторів відповідно. Бази першого і другого транзисторів з'єднано з шиною нульового потенціалу через перший і другий транзистори відповідно у діодному включенні та перше і друге джерела струмів, які включено між шинами додатного та від'ємного живлення та базами першого і другого транзисторів відповідно. Перший та другий транзистори у діодному включенні мають структуру першого і другого транзисторів відповідно. Перший та другий струмозадавальні елементи виконано відповідно на першому і другому відбивачах струму та п'ятому і шостому транзисторах, які мають структуру відповідно до третього і четвертого транзисторів. Бази п'ятого і шостого транзисторів є виходами відповідно першого і другого струмозадавального елементів, їх колектори з'єднано з шиною нульового потенціалу, а емітери - з виходами відповідно першого і другого відбивачів струму. Входи відбивачів струму з'єднано через двополюсний струмозадавальний елемент. Колектори третього і четвертого транзисторів з'єднано через коло зміщення. Коло зміщення виконано на третьому і четвертому транзисторах в діодному включенні. Виводи кола зміщення підключено до баз сьомого і восьмого транзисторів, які ввімкнено по схемі із загальним колектором. Емітери сьомого і восьмого транзисторів з'єднано, вони є виходом підсилювача.

Недоліком пристрою є низький коефіцієнт підсилення, що обмежує галузь його використання.

За прототип вибрано двотактний симетричний підсилювач постійного струму (Патент України № 65020, МПК Н03К 5/24, опубліковано 20.04.2011), який містить перше і друге джерела струму, шини додатного і від'ємного живлення, вхідну і вихідну шини, шину нульового потенціалу, шістнадцять транзисторів, причому вхідну шину з'єднано з емітерами третього та четвертого транзисторів відповідно, колектори третього і четвертого транзисторів з'єднано з базами п'ятого і шостого транзисторів відповідно, бази третього і четвертого транзисторів з'єднано з першими виводами першого і другого джерел струму, другі виводи першого і другого джерел струму та емітери п'ятого і шостого транзисторів з'єднано з шинами додатного і від'ємного живлення відповідно, колектори п'ятого і шостого транзисторів з'єднано з вихідною шиною, емітери першого та другого транзисторів з'єднано з першими виводами першого та другого джерел струму відповідно, бази першого та другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, колектори першого та другого транзисторів з'єднано з шинами від'ємного та додатного живлення відповідно, колектори третього та четвертого транзисторів з'єднано з колекторами сьомого та восьмого транзисторів відповідно, бази сьомого та восьмого транзисторів з'єднано з базами та колекторами дев'ятого та десятого транзисторів відповідно, емітери сьомого та дев'ятого транзисторів, а також емітери восьмого та десятого транзисторів з'єднано з шинами додатного і від'ємного живлення відповідно, колектори дев'ятого та десятого транзисторів з'єднано з колекторами одинадцятого та дванадцятого транзисторів відповідно, емітери одинадцятого та дванадцятого транзисторів з'єднано між собою, бази одинадцятого та дванадцятого транзисторів з'єднано з колекторами тринадцятого та чотирнадцятого транзисторів відповідно, а також з емітерами п'ятнадцятого та шістнадцятого транзисторів відповідно, бази п'ятнадцятого та шістнадцятого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, колектори п'ятнадцятого та шістнадцятого транзисторів, а також емітери чотирнадцятого та тринадцятого транзисторів з'єднано з шинами від'ємного та додатного живлення відповідно, бази тринадцятого та чотирнадцятого транзисторів з'єднано з базами п'ятого та шостого транзисторів відповідно.

Недоліком прототипу є низький коефіцієнт підсилення, що обмежує галузь використання пристрою.

В основу корисної моделі поставлено задачу створення двотактного симетричного підсилювача постійного струму, в якому за рахунок введення нових елементів та зв'язків між ними підвищується коефіцієнт підсилення, це розширює галузь використання корисної моделі у різноманітних пристроях імпульсної та обчислювальної техніки, автоматики тощо.

Поставлена задача вирішується тим, що у двотактний симетричний підсилювач струму, який містить два джерела струму, вхідну і вихідну шини, шину нульового потенціалу, шини додатного і від'ємного живлення, шістнадцять транзисторів, причому емітери одинадцятого та

дванадцятого транзисторів з'єднано між собою, бази яких з'єднано з емітерами тринадцятого та чотирнадцятого транзисторів відповідно, а також з емітерами п'ятнадцятого та шістнадцятого транзисторів відповідно, бази п'ятнадцятого та шістнадцятого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, введено вісім транзисторів та третє і четверте джерела струму, причому емітери другого та третього транзисторів об'єднано та з'єднано з шиною нульового потенціалу, колектори другого і третього транзисторів з'єднані з першими входами першого та другого джерел струму, бази другого і третього транзисторів з'єднано з базами та колекторами сьомого і восьмого транзисторів відповідно, другі входи першого та другого джерел струму з'єднані з шинами додатного та від'ємного потенціалу відповідно, колектори сьомого та восьмого транзисторів з'єднані з емітерами шостого та десятого транзисторів відповідно, колектор та база сьомого і восьмого транзисторів об'єднані, бази шостого та десятого транзисторів з'єднані з колекторами другого та третього транзисторів відповідно, колектори шостого та десятого і одинадцятого та дванадцятого транзисторів з'єднані з першими входами третього та четвертого джерел струму, а також бази тринадцятого та чотирнадцятого транзисторів відповідно, другі виходи третього та четвертого джерел струму з'єднані з шинами додатного та від'ємного потенціалу відповідно, вхідну шину з'єднано з емітерами сьомого та восьмого транзисторів, колектор шістнадцятого транзистора з'єднано з базою дев'ятнадцятого та колектором двадцять третього транзисторів, а також колектор п'ятнадцятого транзистора з'єднано з базою двадцять другого та колектором двадцять четвертого транзисторів відповідно, емітери тринадцятого та чотирнадцятого транзисторів з'єднано з емітерами п'ятнадцятого та шістнадцятого транзисторів відповідно, колектори тринадцятого та чотирнадцятого транзисторів з'єднані з базами двадцять третього та двадцять четвертого транзисторів відповідно, емітери двадцять другого та двадцять першого транзисторів об'єднані, бази першого та п'ятого транзисторів з'єднані з базами двадцять другого та двадцять першого транзисторів відповідно, база та колектор двадцять другого і двадцять першого транзисторів об'єднані, емітери першого та п'ятого транзисторів об'єднані та з'єднані з вихідною шиною, колектори дев'ятнадцятого та двадцять другого транзисторів з'єднані з колекторами двадцять другого та двадцять першого транзисторів відповідно, бази двадцять третього та двадцять четвертого транзисторів з'єднані з базою третього та дев'ятого транзисторів, емітери дев'ятнадцятого та двадцять другого транзисторів з'єднані з шиною додатного та від'ємного потенціалу відповідно, колектори першого та п'ятого і вісімнадцятого та сімнадцятого транзисторів з'єднані з колекторами третього та дев'ятого транзисторів відповідно, база та колектор третього і дев'ятого транзисторів об'єднані, емітери двадцять третього, третього та вісімнадцятого транзисторів з'єднані з шиною додатного потенціалу, а емітери двадцять четвертого, дев'ятого та сімнадцятого транзисторів з'єднані з шиною від'ємного потенціалу відповідно, бази вісімнадцятого та сімнадцятого транзисторів з'єднані з базами третього та дев'ятого транзисторів відповідно.

На кресленні представлено принципову схему двотактного симетричного підсилювача постійного струму.

Пристрій містить емітери одинадцятого 12 та дванадцятого 13 транзисторів що з'єднані між собою, бази одинадцятого 12 та дванадцятого 13 транзисторів з'єднано з емітерами тринадцятого 15 та чотирнадцятого 18 транзисторів відповідно, а також з емітерами п'ятнадцятого 16 та шістнадцятого 17 транзисторів відповідно, бази п'ятнадцятого 16 та шістнадцятого 17 транзисторів об'єднано та з'єднано з шиною нульового 3 потенціалу, емітери другого 2 та четвертого 4 транзисторів об'єднано та з'єднано з шиною нульового 3 потенціалу, колектори другого 2 і четвертого 4 транзисторів з'єднані з першими входами першого 1 та другого 5 джерел струму, бази другого 2 і четвертого 4 транзисторів з'єднано з базами та колекторами сьомого 7 і восьмого 9 транзисторів відповідно, другі входи першого 1 та другого 5 джерел струму з'єднані з шинами додатного 31 та від'ємного 33 потенціалу відповідно, колектори сьомого 7 та восьмого 9 транзисторів з'єднані з емітерами шостого 6 та десятого 10 транзисторів відповідно, колектор та база сьомого 7 і восьмого 9 транзисторів об'єднані, бази шостого 6 та десятого 10 транзисторів з'єднані з колекторами другого 2 та четвертого 4 транзисторів відповідно, колектори шостого 6 та десятого 10 і одинадцятого 12 та дванадцятого 13 транзисторів з'єднані з першими входами третього 11 та четвертого 14 джерел струму, а також бази тринадцятого 15 та чотирнадцятого 18 транзисторів відповідно, другі виходи третього 11 та четвертого 14 джерел струму з'єднані з шинами додатного 31 та від'ємного 33 потенціалу відповідно, вхідну 8 шину з'єднано з емітерами сьомого 7 та восьмого 9 транзисторів, колектор шістнадцятого 17 транзистора з'єднано з базою дев'ятнадцятого 19 та колектором двадцять третього 23 транзисторів, а також колектор п'ятнадцятого 15 транзистора з'єднано з базою двадцять другого 22 та колектором двадцять четвертого 24 транзисторів відповідно, емітери тринадцятого 15 та чотирнадцятого 18 транзисторів з'єднано з емітерами

п'ятнадцятого 16 та шістнадцятого 17 транзисторів відповідно, колектори тринадцятого 15 та чотирнадцятого 18 транзисторів з'єднані з базами двадцять третього 23 та двадцять четвертого 24 транзисторів відповідно, емітери двадцятого 20 та двадцять першого 21 транзисторів об'єднані, бази першого 28 та п'ятого 29 транзисторів з'єднані з базами двадцятого 20 та двадцять першого 21 транзисторів відповідно, база та колектор двадцятого 20 і двадцять першого 21 транзисторів об'єднані, емітери першого 28 та п'ятого 29 транзисторів об'єднані та з'єднані з вихідною 32 шиною, колектори дев'ятнадцятого 19 та двадцять другого 22 транзисторів з'єднані з колекторами двадцятого 20 та двадцять першого 21 транзисторів відповідно, бази двадцять третього 23 та двадцять четвертого 24 транзисторів з'єднані з базою третього 25 та дев'ятого транзисторів 26, емітери дев'ятнадцятого 19 та двадцять другого 22 транзисторів з'єднані з шиною додатного 31 та від'ємного 33 потенціалу відповідно, колектори першого 28 та п'ятого 29 і вісімнадцятого 27 та сімнадцятого 30 транзисторів з'єднані з колекторами третього 25 та дев'ятого 26 транзисторів відповідно, база та колектор третього 25 і дев'ятого 26 транзисторів об'єднані, емітери двадцять третього 23, третього 25 та вісімнадцятого 27 транзисторів з'єднані з шиною додатного 31 потенціалу, а емітери двадцять четвертого 24, дев'ятого 26 та сімнадцятого 30 транзисторів з'єднані з шиною від'ємного 33 потенціалу відповідно, бази вісімнадцятого 27 та сімнадцятого 30 транзисторів з'єднані з базами третього 28 та дев'ятого 29 транзисторів відповідно.

Пристрій працює таким чином:

Вхідний сигнал у вигляді струму надходить на вхідну шину 8. Якщо вхідний струм втікає у схему, то десятий 10 транзистор трохи відкривається, а шостий 6 транзистор трохи закривається, при цьому чотирнадцятий 18 та четвертий 24 транзистори трохи відкриваються, а тринадцятий 15 та двадцять третій 23 транзистори трохи закриваються. При цьому потенціал точки об'єднання колекторів першого 28 і п'ятого 29 транзисторів зменшується. При цьому потенціал вихідної шини 32 пристрою відслідковує потенціал точки об'єднання колекторів першого 28 і п'ятого 29 транзисторів і також зменшується.

Якщо вхідний струм витікає зі схеми, то десятий 10 транзистор трохи закривається, а шостий 6 транзистор трохи відкривається, при цьому чотирнадцятий 18 та четвертий 24 транзистори трохи закриваються, а тринадцятий 15 та двадцять третій 23 транзистори трохи відкриваються. При цьому потенціал точки об'єднання колекторів першого 28 і п'ятого 29 транзисторів збільшується. При цьому потенціал вихідної шини 32 пристрою відслідковує потенціал точки об'єднання колекторів першого 28 і п'ятого 29 транзисторів і також збільшується.

Перше 1 і друге 5 джерела струму, а також перший 2 та другий 4 транзистори утворюють схему задання режиму по постійному струму.

Двадцять другий 22, двадцять четвертий 24, дев'ятий 26 і сімнадцятий 30 транзистори утворюють відбивач Уілсона а також дев'ятнадцятий 19, двадцять третій 23, третій 25 і вісімнадцятий 27 транзистори відповідно, двадцятий 20, двадцять перший 21, перший 28 та п'ятий 29 транзистори утворюють двотактний підсилювальний вихідний каскад, а другий 2, четвертий 4, сьомий 7, восьмий 9, шостий 6 та десятий 10 транзистори утворюють вхідний каскад, перше 1 та друге 5 джерела струму задають робочий струм вхідного 8 каскаду, третє 11 та четверте 14 джерела струму є компенсуючими для тринадцятого 15 та чотирнадцятого 18 транзисторів, одинадцятий 12, дванадцятий 13, п'ятнадцятий 16, шістнадцятий 17 транзистори утворюють двонаправлений відбивач струму.

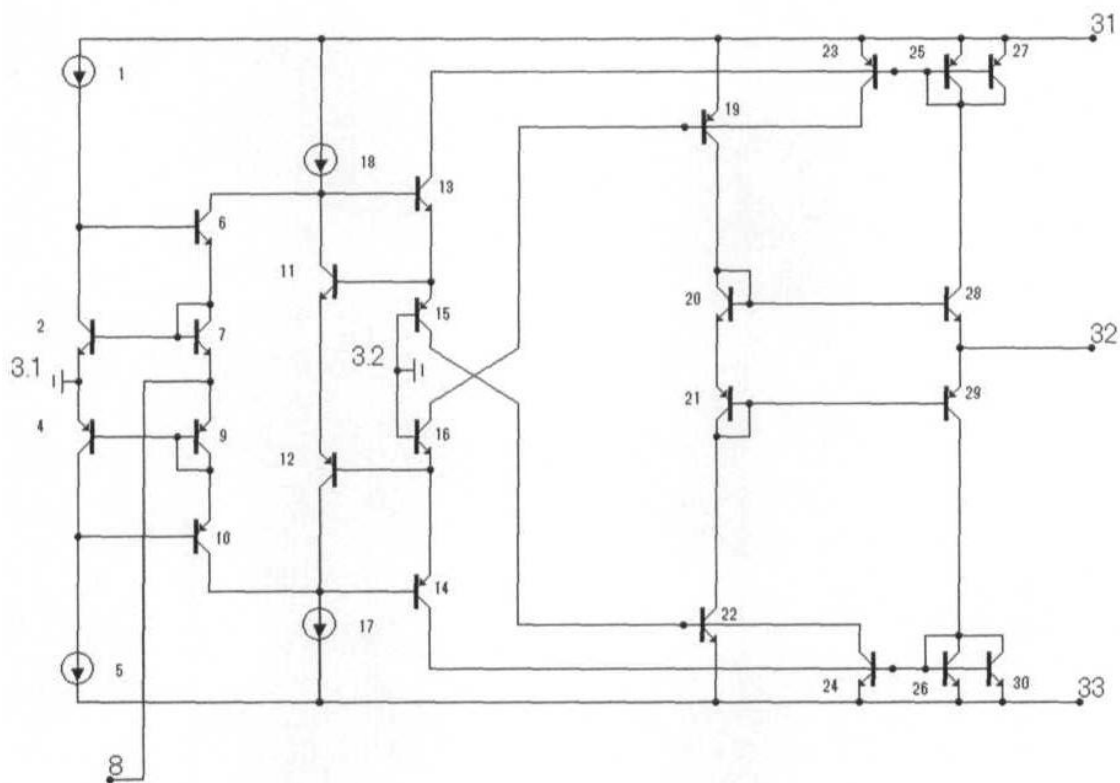
Шини додатного 31 і від'ємного 33 живлення, а також шина нульового потенціалу 3 забезпечують потрібний рівень напруги для живлення.

Вихідна шина 32 підключається до двотактного підсилювального вихідного каскаду який побудований на двадцятому 20, першому 26, двадцять першому 21, п'ятому 27 транзисторах.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Двотактний симетричний підсилювач струму, який містить два джерела струму, шини додатного і від'ємного живлення, вхідну і вихідну шини, шину нульового потенціалу, шістнадцять транзисторів, причому емітери одинадцятого та дванадцятого транзисторів з'єднано між собою, бази одинадцятого та дванадцятого транзисторів з'єднано з емітерами тринадцятого та чотирнадцятого транзисторів відповідно, а також з емітерами п'ятнадцятого та шістнадцятого транзисторів відповідно, бази п'ятнадцятого та шістнадцятого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, який **відрізняється** тим, що у нього введено вісім транзисторів та третє і четверте джерела струму, причому емітери другого та третього транзисторів об'єднано та з'єднано з шиною нульового потенціалу, колектори другого і третього

5 транзисторів з'єднані з першими входами першого та другого джерел струму, бази другого і
 третього транзисторів з'єднані з базами та колекторами сьомого і восьмого транзисторів
 відповідно, другі входи першого та другого джерел струму з'єднані з шиною додатного та
 від'ємного потенціалу відповідно, колектори сьомого та восьмого транзисторів з'єднані з
 10 емітерами шостого та десятого транзисторів відповідно, колектор та база сьомого і восьмого
 транзисторів об'єднані відповідно, бази шостого та десятого транзисторів з'єднані з
 колекторами другого та третього транзисторів відповідно, колектори шостого та десятого і
 одинадцятого та дванадцятого транзисторів з'єднані з першими входами третього та четвертого
 15 джерел струму, а також бази тринадцятого та чотирнадцятого транзисторів відповідно, другі
 виходи третього та четвертого джерел струму з'єднані з шиною додатного та від'ємного
 потенціалу відповідно, вхідну шину з'єднано з емітерами сьомого та восьмого транзисторів,
 колектор шістнадцятого транзистора з'єднано з базою дев'ятнадцятого та колектором двадцять
 20 третього транзисторів, а також колектор п'ятнадцятого транзистора з'єднано з базою двадцять
 другого та колектором двадцять четвертого транзисторів відповідно, емітери тринадцятого та
 чотирнадцятого транзисторів з'єднані з емітерами п'ятнадцятого та шістнадцятого транзисторів
 відповідно, колектори тринадцятого та чотирнадцятого транзисторів з'єднані з базами двадцять
 25 третього та двадцять четвертого транзисторів відповідно, емітери двадцятото та двадцять
 першого транзисторів об'єднані, бази першого та п'ятого транзисторів з'єднані з базами
 двадцятото та двадцять першого транзисторів відповідно, база та колектор двадцятото і
 двадцять першого транзисторів об'єднані відповідно, емітери першого та п'ятого транзисторів
 30 об'єднані та з'єднані з вихідною шиною, колектори дев'ятнадцятого та двадцять другого
 транзисторів з'єднані з колекторами двадцятото та двадцять першого транзисторів відповідно,
 бази двадцять третього та двадцять четвертого транзисторів з'єднані з базою третього та
 дев'ятого транзисторів, емітери дев'ятнадцятого та двадцять другого транзисторів з'єднані з
 шиною додатного та від'ємного потенціалу відповідно, колектори першого та п'ятого і
 вісімнадцятого та сімнадцятого транзисторів з'єднані з колекторами третього та дев'ятого
 транзисторів відповідно, база та колектор третього і дев'ятого транзисторів об'єднані відповідно,
 емітери двадцять третього, третього та вісімнадцятого транзисторів з'єднані з шиною додатного
 потенціалу, а емітери двадцять четвертого, дев'ятого та сімнадцятого транзисторів з'єднані з
 шиною від'ємного потенціалу відповідно, бази вісімнадцятого та сімнадцятого транзисторів
 з'єднані з базами третього та дев'ятого транзисторів відповідно.



Комп'ютерна верстка О. Рябко

Державна служба інтелектуальної власності України, вул. Василя Липківського, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601