



УКРАЇНА

(19) **UA** (11) **109080** (13) **U**
(51) МПК (2016.01)
H03K 23/00
H03M 7/00

ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

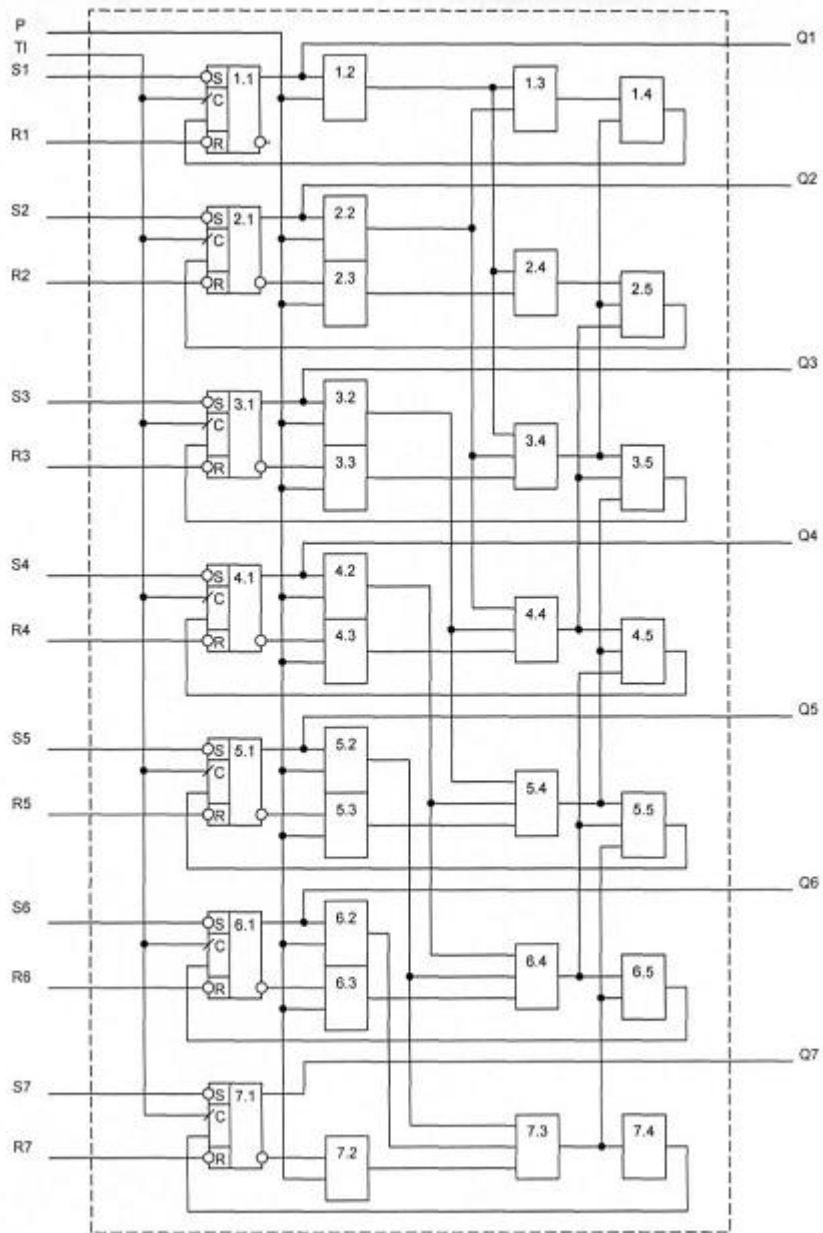
(21) Номер заявки: u 2016 01462	(72) Винахідник(и): Азаров Олексій Дмитрович (UA), Черняк Олександр Іванович (UA), Муращенко Олександр Геннадійович (UA)
(22) Дата подання заявки: 18.02.2016	(73) Власник(и): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця 21021 (UA)
(24) Дата, з якої є чинними права на корисну модель: 10.08.2016	
(46) Публікація відомостей про видачу патенту: 10.08.2016, Бюл.№ 15	

(54) РЕВЕРСИВНИЙ ЛІЧИЛЬНИК У ФІБОНАЧЧІЄВІЙ СИСТЕМІ ЧИСЛЕННЯ

(57) Реферат:

Реверсивний лічильник у фібоначчівій системі числення містить вхід тактових імпульсів, N інформаційних виходів, 2N входів встановлення у початковий стан, та у кожному розряді містить лічильний тригер, вхід C синхронізації якого з'єднаний зі входом тактових імпульсів лічильника, а прямий вихід кожного i-го розряду з'єднаний з i-м інформаційним виходом лічильника. У перший, другий та (N-1)-й розряди введено логічний елемент 2I-НІ, другий, (N-1)-й та N-й розряди містять логічний елемент 3I-НІ, N-й розряд містить логічний елемент НІ, а кожен розряд, крім першого, другого, (N-1)-го та N-го, додатково містить перший та другий логічні елементи 3I-НІ, перший і N-й розряд містить логічний елемент ВИКЛЮЧНЕ АБО, кожен розряд, крім першого і N-го, містить перший і другий логічні елементи ВИКЛЮЧНЕ АБО, перший розряд містить логічний елемент 21, завдяки чому досягається можливість лічби імпульсів в прямому та реверсивному режимі з представленням результату у фібоначчівій системі числення, невеликі витрати обладнання, а також незалежно від розрядності лічильника на кожному такті змінюються стани не більше п'яти розрядів, причому у старших розрядах на кожному такті змінюється не більше трьох розрядів.

UA 109080 U



Фиг. 1

Корисна модель належить до галузі цифрової вимірювальної і обчислювальної техніки і може бути використана для лічби імпульсів з представленням результату у фібоначчєвій системі числення.

Відомий лічильник імпульсів в р-кодах Фібоначчє [А.с. СРСР № 1480121, м. кл. Н03К 23/40, бюл. № 18, 15.05.89], що містить елементи АБО, що з'єднані з лічильними входами лічильних тригерів, елементи І, D-тригер, елемент НЕ і елемент затримки.

Недоліком цього пристрою є неможливість лічби в режимі віднімання.

За найближчий аналог обрано лічильник, що віднімає, у фібоначчєвій системі числення [Патент України на корисну модель № 97829, м. кл. Н03К 23/00, бюл. № 7, 10.04.2015], який містить вхід тактових імпульсів, N інформаційних виходів, та у кожному i-му розряді містить лічильний тригер, вхід С синхронізації якого з'єднаний зі входом тактових імпульсів лічильника, а прямий вихід лічильного тригера i-го розряду з'єднаний з інформаційним виходом лічильника, крім того, що додатково містить вхід логічної одиниці, 2N входів встановлення у початковий стан, а кожний i-й розряд, крім першого розряду, додатково містить перший і другий логічні елементи І-НІ, причому, перший вхід першого логічного елемента І-НІ i-го розряду, з'єднаний з прямим виходом лічильного тригера даного розряду, другий вихід з'єднаний з інверсним виходом лічильного тригера (i-1)-го розряду, третій вхід першого логічного елемента І-НІ i-го розряду, крім другого розряду, з'єднаний з інверсним виходом лічильного тригера (i-2)-го розряду, а вихід з'єднаний з першим входом другого логічного елемента І-НІ i-го розряду, другий вхід другого логічного елемента І-НІ i-го розряду, крім N-го і (N-1)-го розрядів, з'єднаний з виходом першого логічного елемента І-НІ (i+1)-го розряду, третій вхід з'єднаний з виходом першого логічного елемента І-НІ (i+2)-го розряду, а вихід з'єднаний з Т-входом лічильного тригера i-го розряду, крім того, у першому розряді лічильник додатково містить логічний елемент І-НІ, перший вхід якого з'єднаний з інверсним виходом лічильного тригера першого розряду, другий вхід з'єднаний з інверсним виходом лічильного тригера другого розряду, а вихід з'єднаний з Т-входом лічильного тригера першого розряду, а також, третій вхід першого елемента І-НІ другого розряду, другий і третій входи другого логічного елемента І-НІ N-го розряду та третій вхід другого логічного елемента І-НІ (N-1)-го розряду з'єднані зі входом логічної одиниці лічильника.

Недоліком найближчого аналога є обмежені функціональні можливості, які обумовлені неможливістю лічби в прямому режимі.

В основу корисної моделі поставлено задачу створення реверсивного лічильника у фібоначчєвій системі числення, в якому за рахунок введення нових елементів та зв'язків досягається можливість лічби імпульсів в прямому та реверсивному режимі з представленням результату у фібоначчєвій системі числення, що у свою чергу розширює галузь використання корисної моделі у різноманітних пристроях імпульсної та обчислювальної техніки, автоматики тощо.

Поставлена задача вирішується тим, що пристрій, який містить вхід тактових імпульсів, N інформаційних виходів, 2N входів встановлення у початковий стан, та у кожному розряді містить лічильний тригер, вхід С синхронізації якого з'єднаний зі входом тактових імпульсів лічильника, а прямий вихід кожного i-го розряду з'єднаний з i-м інформаційним виходом лічильника, перший, другий та (N-1)-й розряди додатково містять логічний елемент 2І-НІ, другий, (N-1)-й та N-й розряди містять логічний елемент 3І-НЕ, N-й розряд містить логічний елемент НЕ, а кожен розряд, крім першого, другого, (N-1)-го та N-го, містить перший та другий логічні елементи 3 І-НІ, перший і N-й розряд містить логічний елемент ВИКЛЮЧНЕ АБО, кожен розряд, крім першого і N-го, містить перший і другий логічні елементи ВИКЛЮЧНЕ АБО, перший розряд містить логічний елемент 2І, причому входи встановлення розрядів в одиничний стан з'єднані з входами S встановлення в одиничний стан лічильних тригерів відповідних розрядів, входи встановлення розрядів в нульовий стан з'єднані з входами R встановлення в одиничний стан лічильних тригерів відповідних розрядів, вихід першого логічного елемента 3І-НІ кожного i-го розряду з третього по (N-2)-й з'єднаний з першим входом другого логічного елемента 3І-НІ i-го розряду, вихід якого з'єднаний з Т-входом лічильного тригера i-го розряду, вихід першого логічного елемента 3І-НІ кожного i-го розряду, з четвертого по (N-2)-й, з'єднаний з другим входом другого логічного елемента 3І-НІ (i-1)-го розряду, вихід першого логічного елемента 3І-НІ кожного i-го розряду, з п'ятого по (N-2)-й, з'єднаний з третім входом другого логічного елемента 3І-НІ (i-2)-го розряду, вихід логічного елемента 3І-НІ (N-1)-го розряду з'єднаний з третім входом другого логічного елемента 3І-НІ (N-3)-го розряду, другим входом логічного другого елемента 3І-НІ (N-2)-го розряду та першим входом логічного елемента 2І-НІ (N-1)-го розряду, другий вхід якого з'єднаний з виходом логічного елемента 3І-НІ N-го розряду, третім входом другого логічного елемента 3І-НІ (N-2)-го розряду та входом логічного елемента НЕ N-го

розряду, а вихід з'єднаний з Т-входом лічильного тригера (N-1)-го розряду, вихід логічного елемента НЕ N-го розряду з'єднаний з Т-входом лічильного тригера N-го розряду, вихід першого логічного елемента 3I-NI третього розряду з'єднаний з першим входом логічного елемента 3I-NI другого розряду, другий вхід якого з'єднаний з виходом першого елемента 3I-NI четвертого розряду, а вихід з'єднаний з Т-входом лічильного тригера другого розряду, вхід режиму реверсивної лічби з'єднаний з першими входами всіх логічних елементів ВИКЛЮЧНЕ АБО, всіх перших логічних елементів ВИКЛЮЧНЕ АБО та всіх других логічних елементів ВИКЛЮЧНЕ АБО, прямий вихід лічильного тригера першого розряду з'єднаний з другим входом логічного елемента ВИКЛЮЧНЕ АБО першого розряду, прямий вихід кожного i-го лічильного тригера з другого по (N-1)-й розряди з'єднаний з другим входом першого логічного елемента ВИКЛЮЧНЕ АБО i-го розряду, інверсний вихід кожного i-го лічильного тригера з другого по (N-1)-й розряди з'єднаний з другим входом другого логічного елемента ВИКЛЮЧНЕ АБО i-го розряду, інверсний вихід лічильного тригера N-го розряду з'єднаний з другим входом логічного елемента ВИКЛЮЧНЕ АБО N-го розряду, вихід другого логічного елемента ВИКЛЮЧНЕ АБО кожного i-го розряду з третього по (N-2)-й з'єднаний з першим входом першого логічного елемента 3I-NI i-го розряду, вихід другого логічного елемента ВИКЛЮЧНЕ АБО (N-1)-го розряду з'єднаний з першим входом логічного елемента 3I-NI (N-1)-го розряду, вихід логічного елемента ВИКЛЮЧНЕ АБО N-го розряду з'єднаний з першим входом логічного елемента 3I-NI N-го розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО кожного i-го розряду з другого по (N-4)-й з'єднаний з другим входом першого логічного елемента 3I-NI (i+1)-го розряду та третім входом першого логічного елемента 3I-NI (i+2)-го розряду, вихід логічного елемента ВИКЛЮЧНЕ АБО першого розряду з'єднаний з першим входом логічного елемента 2I-NI першого розряду, першим входом логічного елемента 2I-NI другого розряду та третім входом першого логічного елемента 3I-NI третього розряду, вихід другого логічного елемента ВИКЛЮЧНЕ АБО другого розряду з'єднаний з другим входом логічного елемента 2I-NI другого розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО другого розряду з'єднаний з другим входом логічного елемента 2I-NI першого розряду, вихід якого з'єднаний з першим входом логічного елемента 2I першого розряду, другий вхід якого з'єднаний з виходом першого логічного елемента 3I-NI третього розряду, а вихід з'єднаний з Т-входом лічильного тригера першого розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО (N-3)-го розряду з'єднаний з другим входом першого логічного елемента 3I-NI (N-2)-го розряду та другим входом логічного елемента 3I-NI (N-1)-го розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО (N-2)-го розряду з'єднаний з третім входом логічного елемента 3I-NI (N-1)-го розряду та другим входом логічного елемента 3I-NI N-го розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО (N-1)-го розряду з'єднаний з третім входом логічного елемента 3I-NI N-го розряду, вихід логічного елемента 2I-NI другого розряду з'єднаний з третім входом логічного елемента 3I-NI другого розряду.

При прямій лічбі у фібоначчівій системі числення на кожному такті лічби паралельно з додаванням одиниці у молодшому розряді виконуються всі можливі згортки у код лічильника, а при оберненій лічбі паралельно з відніманням у молодшому розряді виконуються всі можливі розгортки. Ці згортки і розгортки є перетвореннями трьох сусідніх розрядів коду за правилами $011 \rightarrow 100$ та $100 \rightarrow 011$ відповідно. Такі перетворення можливі завдяки тому, що у даній системі числення вага кожного розряду, починаючи з другого, дорівнює сумі ваг двох сусідніх молодших розрядів. Тому згортка і розгортка не змінюють значення коду, а виконують роль перенесення у старші розряди і запозичення зі старших розрядів. У режимі прямої лічби виконання всіх можливих згорток на кожному такті приводить до того, що на кожному наступному такті у розрядах лічильника, починаючи з третього, перенесення може бути лише через два розряди у третій, як це видно з таблиці 1, на якій представлено коди послідовних станів семирозрядного лічильника у режимі прямої лічби. У режимі оберненої лічби виконання всіх можливих розгорток на кожному такті приводить до того, що на кожному наступному такті у розрядах лічильника, починаючи з третього, запозичення може бути лише через два розряди у третій, як це видно з таблиці 2, на якій представлено коди послідовних станів семирозрядного лічильника у режимі оберненої лічби. Згортка і розгортка виконується як інвертування тріади сусідніх розрядів за певної умови. Умовою згортки є код у тріаді 011, а умовою розгортки є код 100. Ці коди є інверсією один одного. Тому при інвертуванні виходів тригерів розрядів виявлення умови розгортки реалізується за допомогою тієї ж логіки, що і виявлення умови згортки. Керування інвертуванням виходів тригерів здійснюється за допомогою логічних елементів ВИКЛЮЧНЕ АБО. Особливістю фібоначчівого лічильника є те, що він не встановлюється автоматично у початковий стан при переповненні. Тому для запобігання появи неправильного коду при

переповненні лічильника відбувається зупинка лічби при досягненні коду "всі одиниці" у режимі прямої лічби, а також при досягненні коду "всі нулі" у режимі оберненої лічби.

На Фіг. 1 наведено структурну схему семирозрядного реверсивного лічильника у фібоначчівій системі числення. На Фіг. 2 наведено часову діаграму роботи семирозрядного реверсивного лічильника у фібоначчівій системі числення у режимі прямої лічби. На Фіг. 3 зображено часові діаграми роботи семирозрядного лічильника у фібоначчівій системі числення при зміні режиму лічби, де перші 25 тактів лічильника у фібоначчівій системі числення працює у режимі прямої лічби, а потім працює у режимі оберненої лічби.

Пристрій містить входи S1-S7 встановлення в одиничний стан розрядів з першого по сьомий, входи R1-R7 встановлення у нульовий стан розрядів з першого по сьомий, вхід T1 тактових імпульсів, вхід Р режиму реверсивної лічби, інформаційні виходи Q1-Q7, лічильні тригери 1.1-7.1 розрядів з першого по сьомий, призначені для зберігання коду, логічний елемент 1.2 ВИКЛЮЧНЕ АБО першого розряду, призначений для керованого інвертування прямого виходу лічильного тригера 1.1 першого розряду, логічний елемент 1.3 2I-НІ першого розряду, призначений для зупинення лічби при досягненні значення "всі одиниці" у режимі прямої лічби, або значення "всі нулі" у режимі оберненої лічби, логічний елемент 1.4 2I першого розряду, призначений для вироблення сигналу зміни стану лічильного тригера 1.1 першого розряду, перший логічний елемент 2.2 ВИКЛЮЧНЕ АБО другого розряду, призначений для керованого інвертування прямого виходу лічильного тригера 2.1 другого розряду, другий логічний елемент 2.3 ВИКЛЮЧНЕ АБО другого розряду, призначений для керованого інвертування інверсного виходу лічильного тригера 2.1 другого розряду, логічний елемент 2.4 2I-НІ другого розряду, призначений для виділення умови згортки у другий розряд у режимі прямої лічби і умови розгортки з другого розряду у режимі оберненої лічби, логічний елемент 2.5 3I-НІ другого розряду, призначений для вироблення сигналу зміни стану лічильного тригера 2.1 другого розряду, перший логічний елемент 3.2 ВИКЛЮЧНЕ АБО третього розряду, призначений для керованого інвертування прямого виходу лічильного тригера 3.1 третього розряду, другий логічний елемент 3.3 ВИКЛЮЧНЕ АБО третього розряду, призначений для керованого інвертування інверсного виходу лічильного тригера 3.1 третього розряду, перший логічний елемент 3.4 3I-НІ третього розряду, призначений для виділення умови згортки у третій розряд у режимі прямої лічби і умови розгортки з третього розряду у режимі оберненої лічби, другий логічний елемент 3.5 3I-НІ третього розряду, призначений для вироблення сигналу зміни стану лічильного тригера 3.1 третього розряду, перший логічний елемент 4.2 ВИКЛЮЧНЕ АБО четвертого розряду, призначений для керованого інвертування прямого виходу лічильного тригера 4.1 четвертого розряду, другий логічний елемент 4.3 ВИКЛЮЧНЕ АБО четвертого розряду, призначений для керованого інвертування інверсного виходу лічильного тригера 4.1 четвертого розряду, перший логічний елемент 4.4 3I-НІ четвертого розряду, призначений для виділення умови згортки у четвертий розряд у режимі прямої лічби і умови розгортки з четвертого розряду у режимі оберненої лічби, другий логічний елемент 4.5 3I-НІ четвертого розряду, призначений для вироблення сигналу зміни стану лічильного тригера 4.1 четвертого розряду, перший логічний елемент 5.2 ВИКЛЮЧНЕ АБО п'ятого розряду, призначений для керованого інвертування прямого виходу лічильного тригера 5.1 п'ятого розряду, другий логічний елемент 5.3 ВИКЛЮЧНЕ АБО п'ятого розряду, призначений для керованого інвертування інверсного виходу лічильного тригера 5.1 п'ятого розряду, перший логічний елемент 5.4 3I-НІ п'ятого розряду, призначений для виділення умови згортки у п'ятий розряд у режимі прямої лічби і умови розгортки з п'ятого розряду у режимі оберненої лічби, другий логічний елемент 5.5 3I-НІ п'ятого розряду, призначений для вироблення сигналу зміни стану лічильного тригера 5.1 п'ятого розряду, перший логічний елемент 6.2 ВИКЛЮЧНЕ АБО шостого розряду, призначений для керованого інвертування прямого виходу лічильного тригера 6.1 шостого розряду, другий логічний елемент 6.3 ВИКЛЮЧНЕ АБО шостого розряду, призначений для керованого інвертування інверсного виходу лічильного тригера 6.1 шостого розряду, логічний елемент 6.4 3I-НІ шостого розряду, призначений для виділення умови згортки у шостий розряд у режимі прямої лічби і умови розгортки з шостого розряду у режимі оберненої лічби, логічний елемент 6.5 2I-НІ шостого розряду, призначений для вироблення сигналу зміни стану лічильного тригера 6.1 шостого розряду, логічний елемент 7.2 ВИКЛЮЧНЕ АБО сьомого розряду, призначений для керованого інвертування інверсного виходу лічильного тригера 7.1 сьомого розряду, логічний елемент 7.3 3I-НІ сьомого розряду, призначений для виділення умови згортки у сьомий розряд у режимі прямої лічби і умови розгортки з сьомого розряду у режимі оберненої лічби, логічний елемент 7.4 НЕ сьомого розряду, призначений для вироблення сигналу зміни стану лічильного тригера 7.1 сьомого розряду. Входи S1-S7 встановлення розрядів з першого по сьомий в одиничний стан з'єднані з входами S

встановлення лічильних тригерів 1.1-7.1 1 з першого по 7-й розрядів в одиничний стан, входи R1-R7 встановлення розрядів з першого по сьомий в нульовий стан з'єднані з входами R встановлення лічильних тригерів 1.1-7.1 з першого по 7-й розрядів в нульовий стан, вхід Т1 тактових імпульсів лічильника з'єднаний з входами С синхронізації лічильних тригерів 1.1-7.1 з першого по 7-й розрядів, а вхід режиму реверсивної лічби з'єднаний з першими входами логічних елементів 1.2, 7.2 ВИКЛЮЧНЕ АБО, перших логічних елементів 2.2-6.2 ВИКЛЮЧНЕ АБО, та других логічних елементів 2.3-6.3 ВИКЛЮЧНЕ АБО. Прямий вихід кожного з лічильних тригерів 1.1-7.1 розрядів з першого по сьомий з'єднаний з відповідним інформаційним виходом Q1-Q7 лічильника, прямий вихід лічильного тригера 1.1 першого розряду з'єднаний з другим входом логічного елемента 1.2 ВИКЛЮЧНЕ АБО першого розряду, прямий вихід кожного і-го лічильного тригера 2.1-6.1 з другого по шостий розряди з'єднаний з другим входом першого логічного елемента 2.2-6.2 ВИКЛЮЧНЕ АБО і-го розряду, інверсний вихід кожного і-го лічильного тригера 2.1-6.1 з другого по шостий розряди з'єднаний з другим входом другого логічного елемента 2.3-6.3 ВИКЛЮЧНЕ АБО і-го розряду, інверсний вихід лічильного тригера 7.1 сьомого розряду з'єднаний з другим входом логічного елемента 7.2 ВИКЛЮЧНЕ АБО сьомого розряду. Вихід другого логічного елемента 2.3 ВИКЛЮЧНЕ АБО другого розряду з'єднаний з першим входом логічного елемента 2.4 2I-НІ другого розряду, вихід кожного з других логічних елементів 3.3-5.3 ВИКЛЮЧНЕ АБО з'єднаний з першим входом відповідних перших логічних елементів 3.4-5.4 3I-НІ, вихід другого логічного елемента 6.3 ВИКЛЮЧНЕ АБО шостого розряду з'єднаний з першим входом логічного елемента 6.4 3I-НІ шостого розряду, вихід логічного елемента 7.2 ВИКЛЮЧНЕ АБО сьомого розряду з'єднаний з першим входом логічного елемента 7.3 3I-НІ сьомого розряду. Вихід логічного елемента 1.2 ВИКЛЮЧНЕ АБО першого розряду з'єднаний з першим входом логічного елемента 1.3 2I-НІ першого розряду, другим входом логічного елемента 2.4 2I-НІ другого розряду та другим входом першого логічного елемента 3.4 3I-НІ третього розряду. Вихід першого логічного елемента 2.2 ВИКЛЮЧНЕ АБО другого розряду з'єднаний з другим входом логічного елемента 1.3 2I-НІ першого розряду, третім входом першого логічного елемента 3.4 3I-НІ третього розряду та другим входом першого логічного елемента 4.4 3I-НІ четвертого розряду. Вихід першого логічного елемента 3.2 ВИКЛЮЧНЕ АБО третього розряду з'єднаний з третім входом першого логічного елемента 4.4 3I-НІ четвертого розряду та другим входом першого логічного елемента 5.4 3I-НІ п'ятого розряду. Вихід першого логічного елемента 4.2 ВИКЛЮЧНЕ АБО четвертого розряду з'єднаний з третім входом першого логічного елемента 5.4 3I-НІ п'ятого розряду та другим входом логічного елемента 6.4 3I-НІ шостого розряду. Вихід першого логічного елемента 5.2 ВИКЛЮЧНЕ АБО п'ятого розряду з'єднаний з третім входом логічного елемента 6.4 3I-НІ шостого розряду та другим входом логічного елемента 7.3 3I-НІ сьомого розряду. Вихід першого логічного елемента 6.2 ВИКЛЮЧНЕ АБО шостого розряду з'єднаний з третім входом логічного елемента 7.3 3I-НІ сьомого розряду. Вихід логічного елемента 1.3 2I-НІ першого розряду з'єднаний з першим входом логічного елемента 1.4 2I першого розряду, вихід якого з'єднаний з Т-входом лічильного тригера 1.1 першого розряду. Вихід логічного елемента 2.4 2I-НІ другого розряду з'єднаний з першим входом логічного елемента 2.5 3I-НІ другого розряду, вихід якого з'єднаний з Т-входом лічильного тригера 2.1 другого розряду. Вихід першого логічного елемента 3.4 3I-НІ третього розряду з'єднаний з другим входом логічного елемента 1.4 2I першого розряду, другим входом логічного елемента 2.5 3I-НІ другого розряду та першим входом другого логічного елемента 3.5 3I-НІ третього розряду, вихід якого з'єднаний з Т-входом лічильного тригера 3.1 третього розряду. Вихід першого логічного елемента 4.4 3I-НІ четвертого розряду з'єднаний з третім входом логічного елемента 2.5 3I-НІ другого розряду, другим входом другого логічного елемента 3.5 3I-НІ третього розряду та першим входом другого логічного елемента 4.5 3I-НІ четвертого розряду, вихід якого з'єднаний з Т-входом лічильного тригера 4.1 четвертого розряду. Вихід першого логічного елемента 5.4 3I-НІ п'ятого розряду з'єднаний з третім входом другого логічного елемента 3.5 3I-НІ третього розряду, другим входом другого логічного елемента 4.5 3I-НІ четвертого розряду та першим входом другого логічного елемента 5.5 3I-НІ п'ятого розряду, вихід якого з'єднаний з Т-входом лічильного тригера 5.1 п'ятого розряду. Вихід логічного елемента 6.4 3I-НІ шостого розряду з'єднаний з третім входом другого логічного елемента 4.5 3I-НІ четвертого розряду, другим входом другого логічного елемента 5.5 3I-НІ п'ятого розряду та першим входом логічного елемента 6.5 2I-НІ шостого розряду, вихід якого з'єднаний з Т-входом лічильного тригера 6.1 шостого розряду. Вихід логічного елемента 7.3 3I-НІ сьомого розряду з'єднаний з третім входом другого логічного елемента 5.5 3I-НІ п'ятого розряду, другим входом логічного елемента 6.5 2I-НІ шостого розряду та входом логічного елемента 7.4 НЕ сьомого розряду, вихід якого з'єднаний з Т-входом лічильного тригера 7.1 сьомого розряду.

Пристрій працює наступним чином (Фіг. 1). Перед початком роботи на вхід Р режиму реверсивної лічби подається нульовий сигнал при прямій лічбі або одиничний сигнал при оберненій лічбі. У режимі прямої лічби на вхід Р режиму реверсивної лічби подається нульовий сигнал, який поступає на перші входи перших логічних елементів 1.2-6.2 ВИКЛЮЧНЕ АБО і перші входи других логічних елементів 2.3-7.3 ВИКЛЮЧНЕ АБО. Дані логічні елементи виконують роль керованих інверторів. Нульовий сигнал на перших входах цих елементів означає, що сигнал з їх других входів поступає на виходи без інвертування. На входи R1-R7 встановлення у нульовий стан подаються нульові сигнали, які поступають на R-входи лічильних тригерів 1.1-7.1 розрядів з першого по сьомий і встановлюють їх у нульовий стан. Нульові сигнали з прямих виходів лічильних тригерів 1.1-6.1 розрядів з першого по шостий поступають на другі входи перших логічних елементів 1.2-6.2 ВИКЛЮЧНЕ АБО розрядів з першого по шостий. Одиничні сигнали з інверсних виходів лічильних тригерів 2.1-7.1 розрядів з другого по сьомий поступають на другі входи других логічних елементів 2.3-6.3 ВИКЛЮЧНЕ АБО розрядів з другого по шостий та логічного елемента 7.1. ВИКЛЮЧНЕ АБО розрядів з другого по шостий та логічного елемента 7.1. ВИКЛЮЧНЕ АБО сьомого розряду встановлюються одиничні сигнали, які поступають на перший вхід логічного елемента 2.4 2I-НІ другого розряду, перші входи перших логічних елементів 3.4-5.4 3I-НІ розрядів з першого по п'ятий, логічних елементів 6.4, 7.3 3I-НІ шостого і сьомого розрядів. На виході логічного елемента 1.2 ВИКЛЮЧНЕ АБО першого розряду, перших логічних елементів 2.2-6.2 ВИКЛЮЧНЕ АБО розрядів з другого по шостий встановлюються нульові сигнали, які поступають на другі входи логічних елементів 1.4, 2.4 2I-НІ першого і другого розрядів, другі і треті входи перших логічних елементів 3.4-5.4 розрядів з першого по п'ятий та логічних елементів 6.4, 7.3 3I-НІ шостого і сьомого розрядів. На виходах логічних елементів 1.3, 2.4 2I-НІ першого і другого розрядів, перших логічних елементів 3.4-5.4 розрядів з першого по п'ятий та логічних елементів 6.4, 7.3 3I-НІ шостого і сьомого розрядів встановлюються одиничні сигнали, які поступають на всі входи логічних елементів 1.4 2I першого розряду, 2.5 3I-НІ другого розряду, 6.5 2I-НІ шостого розряду, 7.4 НЕ сьомого розряду та других логічних елементів 3.5-5.5 3I-НІ розрядів з третього по п'ятий. На виході логічного елемента 1.4 2I першого розряду встановлюється одиничний сигнал, який поступає на Т-вхід лічильного тригера першого розряду. На виходах логічних елементів 2.5 3I-НІ другого розряду, 6.5 2I-НІ шостого розряду, 7.4 НЕ сьомого розряду та других логічних елементів 3.5-5.5 3I-НІ розрядів з третього по п'ятий встановлюються нульові сигнали, які поступають на Т-входи лічильних тригерів 2.1-7.1 розрядів з другого по сьомий. Перший тактовий імпульс поступає зі входу Т1 тактових імпульсів на С-входи лічильних тригерів 1.1-7.1 розрядів з першого по сьомий. Лічильний тригер 1.1 першого розряду встановлюється в одиничний стан. Лічильні тригери 2.1-7.1 розрядів з другого по сьомий встановлюються у нульовий стан.

Коди і числові значення станів семирозрядного реверсивного лічильника у фібоначчівій системі числення у режимі прямої лічби наведено в Таблиці 1.

Таблиця 1

Коди і числові значення станів семирозрядного реверсивного лічильника у фібоначчівій системі числення у режимі прямої лічби

Код							№ стану	Код							№ стану
Q7	Q6	Q5	Q4	Q3	Q2	Q1		Q7	Q6	Q5	Q4	Q3	Q2	Q1	
0	0	0	0	0	0	0	0	1	0	0	1	0	0	1	27
0	0	0	0	0	0	1	1	1	0	0	1	0	1	0	28
0	0	0	0	0	1	0	2	1	0	0	1	0	1	1	29
0	0	0	0	0	1	1	3	1	0	0	1	1	0	1	30
0	0	0	0	1	0	1	4	1	0	1	0	0	1	0	31
0	0	0	0	1	1	0	5	1	0	1	0	0	1	1	32
0	0	0	1	0	0	1	6	1	0	1	0	1	0	1	33
0	0	0	1	0	1	0	7	1	0	1	0	1	1	0	34
0	0	0	1	0	1	1	8	1	0	1	1	0	0	1	35
0	0	0	1	1	0	1	9	1	1	0	0	0	1	0	36
0	0	1	0	0	1	0	10	1	1	0	0	0	1	1	37
0	0	1	0	0	1	1	11	1	1	0	0	1	0	1	38
0	0	1	0	1	0	1	12	1	1	0	0	1	1	0	39
0	0	1	0	1	1	0	13	1	1	0	1	0	0	1	40
0	0	1	1	0	0	1	14	1	1	0	1	0	1	0	41
0	1	0	0	0	1	0	15	1	1	0	1	0	1	1	42
0	1	0	0	0	1	1	16	1	1	0	1	1	0	1	43
0	1	0	0	1	0	1	17	1	1	1	0	0	1	0	44
0	1	0	0	1	1	0	18	1	1	1	0	0	1	1	45
0	1	0	1	0	0	1	19	1	1	1	0	1	0	1	46
0	1	0	1	0	1	0	20	1	1	1	0	1	1	0	47
0	1	0	1	0	1	1	21	1	1	1	1	0	0	1	48
0	1	0	1	1	0	1	22	1	1	1	1	0	1	0	49
0	1	1	0	0	1	0	23	1	1	1	1	0	1	1	50
1	0	0	0	0	1	1	24	1	1	1	1	1	0	1	51
1	0	0	0	1	0	1	25	1	1	1	1	1	1	0	52
1	0	0	0	1	1	0	26	1	1	1	1	1	1	1	53

Подальша робота пристрою у режимі прямої лічби пояснюється часовою діаграмою (Фіг. 2).

- 5 У режимі оберненої лічби виконання всіх можливих розгорток на кожному такті приводить до того, що на кожному наступному такті у розрядах лічильника, починаючи з третього, запозичення може бути лише через два розряди у третій, як це видно з Таблиці 2, на якій представлено коди і числові значення станів семирозрядного реверсивного лічильника у фібоначчівій системі числення у режимі оберненої лічби.

Таблиця 2

Коди і числові значення станів семирозрядного реверсивного лічильника у фібоначчівій системі числення у режимі оберненої лічби

Код							№ стану	Код							№ стану
Q7	Q6	Q5	Q4	Q3	Q2	Q1		Q7	Q6	Q5	Q4	Q3	Q2	Q1	
1	1	1	1	1	1	1	0	0	1	1	0	1	1	0	27
1	1	1	1	1	1	0	1	0	1	1	0	1	0	1	28
1	1	1	1	1	0	1	2	0	1	1	0	1	0	0	29
1	1	1	1	1	0	0	3	0	1	1	0	0	1	0	30
1	1	1	1	0	1	0	4	0	1	0	1	1	0	1	31
1	1	1	1	0	0	1	5	0	1	0	1	1	0	0	32
1	1	1	0	1	1	0	6	0	1	0	1	0	1	0	33
1	1	1	0	1	0	1	7	0	1	0	1	0	0	1	34
1	1	1	0	1	0	0	8	0	1	0	1	1	1	0	35
1	1	1	0	0	1	0	9	0	0	1	1	1	0	1	36
1	1	0	1	1	0	1	10	0	0	1	1	1	0	0	37
1	1	0	1	1	0	0	11	0	0	1	1	0	1	0	38
1	1	0	1	0	1	0	12	0	0	1	1	0	0	1	39
1	1	0	1	0	0	1	13	0	0	1	0	1	1	0	40
1	1	0	0	1	1	0	14	0	0	1	0	1	0	1	41
1	0	1	1	1	0	1	15	0	0	1	0	1	0	0	42
1	0	1	1	1	0	0	16	0	0	1	0	0	1	0	43
1	0	1	1	0	1	0	17	0	0	0	1	1	0	1	44
1	0	1	1	0	0	1	18	0	0	0	1	1	0	0	45
1	0	1	0	1	1	0	19	0	0	0	1	0	1	0	46
1	0	1	0	1	0	1	20	0	0	0	1	0	0	1	47
1	0	1	0	1	0	0	21	0	0	0	0	1	1	0	48
1	0	1	0	0	1	0	22	0	0	0	0	1	0	1	49
1	0	0	1	1	0	1	23	0	0	0	0	1	0	0	50
0	1	1	1	1	0	0	24	0	0	0	0	0	1	0	51
0	1	1	1	0	1	0	25	0	0	0	0	0	0	1	52
0	1	1	1	0	0	1	26	0	0	0	0	0	0	0	53

5 При зміні режиму лічби з прямого на обернений спочатку виконується додавання одиниці у молодшому розряді і згортка у старших розрядах, а потім виконується віднімання одиниці у молодшому розряді і розгортка у старших розрядах, як це показано у Таблиці 3, у якій перші 25 тактів виконується пряма лічба (P=0), а решту тактів виконується обернена лічба (P=1).

Таблиця 3

Коди і числові значення станів семирозрядного реверсивного лічильника у фібоначчівій системі числення при зміні режиму лічби

P	Код							№ стану	P	Код							№ стану
	Q7	Q6	Q5	Q4	Q3	Q2	Q1			Q7	Q6	Q5	Q4	Q3	Q2	Q1	
0	0	0	0	0	0	0	0	0	1	0	1	1	0	1	0	0	26
0	0	0	0	0	0	0	1	1	1	0	1	1	0	0	1	0	27
0	0	0	0	0	0	1	0	2	1	0	1	0	1	1	0	1	28
0	0	0	0	0	1	1	1	3	1	0	1	0	1	1	0	0	29
0	0	0	0	1	0	1	1	4	1	0	1	0	1	0	1	0	30
0	0	0	1	0	1	1	0	5	1	0	1	0	1	0	0	1	31
0	0	0	1	0	0	1	1	6	1	0	1	0	0	1	1	0	32
0	0	0	1	0	1	0	1	7	1	0	0	1	1	1	0	1	33
0	0	0	1	1	0	1	1	8	1	0	0	1	1	1	0	0	34
0	0	0	1	1	1	0	1	9	1	0	0	1	1	0	1	0	35
0	0	0	1	0	0	1	0	10	1	0	0	1	1	0	0	1	36
0	0	0	1	0	0	1	1	11	1	0	0	1	0	1	1	0	37
0	0	0	1	0	1	0	1	12	1	0	0	1	0	1	0	1	38
0	0	0	1	0	1	1	0	13	1	0	0	1	0	1	0	0	39
0	0	0	1	1	0	0	1	14	1	0	0	1	0	0	1	0	40
0	0	1	0	0	0	1	0	15	1	0	0	0	1	1	0	1	41
0	0	1	0	0	0	1	1	16	1	0	0	0	1	1	0	0	42
0	0	1	0	0	1	0	1	17	1	0	0	0	1	0	1	0	43
0	0	1	0	0	1	1	0	18	1	0	0	0	1	0	0	1	44
0	0	1	0	1	0	0	1	19	1	0	0	0	0	1	1	0	45
0	0	1	0	1	0	1	0	20	1	0	0	0	0	1	0	1	46
0	0	1	0	1	0	1	1	21	1	0	0	0	0	1	0	0	47
0	0	1	0	1	1	0	1	22	1	0	0	0	0	0	1	0	48
0	0	1	1	0	0	1	0	23	1	0	0	0	0	0	0	1	49
0	1	0	0	0	0	1	1	24	1	0	0	0	0	0	0	0	50
0	1	0	0	0	1	0	1	25	1	0	0	0	0	0	0	0	51

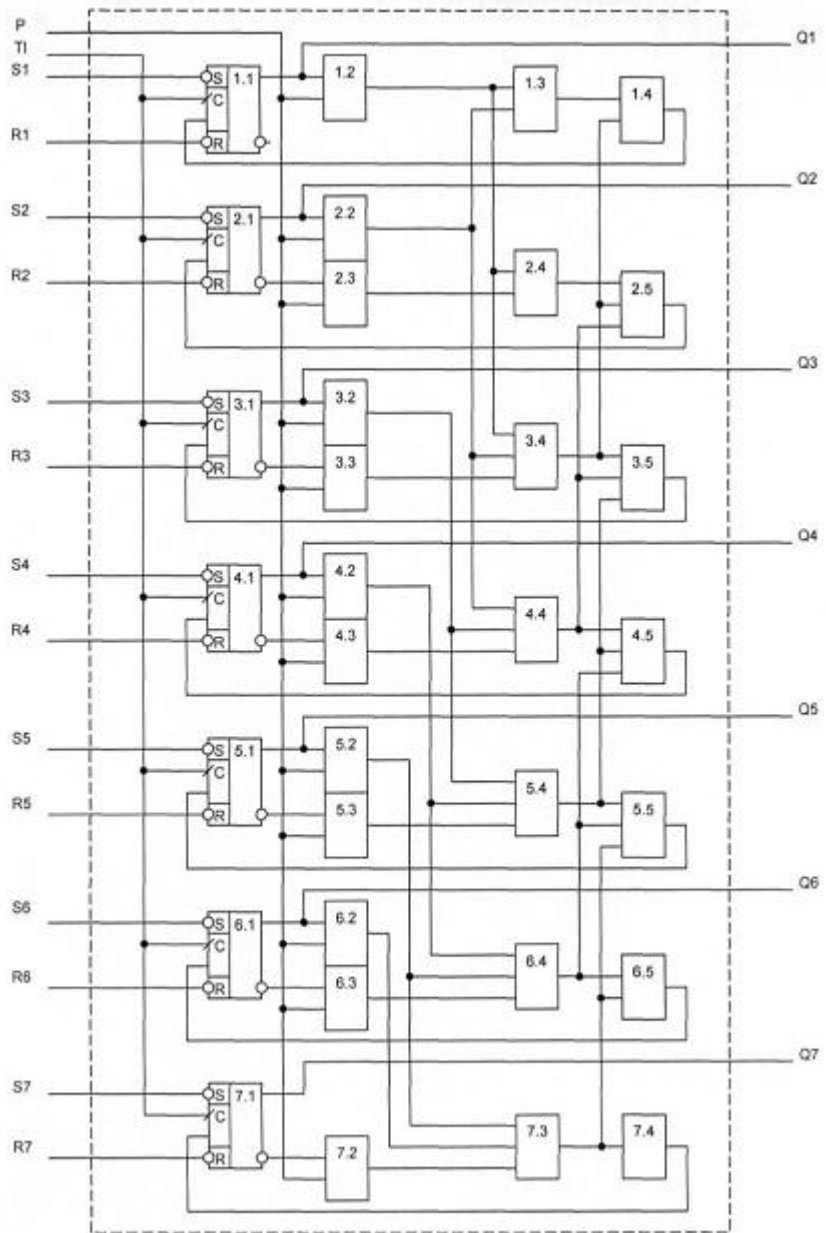
Подальша робота пристрою при зміні режиму лічби пояснюється часовою діаграмою (Фіг. 3).

5

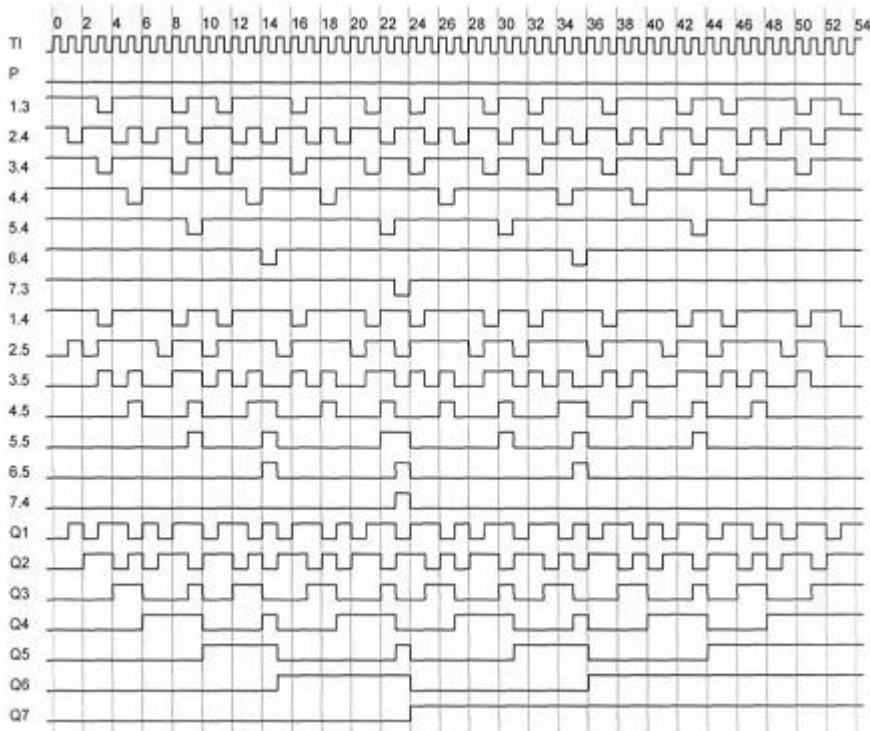
ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Реверсивний лічильник у фібоначчівій системі числення, який містить вхід тактових імпульсів, N інформаційних виходів, 2N входів встановлення у початковий стан та у кожному розряді містить лічильний тригер, вхід С синхронізації якого з'єднаний зі входом тактових імпульсів лічильника, а прямий вихід кожного i-го розряду з'єднаний з i-м інформаційним виходом лічильника, який **відрізняється** тим, що перший, другий та (N-1)-й розряди додатково містять логічний елемент 2I-НІ, другий, (N-1)-й та N-й розряди містять логічний елемент 3I-НІ, N-й розряд містить логічний елемент НІ, а кожен розряд, крім першого, другого, (N-1)-го та N-го, містить перший та другий логічні елементи 3I-НІ, перший і N-й розряд містить логічний елемент ВИКЛЮЧНЕ АБО, кожен розряд, крім першого і N-го, містить перший і другий логічні елементи ВИКЛЮЧНЕ АБО, перший розряд містить логічний елемент 2I, причому входи встановлення розрядів в одиничний стан з'єднані з входами S встановлення в одиничний стан лічильних тригерів відповідних розрядів, входи встановлення розрядів в нульовий стан з'єднані з входами R встановлення в одиничний стан лічильних тригерів відповідних розрядів, вихід першого логічного елемента 3I-НІ кожного i-го розряду з третього по (N-2)-й з'єднаний з першим входом другого логічного елемента 3I-НІ i-го розряду, вихід якого з'єднаний з Т-входом лічильного тригера i-го розряду, вихід першого логічного елемента 3I-НІ кожного i-го розряду, з четвертого по (N-2)-й, з'єднаний з другим входом другого логічного елемента 3I-НІ (i-1)-го розряду, вихід першого логічного елемента 3I-НІ кожного i-го розряду, з п'ятого по (N-2)-й, з'єднаний з третім входом другого логічного елемента 3I-НІ (i-2)-го розряду, вихід логічного елемента 3I-НІ (N-1)-го розряду з'єднаний з третім входом другого логічного елемента 3I-НІ (N-3)-го розряду, другим

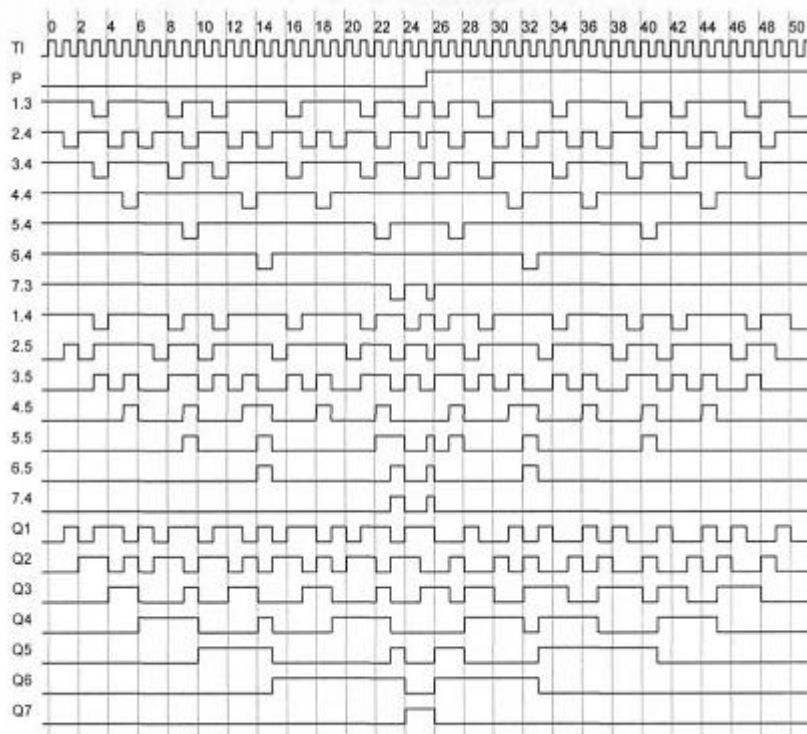
входом логічного другого елемента 3I-NI (N-2)-го розряду та першим входом логічного елемента 2I-NI (N-1)-го розряду, другий вхід якого з'єднаний з виходом логічного елемента 3I-NI N-го розряду, третім входом другого логічного елемента 3I-NI (N-2)-го розряду та входом логічного елемента NI N-го розряду, а вихід з'єднаний з T-входом лічильного тригера (N-1)-го розряду,
5 вихід логічного елемента NI N-го розряду з'єднаний з T-входом лічильного тригера N-го розряду, вихід першого логічного елемента 3I-NI третього розряду з'єднаний з першим входом логічного елемента 3I-NI другого розряду, другий вхід якого з'єднаний з виходом першого елемента 3I-NI четвертого розряду, а вихід з'єднаний з T-входом лічильного тригера другого розряду, вхід режиму реверсивної лічби з'єднаний з першими входами всіх логічних елементів ВИКЛЮЧНЕ АБО, всіх перших логічних елементів ВИКЛЮЧНЕ АБО та всіх других логічних елементів ВИКЛЮЧНЕ АБО, прямиий вихід лічильного тригера першого розряду з'єднаний з другим входом логічного елемента ВИКЛЮЧНЕ АБО першого розряду, прямиий вихід кожного i-го лічильного тригера з другого по (N-1)-й розряди з'єднаний з другим входом першого логічного елемента ВИКЛЮЧНЕ АБО i-го розряду, інверсний вихід кожного i-го лічильного тригера з другого по (N-1)-й розряди з'єднаний з другим входом другого логічного елемента ВИКЛЮЧНЕ АБО i-го розряду, інверсний вихід лічильного тригера N-го розряду з'єднаний з другим входом логічного елемента ВИКЛЮЧНЕ АБО N-го розряду, вихід другого логічного елемента ВИКЛЮЧНЕ АБО кожного i-го розряду з третього по (N-2)-й з'єднаний з першим входом першого логічного елемента 3I-NI i-го розряду, вихід другого логічного елемента ВИКЛЮЧНЕ АБО (N-1)-го розряду з'єднаний з першим входом логічного елемента 3I-NI (N-1)-го розряду, вихід логічного елемента ВИКЛЮЧНЕ АБО N-го розряду з'єднаний з першим входом логічного елемента 3I-NI N-го розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО кожного i-го розряду з другого по (N-4)-й з'єднаний з другим входом першого логічного елемента 3I-NI (i+1)-го розряду та третім входом першого логічного елемента 3I-NI (i+2)-го розряду, вихід логічного елемента ВИКЛЮЧНЕ АБО першого розряду з'єднаний з першим входом логічного елемента 2I-NI першого розряду, першим входом логічного елемента 2I-NI другого розряду та третім входом першого логічного елемента 3I-NI третього розряду, вихід другого логічного елемента ВИКЛЮЧНЕ АБО другого розряду з'єднаний з другим входом логічного елемента 2I-NI другого розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО другого розряду з'єднаний з другим входом логічного елемента 2I-NI першого розряду, вихід якого з'єднаний з першим входом логічного елемента 2I першого розряду, другий вхід якого з'єднаний з виходом першого логічного елемента 3I-NI третього розряду, а вихід з'єднаний з T-входом лічильного тригера першого розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО (N-3)-го розряду з'єднаний з другим входом першого логічного елемента 3I-NI (N-2)-го розряду та другим входом логічного елемента 3I-NI (N-1)-го розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО (N-2)-го розряду з'єднаний з третім входом логічного елемента 3I-NI (N-1)-го розряду та другим входом логічного елемента 3I-NI N-го розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО (N-1)-го розряду з'єднаний з третім входом логічного елемента 3I-NI N-го розряду, вихід логічного елемента 2I-NI другого розряду з'єднаний з третім входом логічного елемента 3I-NI другого розряду.



Фиг. 1



Фиг. 2



Фиг. 3

Комп'ютерна верстка А. Крулевський

Державна служба інтелектуальної власності України, вул. Василя Липківського, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601