



УКРАЇНА

(19) **UA** (11) **109785** (13) **U**
(51) МПК
Н03М 1/46 (2006.01)

ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

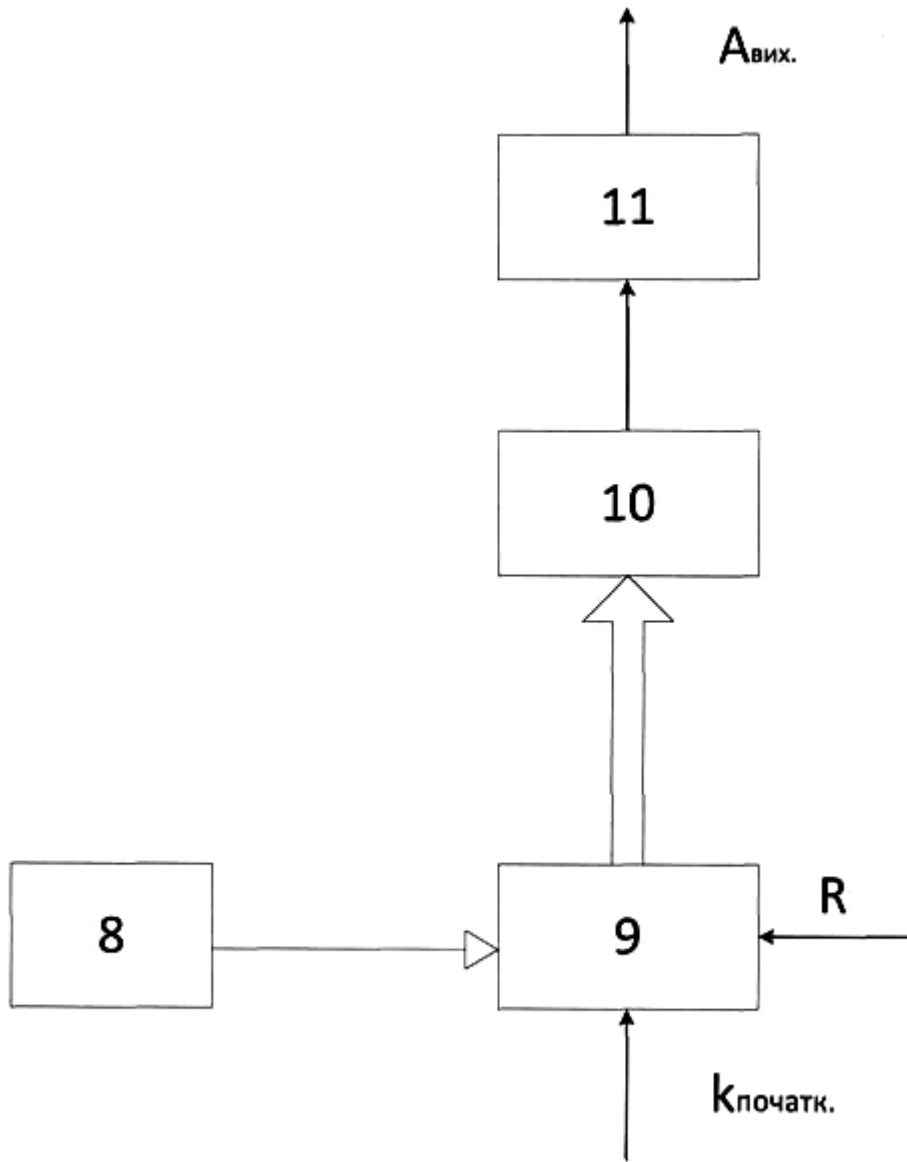
| | |
|--|--|
| (21) Номер заявки: u 2016 01458 | (72) Винахідник(и): Азаров Олексій Дмитрович (UA), Черняк Олександр Іванович (UA), Муращенко Олександр Геннадійович (UA) |
| (22) Дата подання заявки: 18.02.2016 | |
| (24) Дата, з якої є чинними права на корисну модель: 12.09.2016 | |
| (46) Публікація відомостей про видачу патенту: 12.09.2016, Бюл.№ 17 | (73) Власник(и): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця 21021 (UA) |

(54) ЦИФРО-АНАЛОГОВИЙ ПЕРЕТВОРЮВАЧ

(57) Реферат:

Цифро-аналоговий перетворювач містить пристрій для підсумовування еталонних величин, генератор тактових імпульсів, цифро-аналоговий перетворювач в коді Фібоначчі, лічильник у згорнуто-розгорнутому коді Фібоначчі, причому вхід цифро-аналогового перетворювача з'єднано з входом початкового встановлення лічильника в згорнуто-розгорнутому коді Фібоначчі, вихід лічильника у згорнуто-розгорнутому коді Фібоначчі з'єднано з входами цифро-аналогового перетворювача в р-коді Фібоначчі, вихід генератора тактових імпульсів з'єднано з входом тактових імпульсів лічильника у згорнуто-розгорнутому коді Фібоначчі, вихід цифро-аналогового перетворювача в р-коді Фібоначчі з'єднано з суматором еталонних величин, вихід суматора еталонних величин з'єднано з виходом цифро-аналогового перетворювача, крім того, лічильник у згорнуто-розгорнутому коді Фібоначчі містить вхід встановлення у початковий стан, вхід тактових імпульсів, вхід режиму реверсивної лічби, N інформаційних виходів та у кожному розряді містить лічильний тригер, перший і другий розряди містять логічний елемент 2І-НІ, а кожний розряд лічильника, крім першого, другого, (N-1)-го та N-го, містить перший та другий логічні елементи 3І-НІ. Введено вхід режиму реверсивної лічби, а як лічильник у згорнуто-розгорнутому коді Фібоначчі використано реверсивний лічильник у згорнуто-розгорнутому коді Фібоначчі

UA 109785 U



Фиг. 1

Корисна модель належить до галузі цифрової вимірювальної і обчислювальної техніки і може бути використана для перетворення цифрових величин в аналогові.

Відомий цифро-аналоговий перетворювач [А.с. № 864548 СРСР, МПК Н03К13/02; Бюл. № 34, 15.09.1981], що містить вхід перетворювача, регістр, цифровий комутатор ключові елементи, блок еталонних величин, пристрій підсумовування, блок розгортки коду, блок згортки коду, блок логічних елементів, блок виділення різниці, блок керування, перший вихід цифро-аналогового перетворювача, другий вихід цифро-аналогового перетворювача, причому вхід цифро-аналогового перетворювача з'єднаний з першим входом регістра, вихід регістра з'єднаний з першим входом блока розгортки коду і першим інформаційним входом цифрового комутатора, що здійснює підключення до входів ключових елементів виходу регістра або першого виходу блока розгортки коду, вихід цифрового комутатора з'єднаний з керуючими входами ключових елементів, інформаційні входи яких з'єднані з виходами блока еталонних величин, виходи ключових елементів з'єднані з входами пристрою підсумовування, вихід якого з'єднаний з входом блока виділення різниці, перший вихід блока розгортки коду з'єднаний з другим інформаційним входом цифрового комутатора й першим входом блока логічних елементів, другий вихід блока розгортки коду з'єднаний з першим входом блока згортки коду, вихід блока згортки коду з'єднаний з другим входом блока логічних елементів, вихід блока пристрою підсумовування є першим виходом цифро-аналогового перетворювача. Вихід блока логічних елементів є другим виходом цифро-аналогового перетворювача, перший, другий, третій, четвертий і п'ятий виходи блока управління з'єднані відповідно з другим входом регістра, з керуючим третім входом цифрового комутатора, другим входом блока розгортки коду, другим входом блока згортки коду і третім входом блока логічних елементів.

Недоліком цього пристрою є низька швидкодія в режимі генерування лінійно-змінної вихідної аналогової величини.

За прототип вибрано цифро-аналоговий перетворювач [Патент № 94085 України на корисну модель, МПК Н03М 1/46; Бюл. № 20, 27.10.2014], який містить пристрій для підсумовування еталонних величин, генератор тактових імпульсів, цифро-аналоговий перетворювач в коді Фібоначчі, лічильник у згорнуто-розгорнутому коді Фібоначчі, причому вхід цифро-аналогового перетворювача з'єднано з входом початкового встановлення лічильника в згорнуто-розгорнутому коді Фібоначчі, виходи лічильника у згорнуто-розгорнутому коді Фібоначчі з'єднано з входами цифро-аналогового перетворювача в р-коді Фібоначчі, вихід генератора тактових імпульсів з'єднано з входом тактових імпульсів лічильника у згорнуто-розгорнутому коді Фібоначчі, вихід цифро-аналогового перетворювача в р-коді Фібоначчі з'єднано з суматором еталонних величин, вихід суматора еталонних величин з'єднано з виходом цифро-аналогового перетворювача, крім того, лічильник у згорнуто-розгорнутому коді Фібоначчі містить вхід встановлення у початковий стан, вхід тактових імпульсів, вхід одиничного потенціалу, N інформаційних виходів, та у кожному i-му розряді містить лічильний тригер, вхід C синхронізації якого з'єднаний зі входом тактових імпульсів лічильника, вхід R встановлення у початковий стан з'єднаний зі входом встановлення у початковий стан лічильника, а вихід з'єднаний з i-м інформаційним виходом лічильника, крім того, перший і другий розряди лічильника містять по одному логічному елементу 2I-НІ, а кожний розряд лічильника, починаючи з третього, містить перший і другий логічні елементи 3I-НІ, причому, перший вхід логічного елемента 2I-НІ першого розряду з'єднаний з прямим виходом лічильного тригера першого розряду, другий його вхід з'єднаний з прямим виходом лічильного тригера другого розряду, а вихід з'єднаний з Т-входом лічильного тригера першого розряду; перший вхід логічного елемента 2I-НІ другого розряду з'єднаний з інверсним виходом лічильного тригера першого розряду, другий його вхід з'єднаний з виходом першого логічного елемента 3I-НІ четвертого розряду, а вихід з'єднаний з Т-входом лічильного тригера другого розряду; у кожному i-му розряді лічильника, починаючи з третього, перший вхід першого логічного елемента 3I-НІ з'єднаний з інверсним виходом лічильного тригера i-го розряду, другий його вхід з'єднаний з прямим виходом лічильного тригера (i-1)-го розряду, третій вхід з'єднаний з прямим виходом лічильного тригера (i-2)-го розряду, а вихід з'єднаний з першим входом другого логічного елемента 3I-НІ i-го розряду; другий вхід другого логічного елемента 3I-НІ i-го розряду, крім N-го, з'єднаний з виходом першого логічного елемента 3I-НІ (i+1)-го розряду, третій вхід другого логічного елемента 3I-НІ i-го розряду, крім N-го та (N-1)-го, з'єднаний з виходом першого логічного елемента 3I-НІ (i+2)-го розряду, а вихід другого логічного елемента 3I-НІ i-го розряду з'єднаний з Т-входом лічильного тригера i-го розряду; другий і третій входи другого логічного елемента 3I-НІ N-го розряду та третій вхід другого логічного елемента 3I-НІ (N-1)-го розряду з'єднані з входом одиничного потенціалу лічильника.

Недоліком прототипу є неможливість роботи в реверсивному режимі, що у свою чергу, обмежує галузь використання пристрою.

В основу корисної моделі поставлено задачу створення цифро-аналогового перетворювача, в якому за рахунок введення нових елементів та зв'язків досягається можливість роботи в
5 прямому та реверсивному режимі з представленням результату у фібоначчівій системі числення, що у свою чергу, розширює галузь використання корисної моделі у різноманітних пристроях імпульсної та обчислювальної техніки, автоматики тощо.

Поставлена задача вирішується тим, що у цифро-аналоговий перетворювач, який містить
10 пристрій для підсумовування еталонних величин, генератор тактових імпульсів, цифро-аналоговий перетворювач в коді Фібоначчі, лічильник у згорнуто-розгорнутому коді Фібоначчі, причому вхід цифро-аналогового перетворювача з'єднано з входом початкового встановлення лічильника в згорнуто-розгорнутому коді Фібоначчі, вихід лічильника у згорнуто-розгорнутому коді Фібоначчі з'єднано з входами цифро-аналогового перетворювача в р-коді Фібоначчі, вихід генератора тактових імпульсів з'єднано з входом тактових імпульсів лічильника у згорнуто-розгорнутому коді Фібоначчі, вихід цифро-аналогового перетворювача в р-коді Фібоначчі з'єднано з суматором еталонних величин, вихід суматора еталонних величин з'єднано з виходом цифро аналогового перетворювача, крім того лічильник у згорнуто-розгорнутому коді Фібоначчі містить вхід встановлення у початковий стан, вхід тактових імпульсів, вхід режиму реверсивної лічби, N інформаційних виходів, та у кожному розряді містить лічильний тригер, перший і другий розряди містять логічний елемент 2I-НІ, а кожен розряд лічильника, крім першого, другого, (N-1)-го та N-го, містить перший та другий логічні елементи 3I-НІ, введено вхід режиму реверсивної лічби, а як лічильник у згорнуто-розгорнутому коді Фібоначчі використано реверсивний лічильник у згорнуто-розгорнутому коді Фібоначчі, причому вхід режиму реверсивної лічби цифро-аналогового перетворювача з'єднаний з входом режиму реверсивної лічби лічильника, крім того, реверсивний лічильник у згорнуто-розгорнутому коді Фібоначчі містить вхід режиму реверсивної лічби, а також (N-1)-й розряд містить логічний елемент 2I-НІ, (N-1)-й та N-й розряди містять логічний елемент 3I-НІ, N-й розряд містить логічний елемент НІ, перший і N-й розряд містить логічний елемент ВИКЛЮЧНЕ АБО, кожен розряд, крім першого і N-го, містить перший і другий логічний елементи ВИКЛЮЧНЕ АБО, перший розряд містить логічний елемент 2I, другий розряд містить логічний елемент 3I-НІ, причому, вхід встановлення у початковий стан лічильника з'єднаний зі входами R встановлення у початковий стан лічильних тригерів з першого по N-й розряди, вхід тактових імпульсів лічильника з'єднаний зі входами С синхронізації лічильних тригерів з першого по N-й розряди, прямий вихід кожного i-го лічильного тригера з першого по N-й розряди з'єднаний з i-м інформаційним виходом лічильника, вихід першого логічного елемента 3I-НІ кожного i-го розряду з третього по (N-2)-й з'єднаний з першим входом другого логічного елемента 3I-НІ i-го розряду, вихід якого з'єднаний з Т-входом лічильного тригера i-го розряду, вихід першого логічного елемента 3I-НІ кожного i-го розряду, з четвертого по (N-2)-й, з'єднаний з другим входом другого логічного елемента 3I-НІ (i-1)-го розряду, вихід першого логічного елемента 3I-НІ кожного i-го розряду, з п'ятого по (N-2)-й, з'єднаний з третім входом другого логічного елемента 3I-НІ (i-2)-го розряду, вихід логічного елемента 3I-НІ (N-1)-го розряду з'єднаний з третім входом другого логічного елемента 3I-НІ (N-3)-го розряду, другим входом логічного другого елемента 3I-НІ (N-2)-го розряду та першим входом логічного елемента 2I-НІ (N-1)-го розряду, другий вхід якого з'єднаний з виходом логічного елемента 3I-НІ N-го розряду, третім входом другого логічного елемента 3I-НІ (N-2)-го розряду та входом логічного елемента НІ N-го розряду, а вихід з'єднаний з Т-входом лічильного тригера (N-1)-го розряду, вихід логічного елемента НІ N-го розряду з'єднаний з Т-входом лічильного тригера N-го розряду, вхід режиму реверсивної лічби з'єднаний з першими входами всіх логічних елементів ВИКЛЮЧНЕ АБО, всіх перших логічних елементів ВИКЛЮЧНЕ АБО та всіх других логічних елементів ВИКЛЮЧНЕ АБО, прямий вихід лічильного тригера першого розряду з'єднаний з другим входом логічного елемента ВИКЛЮЧНЕ АБО першого розряду, прямий вихід кожного i-го лічильного тригера з другого по п'ятий розряди з'єднаний з другим входом першого логічного елемента ВИКЛЮЧНЕ АБО i-го розряду інверсний вихід кожного i-го лічильного тригера з другого по п'ятий розряди з'єднаний з другим входом другого логічного елемента ВИКЛЮЧНЕ АБО i-го розряду, інверсний вихід лічильного тригера N-го розряду з'єднаний з другим входом логічного елемента ВИКЛЮЧНЕ АБО N-го розряду, вихід другого логічного елемента ВИКЛЮЧНЕ АБО кожного i-го розряду, з третього по (N-2)-й, з'єднаний з першим входом першого логічного елемента 3I-НЕ i-го розряду, вихід другого логічного елемента ВИКЛЮЧНЕ АБО (N-1)-го розряду з'єднаний з першим входом логічного елемента 3I-НЕ (N-1)-го розряду, вихід логічного елемента ВИКЛЮЧНЕ АБО N-го розряду з'єднаний з першим входом логічного елемента 3I-НІ N-го розряду, вихід першого логічного елемента

ВИКЛЮЧНЕ АБО кожного i -го розряду, з другого по $(N-4)$ -й, з'єднаний з другим входом першого логічного елемента $3I-NI$ $(i+1)$ -го розряду та третім входом першого логічного елемента $3I-NI$ $(i+2)$ -го розряду, вихід логічного елемента ВИКЛЮЧНЕ АБО першого розряду з'єднаний з першим входом логічного елемента $2I-NI$ першого розряду, першим входом логічного елемента $2I-NI$ другого розряду та третім входом першого логічного елемента $3I-NI$ третього розряду, вихід другого логічного елемента ВИКЛЮЧНЕ АБО другого розряду з'єднаний з другим входом логічного елемента $2I-NI$ другого розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО другого розряду з'єднаний з другим входом логічного елемента $2I-NI$ першого розряду, вихід якого з'єднаний з першим входом логічного елемента $2I$ першого розряду, другий вхід якого з'єднаний з виходом першого логічного елемента $3I-NI$ третього розряду та першим входом логічного елемента $3I-NI$ другого розряду, а вихід з'єднаний з Т-входом лічильного тригера першого розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО $(N-3)$ -го розряду з'єднаний з другим входом першого логічного елемента $3I-NI$ $(N-2)$ -го розряду та другим входом логічного елемента $3I-NI$ $(N-1)$ -го розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО $(N-2)$ -го розряду з'єднаний з третім входом логічного елемента $3I-NI$ $(N-1)$ -го розряду та другим входом логічного елемента $3I-NI$ N -го розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО $(N-1)$ -го розряду з'єднаний з третім входом логічного елемента $3I-NI$ N -го розряду, вихід логічного елемента $2I-NI$ другого розряду з'єднаний з другим входом логічного елемента $3I-NI$ другого розряду, третій вхід якого з'єднаний з виходом першого логічного елемента $3I-NI$ четвертого розряду, а вихід з'єднаний з Т-входом лічильного тригера другого розряду.

На Фіг. 1 наведено структурну схему цифро-аналогового перетворювача. На Фіг. 2 наведено структурну схему семирозрядного реверсивного лічильника у згорнуто-розгорнутому коді Фібоначчі. На Фіг. 3 наведено часову діаграму роботи реверсивного лічильника у згорнуто-розгорнутому коді Фібоначчі в прямому режимі лічби. На Фіг. 4 наведено часову діаграму роботи лічильника у фібоначчівій системі числення при зміні режиму.

Цифро-аналоговий перетворювач містить пристрій для підсумовування еталонних величин 11, генератор тактових імпульсів 8, цифро-аналоговий перетворювач в коді Фібоначчі 10, реверсивний лічильник у згорнуто-розгорнутому коді Фібоначчі 9, вихід суматора еталонних величин $A_{\text{вих.}}$ є виходом цифро-аналогового перетворювача, вхід цифро-аналогового перетворювача $K_{\text{поч.}}$, причому вхід цифро-аналогового перетворювача $K_{\text{поч.}}$ з'єднано з входом ПВ реверсивного лічильника в згорнуто-розгорнутому коді Фібоначчі, вхід режиму реверсивної лічби R , причому вхід режиму реверсивної лічби цифро-аналогового перетворювача R з'єднаний з входом режиму реверсивної лічби P реверсивного лічильника у згорнуто-розгорнутому коді Фібоначчі, виходи реверсивного лічильника у згорнуто-розгорнутому коді Фібоначчі з'єднано з входами цифро-аналогового перетворювача в r -коді Фібоначчі, вихід генератора тактових імпульсів з'єднано з входом тактових імпульсів $T1$ реверсивного лічильника у згорнуто-розгорнутому коді Фібоначчі, вихід цифро-аналогового перетворювача в r -коді Фібоначчі з'єднано з суматором еталонних величин, вихід суматора еталонних величин з'єднано з виходом цифро-аналогового перетворювача $A_{\text{вих.}}$. Семирозрядний реверсивний лічильник у згорнуто-розгорнутому коді Фібоначчі містить вхід ПВ встановлення у початковий стан, вхід $T1$ тактових імпульсів, вхід P режиму реверсивної лічби, інформаційні виходи $Q1 \div Q7$, а також містить лічильні тригери 1.1 \div 7.1 розрядів з першого по сьомий відповідно, призначені для зберігання коду, логічний елемент 1.2 ВИКЛЮЧНЕ АБО першого розряду, призначений для керованого інвертування прямого виходу лічильного тригера 1.1 першого розряду, логічний елемент 1.3 $2I-NI$ першого розряду, призначений для зупинення лічби при досягненні значення "всі одиниці" у режимі прямої лічби, або значення "всі нулі" у режимі оберненої лічби, логічний елемент 1.4 $2I$ першого розряду, призначений для вироблення сигналу зміни стану лічильного тригера 1.1 першого розряду, перший логічний елемент 2.2 ВИКЛЮЧНЕ АБО другого розряду, призначений для керованого інвертування прямого виходу лічильного тригера 2.1 другого розряду, другий логічний елемент 2.3 ВИКЛЮЧНЕ АБО другого розряду, призначений для керованого інвертування інверсного виходу лічильного тригера 2.1 другого розряду, логічний елемент 2.4 $2I-NI$ другого розряду, призначений для виділення умови згортки у другий розряд у режимі прямої лічби і умови розгортки з другого розряду у режимі оберненої лічби, логічний елемент 2.5 $3I-NI$ другого розряду, призначений для вироблення сигналу зміни стану лічильного тригера 2.1 другого розряду, перший логічний елемент 3.2 ВИКЛЮЧНЕ АБО третього розряду, призначений для керованого інвертування прямого виходу лічильного тригера 3.1 третього розряду, другий логічний елемент 3.3 ВИКЛЮЧНЕ АБО третього розряду, призначений для керованого інвертування інверсного виходу лічильного тригера 3.1 третього розряду, перший логічний елемент 3.4 $3I-NI$ третього розряду, призначений для виділення умови згортки у третій розряд у режимі прямої лічби і умови розгортки з третього розряду у режимі оберненої лічби,

другий логічний елемент 3.5 3I-НІ третього розряду, призначений для вироблення сигналу зміни стану лічильного тригера 3.1 третього розряду, перший логічний елемент 4.2 ВИКЛЮЧНЕ АБО четвертого розряду, призначений для керованого інвертування прямого виходу лічильного тригера 4.1 четвертого розряду, другий логічний елемент 4.3 ВИКЛЮЧНЕ АБО четвертого розряду, призначений для керованого інвертування інверсного виходу лічильного тригера 4.1 четвертого розряду, перший логічний елемент 4.4 3I-НІ четвертого розряду, призначений для виділення умови згортки у четвертий розряд у режимі прямої лічби і умови розгортання з четвертого розряду у режимі оберненої лічби, другий логічний елемент 4.5 3I-НІ четвертого розряду, призначений для вироблення сигналу зміни стану лічильного тригера 4.1 четвертого розряду, перший логічний елемент 5.2 ВИКЛЮЧНЕ АБО п'ятого розряду, призначений для керованого інвертування прямого виходу лічильного тригера 5.1 п'ятого розряду, другий логічний елемент 5.3 ВИКЛЮЧНЕ АБО п'ятого розряду, призначений для керованого інвертування інверсного виходу лічильного тригера 5.1 п'ятого розряду, перший логічний елемент 5.4 3I-НІ п'ятого розряду, призначений для виділення умови згортки у п'ятий розряд у режимі прямої лічби і умови розгортки з п'ятого розряду у режимі оберненої лічби, другий логічний елемент 5.5 3I-НІ п'ятого розряду, призначений для вироблення сигналу зміни стану лічильного тригера 5.1 п'ятого розряду, перший логічний елемент 6.2 ВИКЛЮЧНЕ АБО шостого розряду, призначений для керованого інвертування прямого виходу лічильного тригера 6.1 шостого розряду, другий логічний елемент 6.3 ВИКЛЮЧНЕ АБО шостого розряду, призначений для керованого інвертування інверсного виходу лічильного тригера 6.1 шостого розряду, логічний елемент 6.4 3I-НІ шостого розряду, призначений для виділення умови згортки у шостий розряд у режимі прямої лічби і умови розгортки з шостого розряду у режимі оберненої лічби, логічний елемент 6.5 2I-НІ шостого розряду, призначений для вироблення сигналу зміни стану лічильного тригера 6.1 шостого розряду, логічний елемент 7.2 ВИКЛЮЧНЕ АБО сьомого розряду, призначений для керованого інвертування інверсного виходу лічильного тригера 7.1 сьомого розряду, логічний елемент 7.3 3I-НІ сьомого розряду, призначений для виділення умови згортки у сьомий розряд у режимі прямої лічби і умови розгортки з сьомого розряду у режимі оберненої лічби, логічний елемент 7.4 НІ сьомого розряду, призначений для вироблення сигналу зміни стану лічильного тригера 7.1 сьомого розряду. Вхід ПВ встановлення у початковий стан лічильника з'єднаний зі входами R встановлення у початковий стан лічильних тригерів 1.1-7.1 з першого по 7-й розрядів, вхід тактових імпульсів лічильника з'єднаний зі входами С синхронізації лічильних тригерів 1.1-7.1 з першого по 7-й розрядів, а вхід режиму реверсивної лічби з'єднаний з першими входами логічних елементів 1.2, 7.2 ВИКЛЮЧНЕ АБО, перших логічних елементів 2.2-6.2 ВИКЛЮЧНЕ АБО та других логічних елементів 2.3-6.3 ВИКЛЮЧНЕ АБО. Прямий вихід кожного і-го лічильного тригера 1.1-7.1 розрядів з першого по сьомий з'єднаний з і-им інформаційним виходом Q1-Q7 лічильника, прямий вихід лічильного тригера 1.1 першого розряду з'єднаний з другим входом логічного елемента 1.2 ВИКЛЮЧНЕ АБО першого розряду, прямий вихід кожного і-го лічильного тригера 2.1-6.1 з другого по шостий розряди з'єднаний з другим входом першого логічного елемента 2.2-6.2 ВИКЛЮЧНЕ АБО і-го розряду. Інверсний вихід кожного і-го лічильного тригера 2.1-6.1 з другого по шостий розряди з'єднаний з другим входом другого логічного елемента 2.3-6.3 ВИКЛЮЧНЕ АБО і-го розряду, інверсний вихід лічильного тригера 7.1 сьомого розряду з'єднаний з другим входом логічного елемента 7.2 ВИКЛЮЧНЕ АБО сьомого розряду. Вихід другого логічного елемента 2.3 ВИКЛЮЧНЕ АБО другого розряду з'єднаний з першим входом логічного елемента 2.4 2I-НІ другого розряду, вихід другого логічного елемента 3.3-5.3 ВИКЛЮЧНЕ АБО кожного і-го розряду, з третього по п'ятий, з'єднаний з першим входом першого логічного елемента 3.4-5.4 3I-НІ і-го розряду, вихід другого логічного елемента 6.3 ВИКЛЮЧНЕ АБО шостого розряду з'єднаний з першим входом логічного елемента 6.4 3I-НІ шостого розряду, вихід логічного елемента 7.2 ВИКЛЮЧНЕ АБО сьомого розряду з'єднаний з першим входом логічного елемента 7.3 3I-НІ сьомого розряду. Вихід логічного елемента 1.2 ВИКЛЮЧНЕ АБО першого розряду з'єднаний з першим входом логічного елемента 1.3 2I-НІ першого розряду, другим входом логічного елемента 2.4 2I-НІ другого розряду та другим входом логічного елемента 3.4 3I-НІ третього розряду. Вихід першого логічного елемента 2.2 ВИКЛЮЧНЕ АБО другого розряду з'єднаний з другим входом логічного елемента 1.3 2I-НІ першого розряду, третім входом логічного елемента 3.4 3I-НІ третього розряду та другим входом першого логічного елемента 4.4 3I-НІ четвертого розряду. Вихід першого логічного елемента 3.2 ВИКЛЮЧНЕ АБО третього розряду з'єднаний з третім входом першого логічного елемента 4.4 3I-НІ четвертого розряду та другим входом першого логічного елемента 5.4 3I-НІ п'ятого розряду. Вихід першого логічного елемента 4.2 ВИКЛЮЧНЕ АБО четвертого розряду з'єднаний з третім входом першого логічного елемента 5.4 3I-НІ п'ятого розряду та другим входом логічного елемента 6.4 3I-НІ шостого

розряду. Вихід першого логічного елемента 5.2 ВИКЛЮЧНЕ АБО п'ятого розряду з'єднаний з третім входом логічного елемента 6.4 3I-НІ шостого розряду та другим входом логічного елемента 7.3 3I-НІ сьомого розряду. Вихід першого логічного елемента 6.2 ВИКЛЮЧНЕ АБО шостого розряду з'єднаний з третім входом логічного елемента 7.3 3I-НІ сьомого розряду. Вихід логічного елемента 1.3 2I-НІ першого розряду з'єднаний з першим входом логічного елемента 1.4 2I першого розряду, вихід якого з'єднаний з Т-входом лічильного тригера першого розряду. Вихід логічного елемента 2.4 2I-НІ другого розряду з'єднаний з першим входом логічного елемента 2.5 3I-НІ другого розряду, вихід якого з'єднаний з Т-входом лічильного тригера другого розряду. Вихід першого логічного елемента 3.4 3I-НІ третього розряду з'єднаний з другим входом логічного елемента 1.4 2I першого розряду, другим входом логічного елемента 2.5 3I-НІ другого розряду та першим входом другого логічного елемента 3.5 3I-НІ третього розряду, вихід якого з'єднаний з Т-входом лічильного тригера третього розряду. Вихід першого логічного елемента 4.4 3I-НІ четвертого розряду з'єднаний з третім входом логічного елемента 2.5 3I-НІ другого розряду, другим входом другого логічного елемента 3.5 3I-НІ третього розряду та першим входом другого логічного елемента 4.5 3I-НІ четвертого розряду, вихід якого з'єднаний з Т-входом лічильного тригера четвертого розряду. Вихід першого логічного елемента 5.4 3I-НІ п'ятого розряду з'єднаний з третім входом другого логічного елемента 3.5 3I-НІ третього розряду, другим входом другого логічного елемента 4.5 3I-НІ четвертого розряду та першим входом другого логічного елемента 5.5 3I-НІ п'ятого розряду, вихід якого з'єднаний з Т-входом лічильного тригера п'ятого розряду. Вихід логічного елемента 6.4 3I-НІ шостого розряду з'єднаний з третім входом другого логічного елемента 4.5 3I-НІ четвертого розряду, другим входом другого логічного елемента 5.5 3I-НІ п'ятого розряду та першим входом логічного елемента 6.5 2I-НІ шостого розряду, вихід якого з'єднаний з Т-входом лічильного тригера шостого розряду. Вихід логічного елемента 7.3 3I-НІ сьомого розряду з'єднаний з третім входом другого логічного елемента 5.5 3I-НІ п'ятого розряду, другим входом логічного елемента 6.5 2I-НІ шостого розряду та входом логічного елемента 7.4 НІ сьомого розряду, вихід якого з'єднаний з Т-входом лічильного тригера сьомого розряду.

Цифро-аналоговий перетворювач працює наступним чином. Перед початком роботи на вхід R режиму реверсивної лічби подається нульовий сигнал при прямій лічбі або одиничний сигнал при оберненій лічбі. Робота починається з подання на вхід цифро-аналогового перетворювача нульового потенціалу, який далі надходить на вхід початкового встановлення ПВ реверсивного лічильника в згорнуто-розгорнутому коді Фібоначчі. При надходженні першого імпульсу на вхід Т1 тактових імпульсів, він надходить далі на С-входи лічильних тригерів всіх розрядів, в результаті чого на виході лічильника встановлюється код 0000001, який надходить на вхід цифро-аналогового перетворювача в коді Фібоначчі, з виходу якого надходить на вхід суматора еталонних величин. Оскільки вихід пристрою для підсумовування еталонних величин з'єднано з виходом цифро-аналогового перетворювача, то завдяки цьому на виході цифро-аналогового перетворювача формується аналогова величина, що відповідає r-коду Фібоначчі 0000001. При надходженні другого імпульсу з генератора тактових імпульсів П на вхід Т1 тактових імпульсів лічильника в згорнуто-розгорнутому коді Фібоначчі, він надходить далі на С-входи лічильних тригерів всіх розрядів і на виході лічильника формується код 0000010, який надходить на вхід цифро-аналогового перетворювача в коді Фібоначчі, з виходу якого надходить на вхід суматора еталонних величин, який формує аналогову величину на виході цифро-аналогового перетворювача. При надходженні наступного імпульсу з генератора тактових імпульсів П на виході лічильника в згорнуто-розгорнутому коді Фібоначчі лічильник переходить в наступний стан, як описано в Таблиці 1.

Таблиця 1

Коди послідовних станів реверсивного лічильника у згорнуто-розгорнутому коді Фібоначчі у режимі прямої лічби

| Код | | | | | | | № стану | Код | | | | | | | № стану |
|-----|----|----|----|----|----|----|---------|-----|----|----|----|----|----|----|---------|
| Q7 | Q6 | Q5 | Q4 | Q3 | Q2 | Q1 | | Q7 | Q6 | Q5 | Q4 | Q3 | Q2 | Q1 | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 27 |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 28 |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | 2 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 29 |
| 0 | 0 | 0 | 0 | 0 | 1 | 1 | 3 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 30 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 4 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 31 |
| 0 | 0 | 0 | 0 | 1 | 1 | 0 | 5 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 32 |

Продовження таблиці 1

Коди послідовних станів реверсивного лічильника
у згорнуто-розгорнутому кодї Фібоначчі у режимі прямої лічби

| Код | | | | | | | № стану | Код | | | | | | | № стану |
|-----|----|----|----|----|----|----|---------|-----|----|----|----|----|----|----|---------|
| Q7 | Q6 | Q5 | Q4 | Q3 | Q2 | Q1 | | Q7 | Q6 | Q5 | Q4 | Q3 | Q2 | Q1 | |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | 6 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 33 |
| 0 | 0 | 0 | 1 | 0 | 1 | 0 | 7 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 34 |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 8 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 35 |
| 0 | 0 | 0 | 1 | 1 | 0 | 1 | 9 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 36 |
| 0 | 0 | 1 | 0 | 0 | 1 | 0 | 10 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 37 |
| 0 | 0 | 1 | 0 | 0 | 1 | 1 | 11 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 38 |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 | 12 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 39 |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 13 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 40 |
| 0 | 0 | 1 | 1 | 0 | 0 | 1 | 14 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 41 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | 15 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 42 |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 16 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 43 |
| 0 | 1 | 0 | 0 | 1 | 0 | 1 | 17 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 44 |
| 0 | 1 | 0 | 0 | 1 | 1 | 0 | 18 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 45 |
| 0 | 1 | 0 | 1 | 0 | 0 | 1 | 19 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 46 |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 | 20 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 47 |
| 0 | 1 | 0 | 1 | 0 | 1 | 1 | 21 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 48 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 22 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 49 |
| 0 | 1 | 1 | 0 | 0 | 1 | 0 | 23 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 50 |
| 1 | 0 | 0 | 0 | 0 | 1 | 1 | 24 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 51 |
| 1 | 0 | 0 | 0 | 1 | 0 | 1 | 25 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 52 |
| 1 | 0 | 0 | 0 | 1 | 1 | 0 | 26 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 53 |

Коди і числові значення станів реверсивного лічильника у фібоначчівій системі числення у режимі оберненої лічби представлено в Таблиці 2.

5

Таблиця 2

Коди послідовних станів реверсивного лічильника
у згорнуто-розгорнутому кодї Фібоначчі у режимі оберненої лічби

| Код | | | | | | | № стану | Код | | | | | | | № стану |
|-----|----|----|----|----|----|----|---------|-----|----|----|----|----|----|----|---------|
| Q7 | Q6 | Q5 | Q4 | Q3 | Q2 | Q1 | | Q7 | Q6 | Q5 | Q4 | Q3 | Q2 | Q1 | |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 27 |
| 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 28 |
| 1 | 1 | 1 | 1 | 1 | 0 | 1 | 2 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 29 |
| 1 | 1 | 1 | 1 | 1 | 0 | 0 | 3 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 30 |
| 1 | 1 | 1 | 1 | 0 | 1 | 0 | 4 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 31 |
| 1 | 1 | 1 | 1 | 0 | 0 | 1 | 5 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 32 |
| 1 | 1 | 1 | 0 | 1 | 1 | 0 | 6 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 33 |
| 1 | 1 | 1 | 0 | 1 | 0 | 1 | 7 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 34 |
| 1 | 1 | 1 | 0 | 1 | 0 | 0 | 8 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 35 |
| 1 | 1 | 1 | 0 | 0 | 1 | 0 | 9 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 36 |
| 1 | 1 | 0 | 1 | 1 | 0 | 1 | 10 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 37 |
| 1 | 1 | 0 | 1 | 1 | 0 | 0 | 11 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 38 |
| 1 | 1 | 0 | 1 | 0 | 1 | 0 | 12 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 39 |
| 1 | 1 | 0 | 0 | 1 | 1 | 0 | 13 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 40 |
| 1 | 1 | 0 | 0 | 1 | 1 | 0 | 14 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 41 |
| 1 | 0 | 1 | 1 | 1 | 0 | 1 | 15 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 42 |
| 1 | 0 | 1 | 1 | 1 | 0 | 0 | 16 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 43 |
| 1 | 0 | 1 | 1 | 0 | 1 | 0 | 17 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 44 |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 18 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 45 |

Продовження таблиці 2

Коди послідовних станів реверсивного лічильника у згорнуто-розгорнутому коді Фібоначчі у режимі оберненої лічби

| Код | | | | | | | № стану | Код | | | | | | | № стану |
|-----|----|----|----|----|----|----|---------|-----|----|----|----|----|----|----|---------|
| Q7 | Q6 | Q5 | Q4 | Q3 | Q2 | Q1 | | Q7 | Q6 | Q5 | Q4 | Q3 | Q2 | Q1 | |
| 1 | 0 | 1 | 0 | 1 | 1 | 0 | 19 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 46 |
| 1 | 0 | 1 | 0 | 1 | 0 | 1 | 20 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 47 |
| 1 | 0 | 1 | 0 | 1 | 0 | 0 | 21 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 48 |
| 1 | 0 | 1 | 0 | 0 | 1 | 0 | 22 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 49 |
| 1 | 0 | 0 | 1 | 1 | 0 | 1 | 23 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 50 |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 | 24 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 51 |
| 0 | 1 | 1 | 1 | 0 | 1 | 0 | 25 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 52 |
| 0 | 1 | 1 | 1 | 0 | 0 | 1 | 26 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 53 |

Коди і числові значення станів реверсивного лічильника у фібоначчівій системі числення при зміні режиму лічби представлено в Таблиці 3.

5

Таблиця 3

Коди послідовних станів реверсивного лічильника у згорнуто-розгорнутому коді Фібоначчі при зміні режиму лічби

| P | Код | | | | | | | № стану | P | Код | | | | | | | № стану |
|---|-----|----|----|----|----|----|----|---------|---|-----|----|----|----|----|----|----|---------|
| | Q7 | Q6 | Q5 | Q4 | Q3 | Q2 | Q1 | | | Q7 | Q6 | Q5 | Q4 | Q3 | Q2 | Q1 | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 26 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 27 |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 2 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 28 |
| 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 3 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 29 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 4 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 30 |
| 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 5 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 31 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 6 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 32 |
| 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 7 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 33 |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 8 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 34 |
| 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 9 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 35 |
| 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 10 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 36 |
| 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 11 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 37 |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 12 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 38 |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 13 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 39 |
| 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 14 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 40 |
| 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 15 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 41 |
| 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 16 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 42 |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 17 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 43 |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 18 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 44 |
| 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 19 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 45 |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 20 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 46 |
| 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 21 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 47 |
| 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 22 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 48 |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 23 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 49 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 24 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 50 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 25 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 51 |

Принцип роботи реверсивного лічильника у згорнуто-розгорнутому коді Фібоначчі полягає в наступному: перед початком роботи на вхід P режиму реверсивної лічби подається нульовий сигнал при прямій лічбі або одиничний сигнал при оберненій лічбі. У режимі прямої лічби на вхід P режиму реверсивної лічби подається нульовий сигнал, який надходить на перші входи перших логічних елементів 1.2-6.2 ВИКЛЮЧНЕ АБО і перші входи других логічних елементів

10

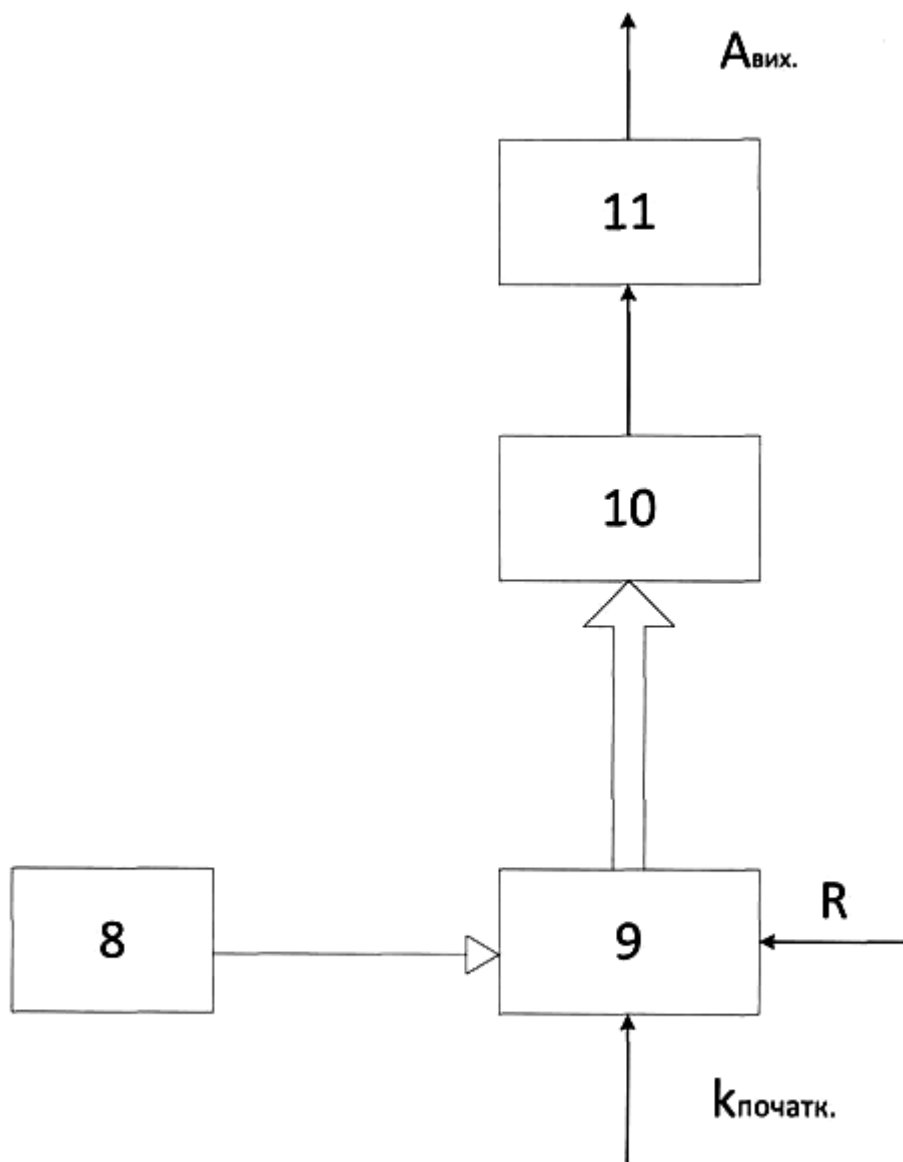
2.3-7.3 ВИКЛЮЧНЕ АБО. Дані логічні елементи виконують роль керованих інверторів. Нульовий сигнал на перших входах цих елементів означає, що сигнал з їх других входів надходить на виходи без інвертування. На вхід ПВ встановлення у початковий стан подається нульовий сигнал, який надходить на R-входи лічильних тригерів 1.1-7.1 розрядів з першого по сьомий і встановлює їх у нульовий стан. Нульові сигнали з прямих виходів лічильних тригерів 1.1-6.1 розрядів з першого по шостий надходять на другі входи перших логічних елементів 1.2-6.2 ВИКЛЮЧНЕ АБО розрядів з першого по шостий. Одиничні сигнали з інверсних виходів лічильних тригерів 2.1-7.1 розрядів з другого по сьомий надходять на другі входи других логічних елементів 2.3-6.3 ВИКЛЮЧНЕ АБО розрядів з другого по шостий та логічного елемента 7.1. ВИКЛЮЧНЕ АБО сьомого розряду. На виходах других логічних елементів 2.3-6.3 ВИКЛЮЧНЕ АБО розрядів з другого по шостий та логічного елемента 7.1. ВИКЛЮЧНЕ АБО сьомого розряду встановлюються одиничні сигнали, які надходять на перший вхід логічного елемента 2.4 2I-НІ другого розряду, перші входи перших логічних елементів 3.4-5.4 3I-НІ розрядів з першого по п'ятий, логічних елементів 6.4, 7.3 3I-НІ шостого і сьомого розрядів. На виході логічного елемента 1.2 ВИКЛЮЧНЕ АБО першого розряду, перших логічних елементів 2.2-6.2 ВИКЛЮЧНЕ АБО розрядів з другого по шостий встановлюються нульові сигнали, які надходять на другі входи логічних елементів 1.4, 2.4 2I-НІ першого і другого розрядів, другі і треті входи перших логічних елементів 3.4-5.4 розрядів з першого по п'ятий та логічних елементів 6.4, 7.3 3I-НІ шостого і сьомого розрядів. На виходах логічних елементів 1.3, 2.4 2I-НІ першого і другого розрядів, перших логічних елементів 3.4-5.4 розрядів з першого по п'ятий та логічних елементів 6.4, 7.3 3I-НІ шостого і сьомого розрядів встановлюються одиничні сигнали, які поступають на всі входи логічних елементів 1.4 2I першого розряду, 2.5 3I-НЕ другого розряду, 6.5 2I-НЕ шостого розряду, 7.4 НЕ сьомого розряду та других логічних елементів 3.5-5.5 3I-НЕ розрядів з третього по п'ятий. На виході логічного елемента 1.4 2I першого розряду встановлюється одиничний сигнал, який поступає на Т-вхід лічильного тригера першого розряду. На виходах логічних елементів 2.5 3I-НІ другого розряду, 6.5 2I-НІ шостого розряду, 7.4 НІ сьомого розряду та других логічних елементів 3.5-5.5 3I-НІ розрядів з третього по п'ятий встановлюються нульові сигнали, які поступають на Т-входи лічильних тригерів 2.1-7.1 розрядів з другого по сьомий. Перший тактовий імпульс надходить зі входу ТІ тактових імпульсів на С-входи лічильних тригерів 1.1-7.1 розрядів з першого по сьомий. Лічильний тригер 1.1 першого розряду встановлюється в одиничний стан. Лічильні тригери 2.1-7.1 розрядів з другого по сьомий встановлюються у нульовий стан.

Подальша робота пристрою у режимі прямої лічби пояснюється часовими діаграмами на Фіг. 3, а при зміні режиму лічби з прямого на обернений - часовими діаграмами на Фіг. 4.

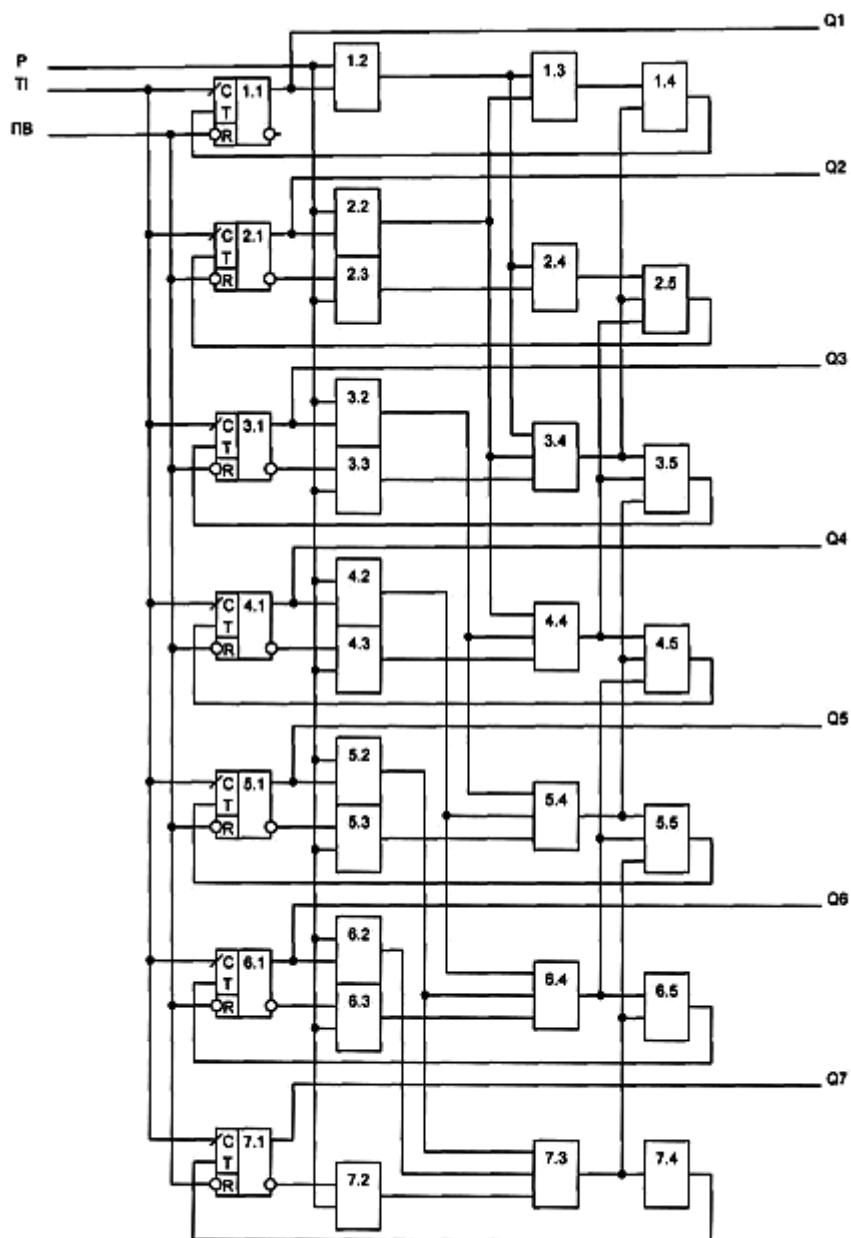
ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Цифро-аналоговий перетворювач, який містить пристрій для підсумовування еталонних величин, генератор тактових імпульсів, цифро-аналоговий перетворювач в коді Фібоначчі, лічильник у згорнуто-розгорнутому коді Фібоначчі, причому вхід цифро-аналогового перетворювача з'єднано з входом початкового встановлення лічильника в згорнуто-розгорнутому коді Фібоначчі, виходи лічильника у згорнуто-розгорнутому коді Фібоначчі з'єднано з входами цифро-аналогового перетворювача в р-коді Фібоначчі, вихід генератора тактових імпульсів з'єднано з входом тактових імпульсів лічильника у згорнуто-розгорнутому коді Фібоначчі, вихід цифро-аналогового перетворювача в р-коді Фібоначчі з'єднано з суматором еталонних величин, вихід суматора еталонних величин з'єднано з виходом цифро-аналогового перетворювача, крім того, лічильник у згорнуто-розгорнутому коді Фібоначчі містить вхід встановлення у початковий стан, вхід тактових імпульсів, вхід режиму реверсивної лічби, N інформаційних виходів та у кожному розряді містить лічильний тригер, перший і другий розряди містять логічний елемент 2I-НІ, а кожний розряд лічильника, крім першого, другого, (N-1)-го та N-го, містить перший та другий логічні елементи 3I-НІ, який відрізняється тим, що введено вхід режиму реверсивної лічби, а як лічильник у згорнуто-розгорнутому коді Фібоначчі використано реверсивний лічильник у згорнуто-розгорнутому коді Фібоначчі, причому вхід режиму реверсивної лічби цифро-аналогового перетворювача з'єднаний з входом режиму реверсивної лічби лічильника, крім того, реверсивний лічильник у згорнуто-розгорнутому коді Фібоначчі містить вхід режиму реверсивної лічби, а також (N-1)-й розряд містить логічний елемент 2I-НІ, (N-1)-й та N-й розряди містять логічний елемент 3I-НІ, N-й розряд містить логічний елемент НІ, перший і N-й розряд містить логічний елемент ВИКЛЮЧНЕ АБО, кожний розряд, крім першого і N-го, містить перший і другий логічний елементи ВИКЛЮЧНЕ АБО, перший розряд містить логічний елемент 2I, другий розряд містить логічний елемент 3I-НІ, причому вхід встановлення у

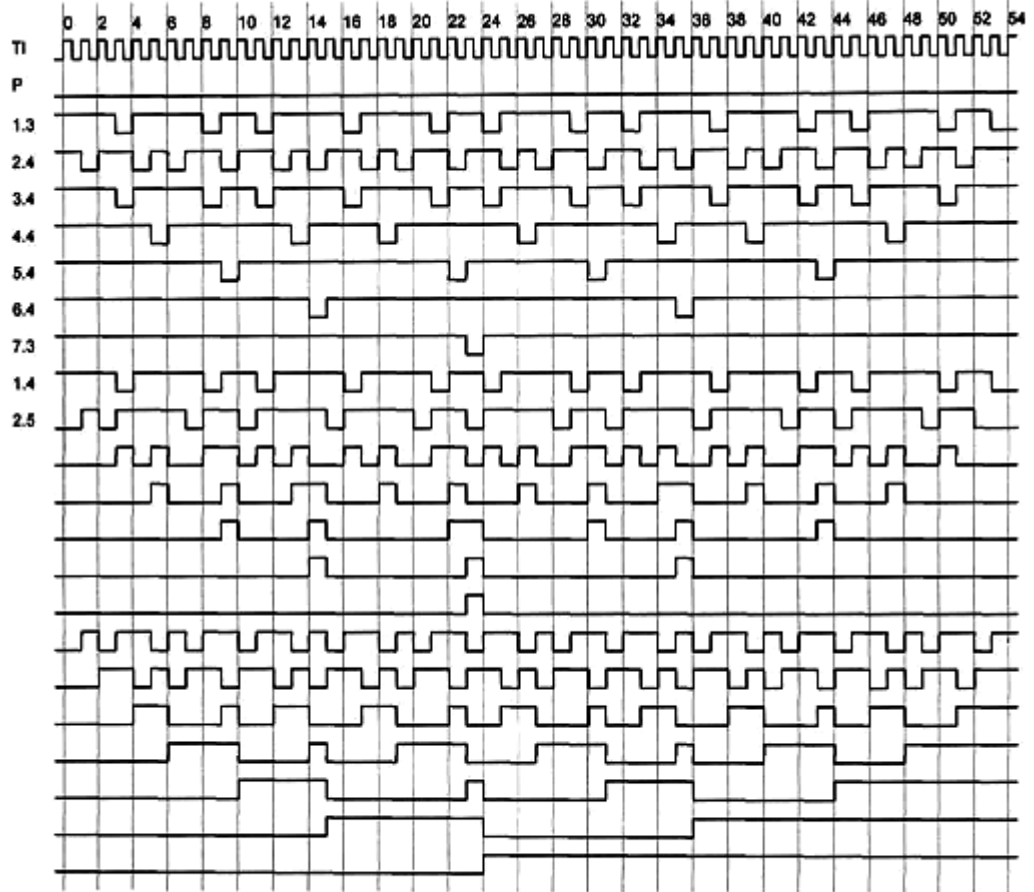
початковий стан лічильника з'єднаний зі входами R встановлення у початковий стан лічильних тригерів з першого по N-й розряди, вхід тактових імпульсів лічильника з'єднаний зі входами С синхронізації лічильних тригерів з першого по N-й розряди, прямий вихід кожного i-го лічильного тригера з першого по N-й розряди з'єднаний з i-им інформаційним виходом лічильника, вихід першого логічного елемента 3I-NI кожного i-го розряду з третього по (N-2)-й з'єднаний з першим входом другого логічного елемента 3I-NI i-го розряду, вихід якого з'єднаний з Т-входом лічильного тригера i-го розряду, вихід першого логічного елемента 3I-NI кожного i-го розряду, з четвертого по (N-2)-й, з'єднаний з другим входом другого логічного елемента 3I-NI (i-i)-го розряду, вихід першого логічного елемента 3I-NI кожного i-го розряду, з п'ятого по (N-2)-й, з'єднаний з третім входом другого логічного елемента 3I-NI (i-2)-го розряду, вихід логічного елемента 3I-NI (N-1)-го розряду з'єднаний з третім входом другого логічного елемента 3I-NI (N-3)-го розряду, другим входом логічного другого елемента 3I-NI (N-2)-го розряду та першим входом логічного елемента 2I-NI(N-1)-го розряду, другим вхід якого з'єднаний з виходом логічного елемента 3I-NI N-го розряду, третім входом другого логічного елемента 3I-NI (N-2)-го розряду та входом логічного елемента NI N-го розряду, а вихід з'єднаний з Т-входом лічильного тригера (N-1)-го розряду, вихід логічного елемента NI N-го розряду з'єднаний з Т-входом лічильного тригера N-го розряду, вхід режиму реверсивної лічби з'єднаний з першими входами всіх логічних елементів ВИКЛЮЧНЕ АБО, всіх перших логічних елементів ВИКЛЮЧНЕ АБО та всіх других логічних елементів ВИКЛЮЧНЕ АБО, прямий вихід лічильного тригера першого розряду з'єднаний з другим входом логічного елемента ВИКЛЮЧНЕ АБО першого розряду, прямий вихід кожного i-го лічильного тригера з другого по п'ятий розряди з'єднаний з другим входом першого логічного елемента ВИКЛЮЧНЕ АБО i-го розряду інверсний вихід кожного i-го лічильного тригера з другого по п'ятий розряди з'єднаний з другим входом другого логічного елемента ВИКЛЮЧНЕ АБО i-го розряду, інверсний вихід лічильного тригера N-го розряду з'єднаний з другим входом логічного елемента ВИКЛЮЧНЕ АБО N-го розряду, вихід другого логічного елемента ВИКЛЮЧНЕ АБО кожного i-го розряду, з третього по (N-2)-й, з'єднаний з першим входом першого логічного елемента 3I-NI i-го розряду, вихід другого логічного елемента ВИКЛЮЧНЕ АБО (N-1)-го розряду з'єднаний з першим входом логічного елемента 3I-NI (N-1)-го розряду, вихід логічного елемента ВИКЛЮЧНЕ АБО N-го розряду з'єднаний з першим входом логічного елемента 3I-NI N-го розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО кожного i-го розряду, з другого по (N-4)-й, з'єднаний з другим входом першого логічного елемента 3I-NI (i+1)-го розряду та третім входом першого логічного елемента 3I-NI (i+2)-го розряду, вихід логічного елемента ВИКЛЮЧНЕ АБО першого розряду з'єднаний з першим входом логічного елемента 2I-NI першого розряду, першим входом логічного елемента 2I-NI другого розряду та третім входом першого логічного елемента 3I-NI третього розряду, вихід другого логічного елемента ВИКЛЮЧНЕ АБО другого розряду з'єднаний з другим входом логічного елемента 2I-NI другого розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО другого розряду з'єднаний з другим входом логічного елемента 2I-NI першого розряду, вихід якого з'єднаний з першим входом логічного елемента 2I першого розряду, другим вхід якого з'єднаний з виходом першого логічного елемента 3I-NI третього розряду та першим входом логічного елемента 3I-NI другого розряду, а вихід з'єднаний з Т-входом лічильного тригера першого розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО (N-3)-го розряду з'єднаний з другим входом першого логічного елемента 3I-NI (N-2)-го розряду та другим входом логічного елемента 3I-NI (N-1)-го розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО (N-2)-го розряду з'єднаний з третім входом логічного елемента 3I-NI (N-1)-го розряду та другим входом логічного елемента 3I-NI N-го розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО (N-1)-го розряду з'єднаний з третім входом логічного елемента 3I-NI N-го розряду, вихід логічного елемента 2I-NI другого розряду з'єднаний з другим входом логічного елемента 3I-NI другого розряду, третій вхід якого з'єднаний з виходом першого логічного елемента 3I-NI четвертого розряду, а вихід з'єднаний з Т-входом лічильного тригера другого розряду.



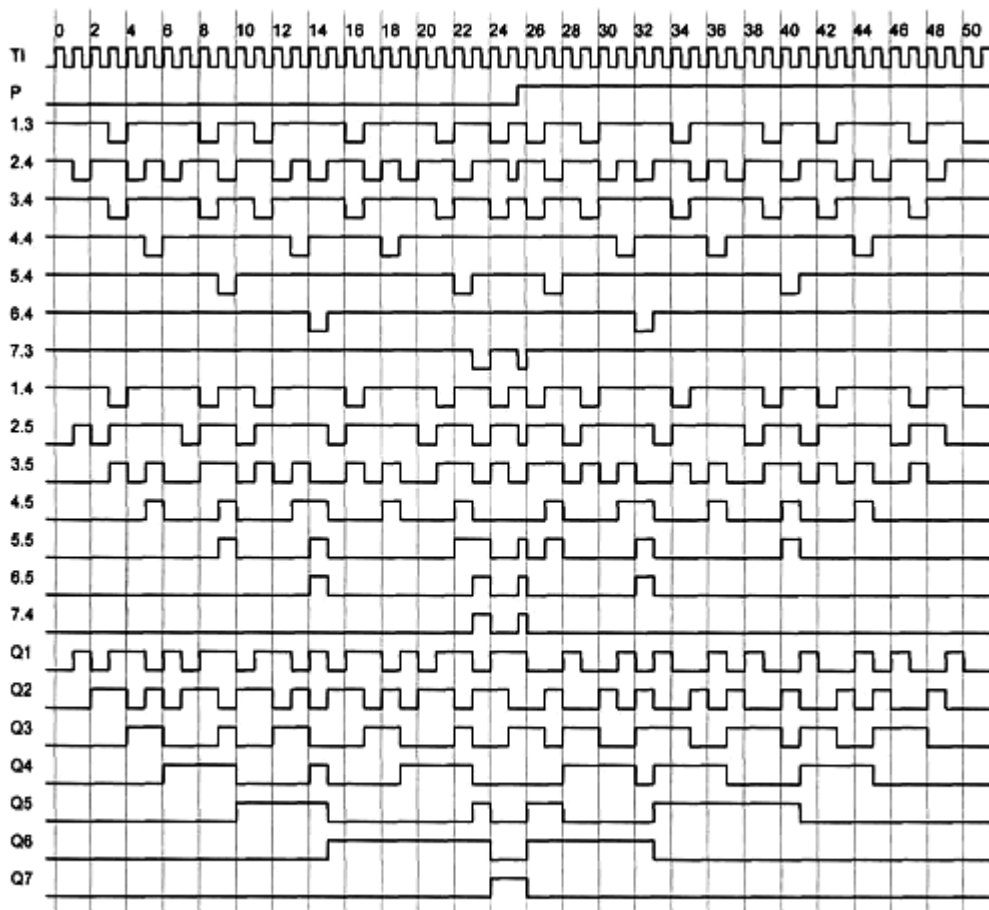
Фиг. 1



Фиг. 2



Фиг. 3



Фиг. 4

Комп'ютерна верстка Т. Вахричева

Державна служба інтелектуальної власності України, вул. Василя Липківського, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601