



СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

АВТОРСКОЕ СВИДЕТЕЛЬСТВО

№ 1141396

На основании полномочий, предоставленных Правительством СССР, Государственный комитет СССР по делам изобретений и открытий выдал настоящее авторское свидетельство на изобретение:
"Устройство для развертки ρ -кодов Фибоначчи"

Автор (авторы): Стахов Алексей Петрович, Лужецкий Владимир Андреевич, Черняк Александр Иванович и Соболева Ирина Сергеевна

Заявитель: **ВИННИЦКИЙ ПОЛИТЕХНИЧЕСКИЙ ИНСТИТУТ И СПЕЦИАЛЬНОЕ КОНСТРУКТОРСКО-ТЕХНОЛОГИЧЕСКОЕ БЮРО "МОДУЛЬ" ВИННИЦКОГО ПОЛИТЕХНИЧЕСКОГО ИНСТИТУТА**

Заявка № **3643108**

Приоритет изобретения **19 сентября 1983г.**

Зарегистрировано в Государственном реестре изобретений СССР

22 октября 1984г.

Действие авторского свидетельства распространяется на всю территорию Союза ССР.

Председатель Комитета

Начальник отдела



ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 3643108/24-24
- (22) 19.09.83
- (46) 23.02.85. Бюл. № 7
- (72) А.П.Стахов, В.А.Лужецкий,
А.И.Черняк и И.С.Соболева
- (53) 681.325(088.8)
- (56) 1. Авторское свидетельство СССР
№ 842782, кл. G 06 F 5/00, 1979.
- 2. Авторское свидетельство СССР
№ 1019434, кл. G 06 F 5/00, 1981
(прототип).

(54)(57) УСТРОЙСТВО ДЛЯ РАЗВЕРТКИ p -КОДОВ ФИБОНАЧЧИ, содержащее n блоков развертки, где n - число разрядов входного кода, прямой и инверсный информационные входы которых являются соответственно прямыми и инверсными входами устройства, выходы которого соединены с прямыми выходами блоков развертки, причем инверсный выход l -го ($l=1 \div n$) блока развертки соединен с входом блокировки переноса $(l+1)$ -го блока развертки и инверсным входом переноса $(l+2)$ -го блока развертки, выход переноса l -го блока развертки соединен с первым установочным входом $(l-1)$ -го блока развертки и с вторым установочным входом $(l-2)$ -го блока развертки, тактирующие входы всех блоков развертки соединены с тактирующим входом устройства, о т л и ч а ю щ е е с я тем, что, с целью повышения быстродействия, в нем выход переноса l -го блока развертки соединен с пря-

мым входом переноса $(l+p+1)$ -го блока развертки, вход логического нуля устройства соединен с прямыми входами переноса первого и второго блоков развертки, первым установочным входом первого блока развертки, вторыми установочными входами n -го и $(n-1)$ -го блоков развертки и первым установочным входом n -го блока развертки, вход логической единицы устройства соединен с инверсным входом переноса и входом блокировки переноса первого блока развертки, причем каждый блок развертки содержит триггер, первый, второй и третий элементы ИСКЛЮЧАЮЩЕЕ ИЛИ, первый и второй элементы ИЛИ и элемент И, выход которого является выходом переноса блока развертки и соединен с первым входом второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, второй вход которого соединен с вторым установочным входом блока развертки и соединен с первым входом первого элемента ИЛИ, второй вход которого соединен с прямым выходом триггера, являющегося прямым выходом блока развертки, и с первым входом первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, второй вход которого является первым установочным входом блока развертки, прямой и инверсный информационные и тактирующий входы которого соединены соответственно с входом установки единицы, входом установки нуля и тактовым входом триггера, инверсный выход которого является инверсным выходом блока развертки, прямой и инверсный входы переноса которого соединены соответственно с первым и вторым входами второго элемента

(19) SU (11) 1141396 A

ИЛИ, выход которого соединен с первым входом элемента И, второй вход которого соединен с выходом первого элемента ИЛИ, а третий вход элемента И является входом блокировки переноса блока развертки, выходы первого и

второго элементов ИСКЛЮЧАЮЩЕЕ ИЛИ соединены соответственно с первым и вторым входами третьего элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, выход которого соединен с информационным входом триггера:

1

Изобретение относится к вычислительной технике и может быть использовано для развертки r -кодов Фибоначчи.

Известно устройство для приведения r -кодов Фибоначчи к минимальной форме, содержащее n однотипных блоков свертки, причем каждый блок свертки содержит первый, второй установочные входы, третий, четвертый информационные входы, пятый управляющий вход, шестой вход для занесения исходной информации, седьмой вход сквозного переноса, первый выход, второй выход, являющийся информационным выходом устройства [1].

Недостаток данного устройства состоит в невозможности выполнения операции развертки r -кодов Фибоначчи.

Наиболее близким к изобретению по технической сущности является устройство для приведения r -кодов Фибоначчи к минимальной форме, содержащее n однотипных блоков свертки, причем первый выход l -го блока свертки соединен с первым входом $(l-1)$ -го блока свертки, вторым входом $(l-2)$ -го блока свертки, второй выход l -го блока свертки соединен с третьим входом $(l+1)$ -го блока свертки, четвертым входом $(l+2)$ -го блока свертки и является l -м информационным выходом устройства. Блок свертки в данном устройстве выполняет также функцию развертки, поэтому в дальнейшем будем именовать его блоком развертки [2].

Недостатком известного устройства является низкое быстродействие из-за значительного времени развертки r -кодов Фибоначчи. Это определяется тем, что процесс приведения к максимальной форме состоит из ряда последовательно выполняемых операций развертки над группой из трех разрядов.

2

Целью изобретения является повышение быстродействия устройства для развертки r -кодов Фибоначчи.

Поставленная цель достигается тем, что в устройстве для развертки r -кодов Фибоначчи, содержащем n блоков развертки, где n - число разрядов входного кода, прямой и инверсный информационные входы которых являются соответственно прямыми и инверсными входами устройства, выходы которого соединены с прямыми выходами блоков развертки, причем инверсный выход l -го ($l=1+n$) блока развертки соединен с входом блокировки переноса $(l+1)$ -го блока развертки и инверсным входом переноса $(l+2)$ -го блока развертки, выход переноса l -го блока развертки соединен с первым установочным входом $(l-1)$ -го блока развертки и с вторым установочным входом $(l-2)$ -го блока развертки, тактирующие входы всех блоков развертки соединены с тактирующим входом устройства, выход переноса l -го блока развертки соединен с прямым входом переноса $(l+r+1)$ -го блока развертки, вход логического нуля устройства соединен с прямыми входами переноса первого и второго блоков развертки, первым установочным входом первого блока развертки, вторыми установочными входами n -го и $(n-1)$ -го блоков развертки и первым установочным входом n -го блока развертки, вход логической единицы устройства соединен с инверсным входом переноса и входом блока развертки, причем каждый блок развертки содержит триггер, первый, второй и третий элементы ИСКЛЮЧАЮЩЕЕ ИЛИ, первый и второй элементы ИЛИ и элемент И, выход кото-

рого является выходом переноса блока развертки и соединен с первым входом второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, второй вход которого соединен с вторым установочным входом блока развертки и соединен с первым входом первого элемента ИЛИ, второй вход которого соединен с прямым выходом триггера, являющегося прямым выходом блока развертки, и с первым входом первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, второй вход которого является первым установочным входом блока развертки, прямой и инверсный информационные и тактирующий входы которого соединены соответственно с входом установки единицы, входом установки нуля и тактовым входом триггера, инверсный выход которого является инверсным выходом блока развертки, прямой и инверсный входы переноса которого соединены соответственно с первым и вторым входами второго элемента ИЛИ, выход которого соединен с первым входом элемента И, второй вход которого соединен с выходом первого элемента ИЛИ, а третий вход элемента И является входом блокировки переноса блока развертки, выходы первого и второго элементов ИСКЛЮЧАЮЩЕЕ ИЛИ соединены соответственно с первым и вторым входами третьего элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, выход которого соединен с информационным входом триггера.

На фиг. 1 приведена блок-схема предлагаемого устройства для $n = 6$; на фиг. 2 - блок-схема блока развертки.

Устройство содержит n блоков 1 развертки, каждый из которых имеет первый 2 и второй 3 установочные входы, вход 4 блокировки переноса, инверсный 5 и прямой 6 входы переноса, прямой 7 и инверсный 8 информационные входы, тактирующий вход 9, выход 10 переноса, прямой 11 и инверсный 12 выходы.

В блок 1 развертки (фиг. 2) входит триггер 13, предназначенный для записи и хранения исходного и развернутого кода, первый элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 14, второй элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 15, третий элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 16, предназначенные для формирования сигнала на информационном входе 17 триггера 13, первый элемент ИЛИ 18, второй элемент ИЛИ 19, эле-

мент И 20, предназначенные для формирования сигнала развертки в соответствующем блоке 1 развертки.

Устройство работает следующим образом.

Сигналы, поступающие на входы 7 и 8 блоков 1 развертки всех разрядов, устанавливают триггеры 13 в состоянии, соответствующие поданному коду. Пусть в исходном состоянии в триггерах 13 блоков 1.6, 1.5, 1.4, 1.3, 1.2, 1.1 развертки записан код 100000. Нулевой сигнал через входы 2 и 3 блока 1.6 развертки, вход 3 блока 1.3 развертки, вход 6 блока 1.2 развертки, вход 6 блока 1.1 развертки поступает соответственно на первые входы элементов ИСКЛЮЧАЮЩЕЕ ИЛИ 14, ИЛИ 18 блока 1.6 развертки, первый вход элемента ИЛИ 18 блока 1.5 развертки, первые входы элементов ИЛИ 19 блоков 1.2 и 1.1 развертки.

Единичный сигнал через вход 5 блока 1.2 развертки и входы 4 и 5 блока 1.1 развертки поступает соответственно на второй вход элемента ИЛИ 19 блока 1.2 развертки, второй вход элемента ИЛИ 19 и первый вход элемента И 20 блока 1.1 развертки.

Единичный сигнал с прямого выхода триггера 13 блока 1.6 развертки поступает на второй вход элемента ИЛИ 18, второй вход элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 14 и на выход 11 блока 1.6 развертки. Единичный сигнал с выхода элемента ИЛИ 18 блока 1.6 развертки, на второй вход которого через элемент ИЛИ 19, вход 5 блока 1.6 развертки, выход 12 блока 1.4 развертки поступает единичный сигнал с инверсного выхода триггера 13 блока 1.4 развертки. На третий вход элемента И 20 блока 1.6 развертки через вход 4 блока 1.6 развертки, выход 12 блока 1.5 развертки поступает единичный сигнал с инверсного выхода триггера 13 блока 1.5 развертки.

Единичный сигнал с выхода элемента И 20 блока 1.6 развертки поступает на первый вход элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 15 блока 1.6, развертки, через выход 10 блока 1.6 развертки - на входы 2 и 3 блоков 1.5 и 1.4 разверток соответственно. На второй вход элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 15 блока 1.6 развертки с входа 3 блока 1.6 развертки поступает нулевой сигнал. С входа 3 блока 1.4 развертки через

элемент ИЛИ 18 блока 1.4 развертки на первый вход элемента И 20 блока 1.4 развертки поступает единичный сигнал. На второй вход элемента И 20 блока 1.4 развертки через элемент ИЛИ 19 поступает единичный сигнал через вход 5 блока 1.4 развертки, выход 12 блока 1.2 развертки с инверсного выхода триггера 13 блока 1.2 развертки. На третий вход элемента И 20 блока 1.4 развертки через вход 4 блока развертки, выход 12 блока 1.3 развертки поступает единичный сигнал с инверсного выхода триггера 13 блока 1.3 развертки. Единичный сигнал с выхода элемента И 20 блока 1.4 развертки поступает первый вход элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 15 блока 1.4 развертки, через выход 10 блока 1.4 развертки - на входы 2 и 3 блоков 1.3 и 1.2 соответственно. На второй вход элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 15 блока 1.4 развертки поступает единичный сигнал с входа 3 блока 1.4 развертки.

Единичный сигнал с входа 3 блока 1.2 развертки через элемент ИЛИ 18 блока 1.2 развертки поступает на первый вход элемента И 20 блока 1.2 развертки, на второй и третий входы которого поступают единичные сигналы через элемент ИЛИ 19 с входа 5 блока 1.2 развертки и с входа 3 блока 1.2 развертки соответственно. Единичный сигнал с выхода элемента И 20 блока 1.2 развертки поступает на первый вход элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 15 блока 1.2 развертки, через выход 10 блока 1.2 развертки - на вход 2 блока 1.1 развертки. На вторые входы элементов ИСКЛЮЧАЮЩЕЕ ИЛИ 15 и 14 поступают единичный сигнал с входа 3 блока 1.2 развертки и нулевой сигнал с прямого выхода триггера 13 блока 1.2 развертки.

Единичные сигналы на входах элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 16 блока 1.6 развертки, нулевые сигналы на входах элементов ИСКЛЮЧАЮЩЕЕ ИЛИ 16 блоков 1.4 и 1.2 развертки вызывают появление на выходах названных элементов нулевые сигналы, поступающие на информационные входы 17 триггеров 13 блоков 1.6, 1.4, 1.2 развертки.

Нулевые сигналы на входах элементов ИЛИ 18 блоков 1.5, 1.3 и 1.1 развертки вызывают появление нулевых сигналов на выходах элементов

И 20, которые поступают на входы элементов ИСКЛЮЧАЮЩЕЕ ИЛИ 15 блоков 1.5, 1.3 и 1.1 развертки.

Нулевые сигналы на первых входах и единичные сигналы на вторых входах элементов ИСКЛЮЧАЮЩЕЕ ИЛИ 16 блоков 1.5, 1.3 и 1.1 развертки вызывают появление на выходах данных элементов единичных сигналов, поступающих на информационные входы 17 триггеров 13 соответствующих блоков 1 развертки.

При поступлении сигнала на тактирующие входы 9 триггеров 13 блоков 1.6, 1.5, 1.4, 1.3, 1.2 и 1.1 развертки на прямых выводах данных триггеров появляются сигналы, соответствующие сигналам на их информационных входах 17. Устройство из состояния 100000 переходит в состояние 010101.

Для пояснения работы устройства при развертке вводят следующие обозначения:

S_{ℓ} - сигнал с выхода 4 блока 1 развертки ℓ -го разряда;

A_{ℓ} - сигнал с выхода третьего элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 16 блока 1 развертки ℓ -го разряда;

Q_{ℓ} - сигнал с прямого выхода триггера 13 блока 1 развертки ℓ -го разряда.

В соответствии с принятыми обозначениями формирование сигналов S и A происходит по следующим уравнениям

$$S_{\ell} = (S_{\ell+2} + Q_{\ell}) \bar{S}_{\ell-1} (S_{\ell-2} + \bar{Q}_{\ell-2});$$

$$A = (S_{\ell} \oplus S_{\ell+2}) \oplus (S_{\ell-1} \oplus Q_{\ell}).$$

Таблица иллюстрирует процесс развертки.

Предлагаемое устройство позволяет получать развернутую форму исходного r -кода Фибоначчи за один такт.

Максимальное время приведения кода к развернутой форме будет равно

$$T_{\text{макс}} = T1_{\text{макс}} + T2,$$

где $T1_{\text{макс}}$ - максимальное время распространения сигнала развертки;

$T2$ - время формирования развернутого кода;

$$T1_{\text{макс}} = \frac{n}{2} 2\tau_{\text{иск. или}};$$

$$T2 = \tau_{\text{и}} + \tau_{\text{или}} + \tau_{\text{тр}};$$

где $\tau_{\text{ИСКЛ. ИЛИ}}$, $\tau_{\text{И}}$, $\tau_{\text{ТР}}$ - времена переключений соответственно элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, И, ИЛИ и триггера.

Причем $\tau_{\text{ИСКЛ. ИЛИ}} \approx \tau_{\text{И}} \approx \tau_{\text{ИЛИ}} = \tau_{\text{ЛЭ}}$;

$\tau_{\text{ТР}} \approx 2\tau_{\text{ЛЭ}}$, поэтому

$$T1_{\text{макс}} = \frac{n}{2} \cdot 2\tau_{\text{ЛЭ}} = n\tau_{\text{ЛЭ}};$$

$$T2 = 4\tau_{\text{ЛЭ}}.$$

Следовательно,

$$T_{\text{макс}} = n\tau_{\text{ЛЭ}} + 4\tau_{\text{ЛЭ}} = (n+4)\tau_{\text{ЛЭ}}.$$

Для 20 разрядов это время составит $T_{\text{макс}} = 24\tau_{\text{ЛЭ}}$.

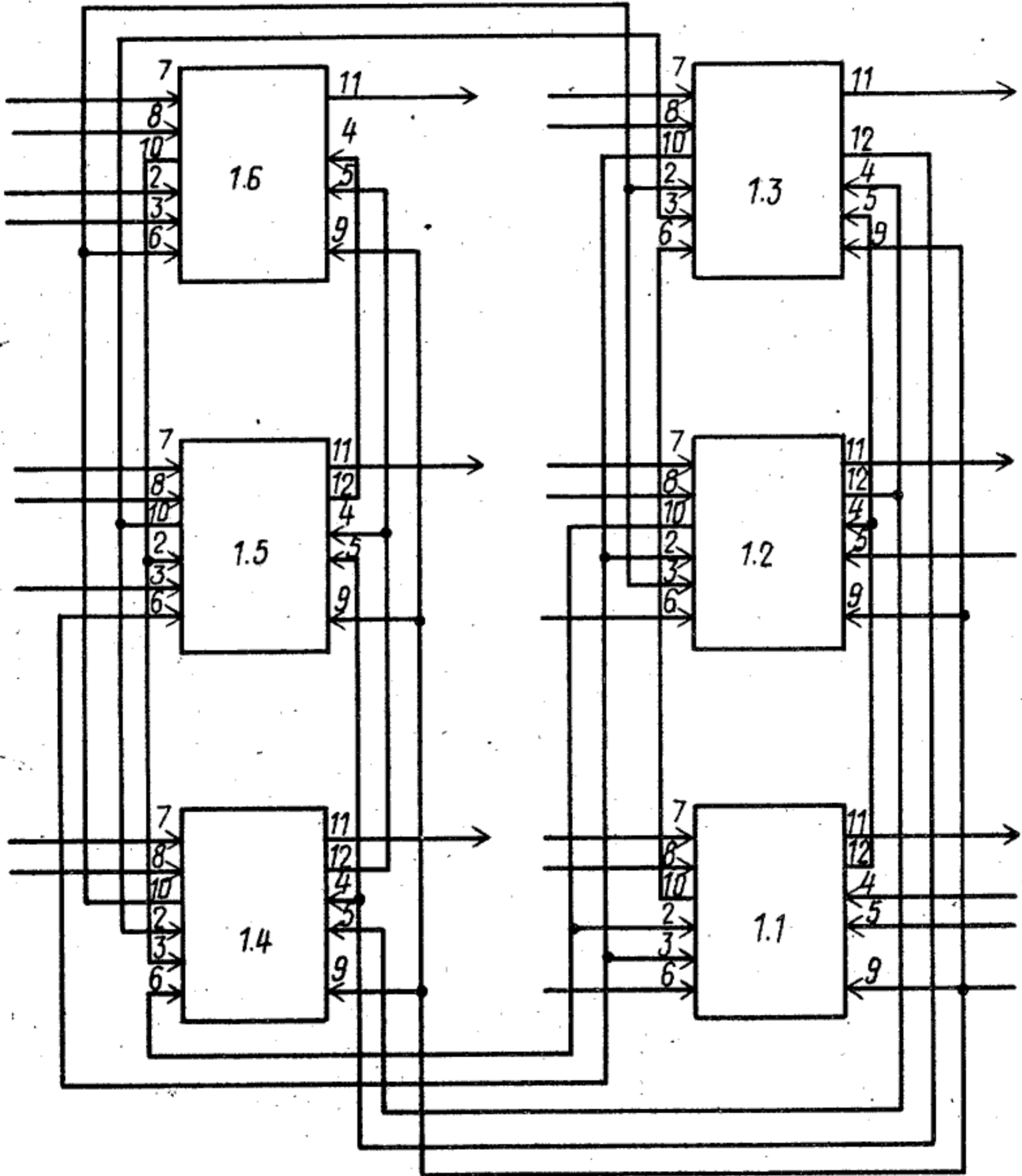
В известном устройстве максимальное время приведения кода к развернутой форме составляет

$$T_{\text{макс}} = \frac{n}{2} (\tau_{\text{ИЛИ}} + 2\tau_{\text{И}} + \tau_{\text{ТР}}) \approx \frac{5}{2} n\tau_{\text{ЛЭ}}.$$

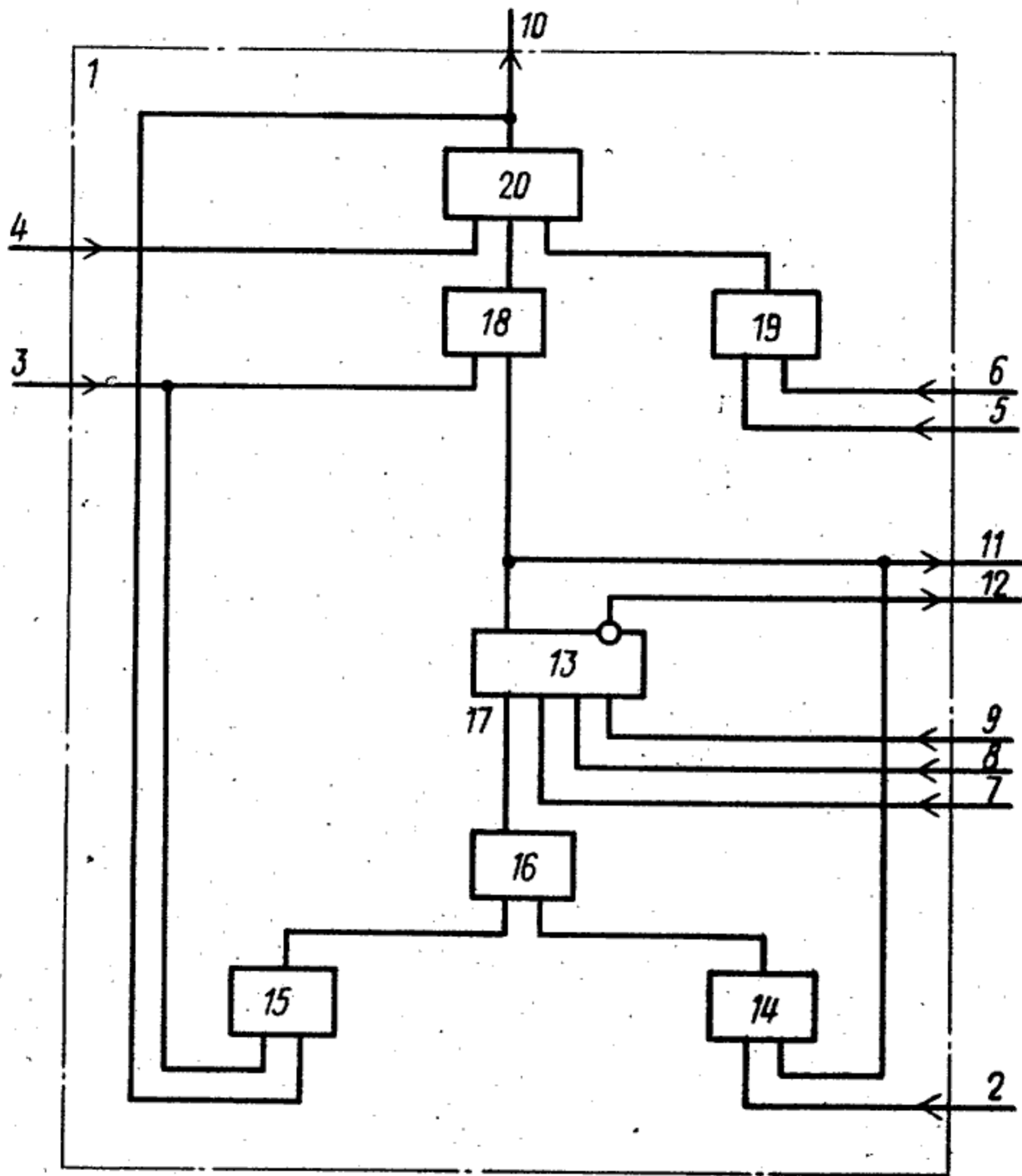
Для 20 разрядов это время составит $T_{\text{макс}} = 50\tau_{\text{ЛЭ}}$.

Таким образом, быстродействие предлагаемого устройства, имеющего описанные связи и блоки, более чем в два раза превышает быстродействие известного устройства вследствие наличия сигналов выделения ситуаций для выполнения операций развертки, которые формируются по цепям сквозного переноса в отличие от известного устройства, в котором процесс развертки кода состоит из ряда последовательно выполняемых операций развертки над группами из трех разрядов. Кроме того, предлагаемое устройство обладает возможностью осуществления контроля над формированием сигналов S_p , который основывается на том, что при правильной работе появление сигналов в двух соседних блоках 1 развертки невозможно, что также является преимуществом предлагаемого устройства.

Номер блока развертки	1,6	1,5	1,4	1,3	1,2	1,1
Вес разряда	8	5	3	2	1	1
Исходный код	1	0	0	0	0	0
Распространения сигналов развертки	1				1	
Результат	0	1	0	1	0	1



Фиг. 1



Фиг. 2

Составитель М. Аршавский
 Редактор В. Иванова Техред М. Кузьма Корректор Г. Решетник

Заказ 496/36 Тираж 710 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4