



СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

АВТОРСКОЕ СВИДЕТЕЛЬСТВО

№ 1399726

На основании полномочий, предоставленных Правительством СССР, Государственный комитет СССР по делам изобретений и открытий выдал настоящее авторское свидетельство на изобретение:
"Параллельный накапливающий сумматор"

Автор (авторы): Стахов Алексей Петрович, Квитка Николай Андреевич и Лужецкий Владимир Андреевич

Заявитель: **ВИННИЦКИЙ ПОЛИТЕХНИЧЕСКИЙ ИНСТИТУТ**

Заявка № 4155165 Приоритет изобретения 2 декабря 1986г.

Зарегистрировано в Государственном реестре изобретений СССР

1 февраля 1988г.

Действие авторского свидетельства распространяется на всю территорию Союза ССР.

Председатель Комитета

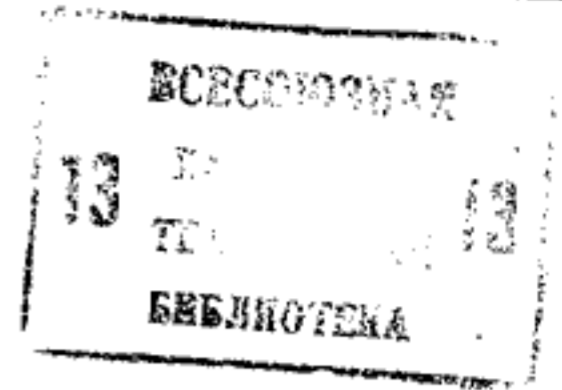
Начальник отдела

A handwritten signature in black ink, appearing to read "Зиневич", is written over a red circular stamp. The stamp has a serrated edge and contains some illegible text.



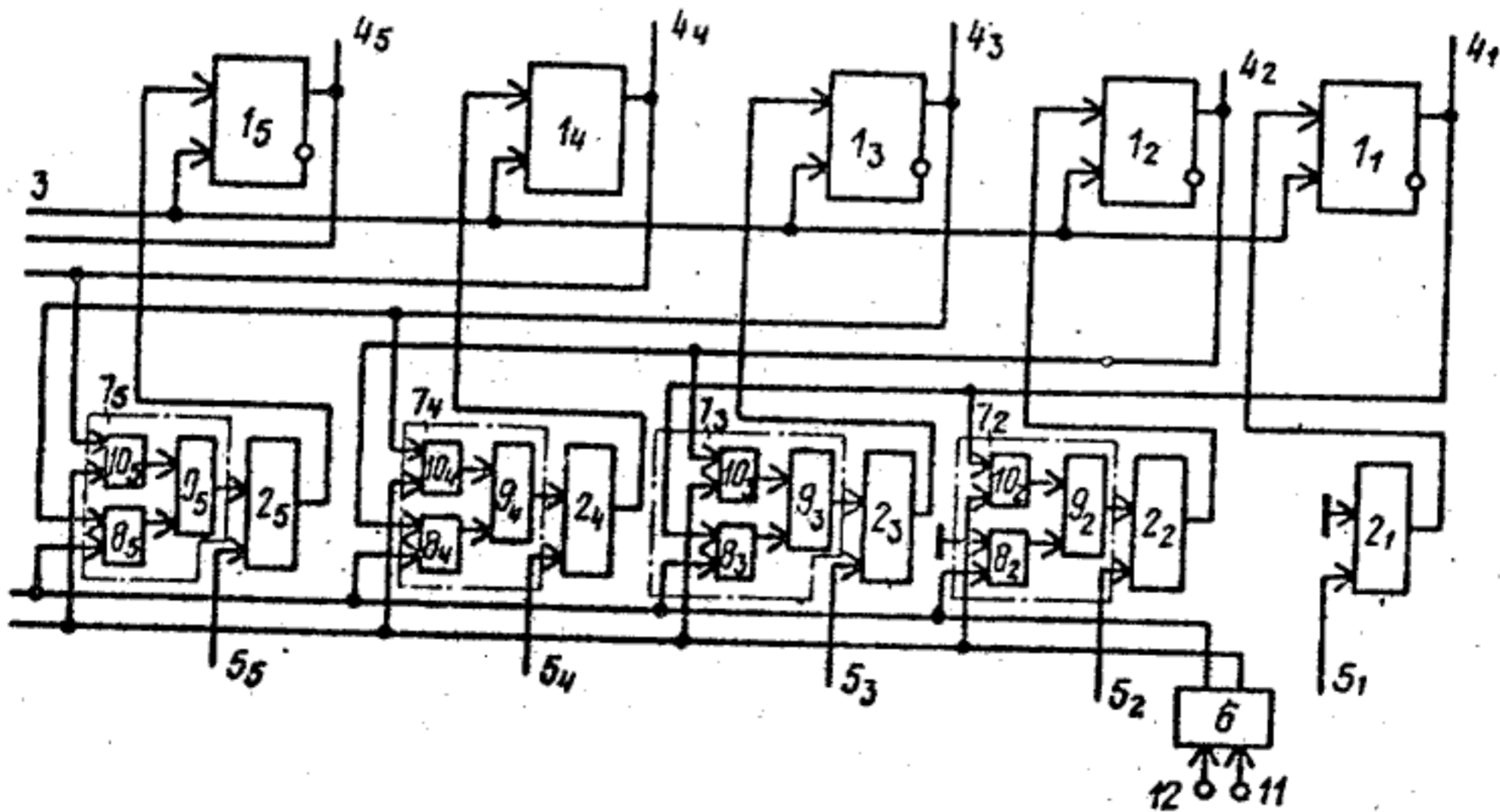
ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 4155165/24-24
- (22) 02.12.86
- (46) 30.05.88. Бюл. № 20
- (71) Винницкий политехнический институт
- (72) А. П. Стахов, Н. А. Квитка и В. А. Лужецкий
- (53) 681.325.5(088.8)
- (56) Авторское свидетельство СССР № 1083182, кл. G 06 F 7/49, 1982. Авторское свидетельство СССР № 1166099, кл. G 06 F 7/50, 1984.
- (54) ПАРАЛЛЕЛЬНЫЙ НАКАПЛИВАЮЩИЙ СУММАТОР
- (57) Изобретение относится к вычислительной технике и может быть использовано в специализированных вычисли-

тельных машинах и цифровых средствах роботизированных систем управления для сложения чисел с иррациональным основанием и обработки векторной информации. Цель изобретения - увеличение быстродействия и расширение функциональных возможностей, заключающихся в сложении в кодах с иррациональным основанием $\sqrt{2}$. Сумматор содержит триггеры $1, -1_n$, элементы НЕРАВНОЗНАЧНОСТЬ $2, -2_n$, шину сброса, выходы $4, -4_n$ разрядов суммы и входы $5, -5_n$ разрядов операндов, триггеры 6 управления режимами работы, первые 10_2-10_n и вторые 8_2-8_n элементы И, элементы ИЛИ 9_2-9_n , входы 11 и 12 режимов работы накапливающего сумматора. 1 ил., 1 табл.



(19) SU (11) 1399726 A1

Изобретение относится к вычислительной технике и может быть использовано в специализированных вычислительных машинах и цифровых устройствах роботизированных систем управления для сложения чисел с иррациональными основаниями и обработки векторной информации.

Цель изобретения - увеличение быстродействия и расширение функциональных возможностей сумматора за счет сложения чисел с основанием $\sqrt{2}$.

На чертеже представлена функциональная схема пяти разрядов параллельного накапливающего сумматора.

Параллельный накапливающий сумматор содержит триггеры 1, элементы НЕРАВНОЗНАЧНОСТЬ 2, вход 3 сброса сумматора, выходы 4 результата, входы 5 операндов, триггер 6 управления, коммутаторы 7, состоящие из элементов И 8, элементов ИЛИ 9 и элементов И 10, а также первый и второй входы 11 и 12 задания режимов работы сумматора.

Параллельный накапливающий сумматор предназначен для суммирования векторов, представленных в двоично-кодированной позиционной системе счисления с основанием $\sqrt{2}$.

В позиционной системе счисления с основанием $\sqrt{2}$ любой вектор X представляется в виде

$$X = X_{n-1}(\sqrt{2})^{n-1} + X_{n-2}(\sqrt{2})^{n-2} + \dots + X_2(\sqrt{2})^2 + X_1(\sqrt{2})^1 + X_0(\sqrt{2})^0. \quad (1)$$

Учитывая, что веса разрядов данного кода являются последовательностью степеней основания $\sqrt{2}$

$$\dots 16\sqrt{2} \quad 16 \quad 8\sqrt{2} \quad 8 \quad 4\sqrt{2} \quad 4 \\ 2\sqrt{2} \quad 2 \quad \sqrt{2} \quad 1,$$

четные степени которой представляют веса разрядов двоичного кода, а нечетные - веса разрядов двоичного кода, умноженные на $\sqrt{2}$, то выражение (1) можно записать так:

$$X = \sqrt{2} \sum_{j=1}^{n-1} X_j 2^{j-1} + \sum_{i=0}^{n-2} X_i 2^i, \quad (2)$$

где величины принимают следующие значения:

$$X_j, X_i \in \{0, 1\}; \quad a \begin{cases} j \in \{1, 3, 5, \dots, n-1\}; \\ i \in \{0, 2, 4, \dots, n-2\}. \end{cases}$$

Первый член формулы (2) составляет сумму нечетных разрядов кода, а второй член - сумму четных разрядов кода с основанием $\sqrt{2}$.

Выражение (2) позволяет любой вектор на плоскости изобразить в виде двух составных векторов, направление одного из которых совпадает с координатой прямоугольной системы, а его

величина равна $\sum_{i=0}^{n-2} X_i 2^i$. Направление

другого вектора составляет с координатами угол 45° , и его значение представляется в виде

$$\sqrt{2} \sum_{j=1}^{n-1} X_j 2^{j-1}.$$

Особенностью такого изображения является то, что код с основанием $\sqrt{2}$, используемый для записи вектора, единый и в то же время члены выражения (2) независимы друг от друга. Это позволяет при сложении двух векторов осуществлять параллельное и независимое сложение составных частей векторов, в результате увеличивается в два раза быстродействие сумматоров с двоичным представлением информации. Сложение двух одноименных разрядов в двоичной системе счисления с иррациональным основанием $\sqrt{2}$ выполняется согласно таблице.

0	+	0	=	0
0	+	1	=	1
1	+	0	=	100

Если в i -х разрядах (четных или нечетных) слагаемых имеются единицы, то, как это следует из таблицы, единица переноса поступает в $(i+2)$ -й разряд кода в отличие от традиционной двоичной системы счисления, где единица поступает в $(i+1)$ -й разряд.

Параллельный накапливающий сумматор может работать в двух режимах: режиме сложения операндов, представленных в коде с основанием $\sqrt{2}$, и режиме суммирования при двоичном представлении операндов. Первый режим обеспечивается установкой триггера 6 управления в единичное состояние, для чего на первый вход 12 задания режима работы подается сигнал, а второй режим задается сигналом, поступающим на второй вход 11 задания режима работы.

Параллельный накапливающий сумматор при сложении операндов в коде с иррациональным основанием работает следующим образом.

Суммирование чисел начинается с команды "Сброс", которая подается на шину 3 и устанавливает все триггеры $1, -1_n$ сумматора в состояние "0". Затем триггер 6 управления устанавливает в единичное состояние, обеспечивая приложение к вторым входам вторых элементов И8_{2-8_n} управляющего сигнала. После этого на входы $5, -5_n$ сумматора подается первое слагаемое. Все элементы НЕРАВНОЗНАЧНОСТЬ $2, -2_n$ тех разрядов сумматора, в которых слагаемое содержит 1, устанавливаются в состояние "1". При этом триггеры $1, -1_n$ остаются в прежнем состоянии, несмотря на присутствие "1" на их счетных входах. Триггеры $1, -1_n$ изменяют свое состояние в том случае, когда элементы НЕРАВНОЗНАЧНОСТЬ $2, -2_n$ соответствующих разрядов переходят из состояния "1" в состояние "0". При следующем такте сигналы, присутствующие на входах $5, -5_n$ сумматора, снимаются. Элементы НЕРАВНОЗНАЧНОСТЬ $2, -2_n$, находящиеся в состоянии "1", переходят в состояние "0". Триггеры $1, -1_n$ соответствующих разрядов переходят в состояние "1". Первое слагаемое записывается в триггеры $1, -1, -1_8$ сумматора. Вследствие того, что прямой (единичный) выход триггера $1, -1$ сумматора приложен к первому входу элемента И8₁₊₂, на втором входе которого присутствует единичный потенциал триггера 6 управления, то при наличии "1" на выходе триггера $1, -1$ элемент НЕРАВНОЗНАЧНОСТЬ $2, -2_{1+2}$ устанавливается в единичное состояние, которое присутствует на счетном входе триггера $1, -1_{1+2}$ одновременного разряда. В данном случае после ввода первого слагаемого "1" присутствует на выходах элементов НЕРАВНОЗНАЧНОСТЬ $2, -2_{3, 5-2_{10}}$, а значит, и на счетных входах триггеров $1, -1_{3, 5-1_{10}}$ сумматора.

Сумматор подготовлен к приему второго слагаемого.

Подача второго слагаемого на входы $5, -5_n$ сумматора вызывает изменение состояний тех элементов НЕРАВНОЗНАЧНОСТЬ $2, -2_n$, для которых разряд слагаемого содержит 1. Переход элементов НЕРАВНОЗНАЧНОСТЬ из состояния "1" в сос-

тояние "0" возможен в двух случаях: когда до прихода на вход 5 единицы данного разряда элемент 2 НЕРАВНОЗНАЧНОСТЬ находится в единичном состоянии и приход "1" в одноименный разряд вызывает появление "0" на выходе соответствующего элемента 2 НЕРАВНОЗНАЧНОСТЬ, а следовательно, приводит к изменению состояния триггера $1, -1$ на противоположное; а также при снятии единиц второго слагаемого на входах $5, -5_n$ сумматора. Благодаря этим переключениям осуществляется предварительный перенос информации от младших разрядов к старшим. Снятие второго слагаемого вызывает аналогичные переключения, в результате которых триггеры $1, -1_n$ сумматора устанавливаются в состояния, соответствующие записи на триггерах суммы слагаемых.

При сложении двоичных операндов перенос единиц из i -го разряда поступает в $(i-1)$ -й разряд, т.е. в слева стоящий. Для обеспечения такого сложения триггер 6 управления устанавливается в нулевое состояние и единичный потенциал инверсного выхода триггера управления включает в работу элементы И 10_2-10_5 .

В остальном процесс сложения во втором режиме не отличается от описанного.

35 Ф о р м у л а и з о б р е т е н и я

Параллельный накапливающий сумматор, содержащий в каждом разряде элемент НЕРАВНОЗНАЧНОСТЬ и триггер, причем прямой выход триггера соединен с выходом данного разряда результата сумматора, счетный вход триггера i -го разряда ($i=1, n$, где n - разрядность операндов) соединен с выходом элемента НЕРАВНОЗНАЧНОСТЬ того же разряда, первые входы элементов НЕРАВНОЗНАЧНОСТЬ всех разрядов соединены с входами соответствующих операндов сумматора, второй вход элемента НЕРАВНОЗНАЧНОСТЬ младшего разряда сумматора соединен с шиной нулевого потенциала сумматора, о т л и ч а ю щ и й с я тем, что, с целью увеличения быстродействия и расширения функциональных возможностей за счет сложения чисел с основанием $\sqrt{2}$, введен триггер управления и в каждый разряд сумматора с вто-

рого по n -й введен коммутатор, причем первый информационный вход коммутатора i -го разряда соединен с прямым выходом триггера $(i-1)$ -го разряда, второй информационный вход коммутатора второго разряда соединен с шиной нулевого потенциала, вторые информационные входы коммутаторов всех разрядов, кроме второго, соединены соответственно с прямыми выходами триггеров $(i-2)$ -х разрядов,

5 первый и второй управляющие входы коммутаторов i -го разряда соединены соответственно с инверсным и прямым выходами триггера управления, с единичным и нулевым входами которого соединены соответственно первый и второй входы задания режимов сумматора, вторые входы элементов НЕРАВНОЗНАЧНОСТЬ всех разрядов, кроме первого, соединены с выходами коммутаторов соответствующих разрядов.

Редактор А. Огар

Составитель М. Есенина
Техред Л. Сердюкова

Корректор М. Максимишинец

Заказ 2666/48

Тираж 704

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4