



СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

АВТОРСКОЕ СВИДЕТЕЛЬСТВО

№ 1411735

На основании полномочий, предоставленных Правительством СССР, Государственный комитет СССР по делам изобретений и открытий выдал настоящее авторское свидетельство на изобретение:
"Сумматор кодов Фибоначчи"

Автор (авторы): Стахов Алексей Петрович, Лужецкий Владимир Андреевич, Черняк Александр Иванович и Соболева Ирина Сергеевна

Заявитель:

Заявка № 4204271 Приоритет изобретения 12 января 1987г.

Зарегистрировано в Государственном реестре изобретений СССР

22 марта 1988г.

Действие авторского свидетельства распространяется на всю территорию Союза ССР.

Председатель Комитета

Начальник отдела

Two handwritten signatures in black ink are present. The first signature is written over the text 'Председатель Комитета' and the second signature is written over the text 'Начальник отдела'. Both signatures are stylized and difficult to read.



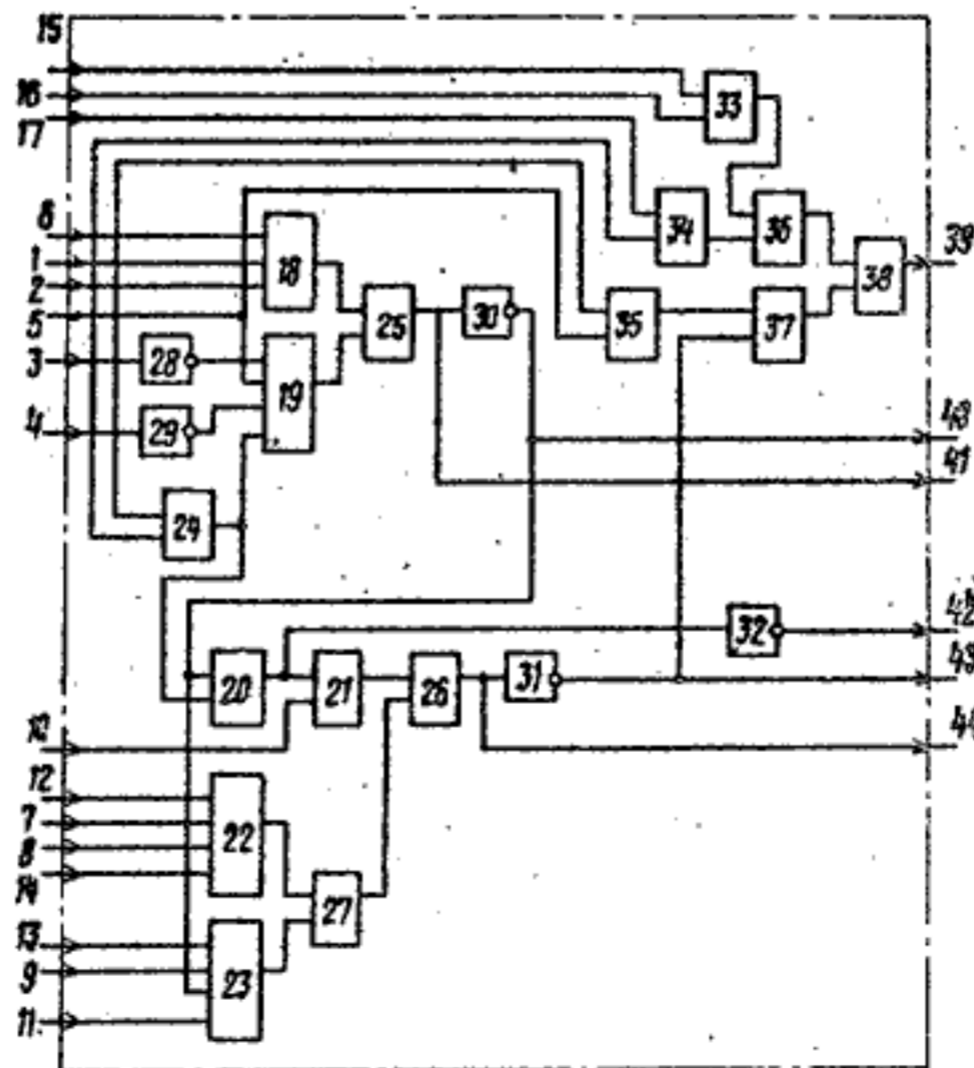
ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 4204271/24-24
- (22) 12.01.87
- (46) 23.07.88. Бюл. № 27
- (72) А.П.Стахов, В.А.Лужецкий,
А.И.Черняк и И.С.Соболева
- (53) 681.325.5(088.8)
- (56) Авторское свидетельство СССР
№ 570896, кл. G 06 F 7/49, 1975.
Авторское свидетельство СССР
№ 1083182, кл. G 06 F 7/49, 1982.

(54) СУММАТОР КОДОВ ФИБОНАЧЧИ
 (57) Изобретение относится к области
 вычислительной техники и может быть
 использовано для суммирования кодов

Фибоначчи с представлением резуль-
 тата суммирования в минимальной фор-
 ме. Цель изобретения - повышение
 быстродействия. Сумматор кодов Фибо-
 наччи содержит в каждом разряде шесть
 элементов И 18 - 23, четыре элемента
 ИЛИ 24 - 27, пять элементов НЕ 28 -
 32, шесть элементов ИСКЛЮЧАЮЩЕЕ ИЛИ
 33 - 38. Сумматор кодов Фибоначчи
 может осуществлять контроль суммы,
 основанный на том, что появление
 результата суммирования в неминималь-
 ной форме свидетельствует о наличии
 отказа либо в неисправности в схеме.
 1 ил.



Изобретение относится к вычислительной технике и может быть использовано в арифметических устройствах ЭВМ, осуществляющих параллельное суммирование чисел, представленных в кодах с иррациональными основаниями, с получением суммы в минимальной форме.

Цель изобретения - повышение быстродействия.

На чертеже представлена функциональная схема одного разряда сумматора кодов Фибоначчи.

Сумматор кодов Фибоначчи содержит в каждом разряде входы 1 и 2 i -го разряда первого и второго операндов сумматора, где $i = \overline{1, n}$, n - разрядность операндов, входы 3 и 4 ($i - 1$)-го разряда первого и второго операндов сумматора, вход 5 переноса из ($i + 2$)-го разряда сумматора, вход 6 запрета распространения переноса из ($i + 3$)-го разряда сумматора, вход 7 запрета распространения переноса из ($i + 1$)-го разряда сумматора, вход 8 запрета распространения переноса из ($i - 2$)-го разряда сумматора, вход 9 запрета распространения переноса из ($i - 3$)-го разряда, вход 10 запрета свертки из ($i + 2$)-го разряда сумматора, вход 11 запрета свертки из ($i - 2$)-го разряда сумматора, вход 12 управления из ($i - 1$)-го разряда сумматора, вход 13 управления из ($i - 2$)-го разряда, вход 14 запрета свертки из ($i - 1$)-го разряда сумматора, вход 15 переноса из ($i - 1$)-го разряда сумматора, вход 16 свертки из ($i + 1$)-го разряда сумматора, вход 17 свертки из ($i + 2$)-го разряда сумматора, шесть элементов И 18 - 23, четыре элемента ИЛИ 24 - 27, пять элементов НЕ 28 - 32, шесть элементов ИСКЛЮЧАЮЩЕЕ ИЛИ 33 - 38, выход 39 суммы данного разряда сумматора, выход 40 запрета распространения переноса данного разряда сумматора, выход 41 переноса данного разряда сумматора, выход 42 управления данного разряда сумматора, выходы 43 и 44 соответственно свертки и запрета свертки данного разряда сумматора.

Сумматор кодов Фибоначчи работает следующим образом.

Коды слагаемых поступают на входы 1 - 4 сумматора.

Для пояснения функционирования сумматора введены следующие обозначения:

a_i - значение i -го разряда слагаемого A ;

b_i - значение i -го разряда слагаемого B ;

G_i - значение i -го разряда суммы Σ ;

P_i - сигнал переноса из i -го разряда суммы;

\bar{P}_i - сигнал запрета распространения переноса из i -го разряда суммы;

S_i - сигнал свертки из i -го разряда суммы;

\bar{S}_i - сигнал запрета свертки из i -го разряда суммы.

Следовательно, если $a_i = b_i = 1$, то при сложении возникают переносы из i -го разряда в ($i + 1$)-й (старший) и ($i - 2$)-й (младший) разряды сумматора.

Кроме того, для трех подряд идущих разрядов условием свертки в i -й (старший) разряд является ноль в старшем (i -м) разряде и единицы в двух младших ($(i - 1)$ -м и $(i - 2)$ -м) разрядах суммы.

Сигнал переноса из i -го разряда сумматора формируется в соответствии с логическим выражением

$$P_i = a_i b_i \bar{P}_{i+3} + (a_i + b_i) P_{i+2} \bar{a}_{i-1} \times \bar{b}_{i-1},$$

полученным на основе анализа условий, при наличии которых возникает перенос в i -м разряде суммы.

Сигнал запрета распространения переноса из i -го разряда \bar{P}_i является простой инверсией сигнала P_i .

Сигнал свертки из i -го разряда сумматора формируется в соответствии со следующим логическим выражением:

$$S_i = (\bar{a}_i \bar{b}_i + S_{i+2} + P_i) \cdot ((a_{i-1} + b_{i-1}) \times \bar{P}_{i-1} + P_{i+1} + P_{i-2} + S_{i-1}) \times (a_{i-2} + b_{i-2}) \times \bar{P}_{i-2} + P_i + P_{i-3} + S_{i-2},$$

также полученным на основе анализа условий, при наличии которых осуществляется свертка. Сигнал запрета свертки из i -го разряда \bar{S}_i является инверсным по отношению к сигналу S_i .

В образовании сигнала суммы i -го разряда могут участвовать следующие сигналы: a_i , b_i , сигнал переноса из ($i + 2$)-го разряда суммы P_{i+2} , сигнал переноса из ($i - 1$)-го разряда суммы P_{i-1} , сигналы свертки из i , ($i + 1$), ($i + 2$)-го разрядов суммы S_i , S_{i+1} , S_{i+2} соответственно.

Следовательно, значение i -го разряда суммы определяется значениями перечисленных сигналов (точнее наличием каких-либо из них либо отсутствием).

Таким образом

$$b_i = a_i \oplus b_i \oplus P_{i+2} \oplus P_{i-1} \oplus S_i \oplus S_{i+1} \oplus S_{i+2}.$$

Сумматор кодов Фибоначчи позволяет получать сумму кодов Фибоначчи в минимальной форме за один такт.

Ф о р м у л а и з о б р е т е н и я

Сумматор кодов Фибоначчи, содержащий в каждом разряде первый, второй, третий, четвертый элементы И, первый, второй, третий, четвертый элементы ИЛИ, первый, второй, третий элементы НЕ, причем входы i -го разряда первого и второго операндов, где $i = 1, n$, n - разрядность операндов, сумматора соединены соответственно с первым и вторым входами первого элемента И данного разряда сумматора, вход переноса из $(i + 2)$ -го разряда сумматора соединен с первым входом второго элемента И i -го разряда сумматора, вход запрета распространения переноса из $(i + 1)$ -го разряда сумматора соединен с первым входом третьего элемента И i -го разряда сумматора, о т л и ч а ю щ и й с я тем, что, с целью повышения быстродействия, в каждый разряд сумматора кодов Фибоначчи введены пятый, шестой элементы И, четвертый, пятый элементы НЕ, первый, второй, третий, четвертый, пятый, шестой элементы ИСКЛЮЧАЮЩЕЕ ИЛИ, причем третий вход первого элемента И соединен с входом запрета распространения переноса из $(i + 3)$ -го разряда сумматора, второй вход второго элемента И соединен с выходом первого элемента НЕ, вход которого соединен с входом $(i - 1)$ -го разряда первого операнда сумматора, вход $(i - 1)$ -го разряда второго операнда сумматора соединен с входом второго элемента НЕ, выход которого соединен с третьим входом второго элемента И, четвертый вход которого соединен с выходом первого элемента ИЛИ и первым входом четвертого элемента И, второй вход которого соединен с первым входом пятого элемента И, выхо-

дом запрета распространения переноса данного разряда сумматора и выходом третьего элемента НЕ, вход которого соединен с выходом переноса данного разряда сумматора и выходом второго элемента ИЛИ, первый и второй входы которого соединены соответственно с выходом первого элемента И и выходом второго элемента И, вход i -го разряда первого операнда сумматора соединен с первым входом первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ и первым входом первого элемента ИЛИ, второй вход которого соединен с входом i -го разряда второго операнда сумматора и первым входом второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, второй вход которого соединен с входом свертки из $(i + 2)$ -го разряда сумматора, вход переноса из $(i + 2)$ -го разряда сумматора соединен с вторым входом первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, выход которого соединен с первым входом третьего элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, выход которого соединен с первым входом четвертого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, выход которого соединен с выходом суммы данного разряда сумматора, вход переноса из $(i - 1)$ -го разряда сумматора и вход свертки из $(i + 1)$ -го разряда сумматора соединены соответственно с первым и вторым входами пятого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, выход которого соединен с первым входом шестого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, второй вход и выход которого соединены соответственно с выходом второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ и вторым входом четвертого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, вход запрета свертки сумматора из $(i + 2)$ -го разряда сумматора соединен с первым входом шестого элемента И, второй вход которого соединен с выходом четвертого элемента И и входом четвертого элемента НЕ, выход которого соединен с выходом управления данного разряда сумматора, вход управления из $(i - 1)$ -го разряда сумматора, вход запрета распространения переноса из $(i - 2)$ -го разряда сумматора, вход запрета свертки из $(i - 1)$ -го разряда сумматора соединены соответственно с вторым, третьим, четвертым входами третьего элемента И, выход которого соединен с первым входом третьего элемента ИЛИ, второй вход которого соединен с выходом пятого элемента И, второй,

третий, четвертый входы которого соединены соответственно с входом управления из $(i - 2)$ -го разряда сумматора, с входом запрета распространения переноса из $(i - 3)$ -го разряда сумматора и входом запрета свертки из $(i - 2)$ -го разряда сумматора, выход шестого элемента И и выход третьего элемента ИЛИ соединены соот-

5

10

ветственно с первым и вторым входами четвертого элемента ИЛИ, выход которого соединен с выходом запрета свертки данного разряда сумматора и входом пятого элемента НЕ, выход которого соединен с вторым входом третьего элемента ИСКЛЮЧАЮЩЕЕ ИЛИ и выходом свертки данного разряда сумматора.

Редактор В. Петраш

Составитель М. Есенина
Техред М. Ходанич

Корректор Г. Решетник

Заказ 3655/44

Тираж 704

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4