



СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ
АВТОРСКОЕ СВИДЕТЕЛЬСТВО

№ 1439751

На основании полномочий, предоставленных Правительством СССР, Государственный комитет СССР по делам изобретений и открытий выдал настоящее авторское свидетельство на изобретение:
"Преобразователь двоичного кода в код Фибоначчи"

Автор (авторы): Стахов Алексей Петрович, Лужецкий Владимир Андреевич, Ваховский Виктор Григорьевич, Козлюк Петр Владимирович и Попович Игорь Михайлович

Заявитель: **ВИННИЦКИЙ ПОЛИТЕХНИЧЕСКИЙ ИНСТИТУТ**

Заявка № 4076283

Приоритет изобретения 9 ИЮНЯ 1986г.
Зарегистрировано в Государственном реестре изобретений СССР

22 ИЮЛЯ 1988г.

Действие авторского свидетельства распространяется на всю территорию Союза ССР.

Председатель Комитета

Начальник отдела

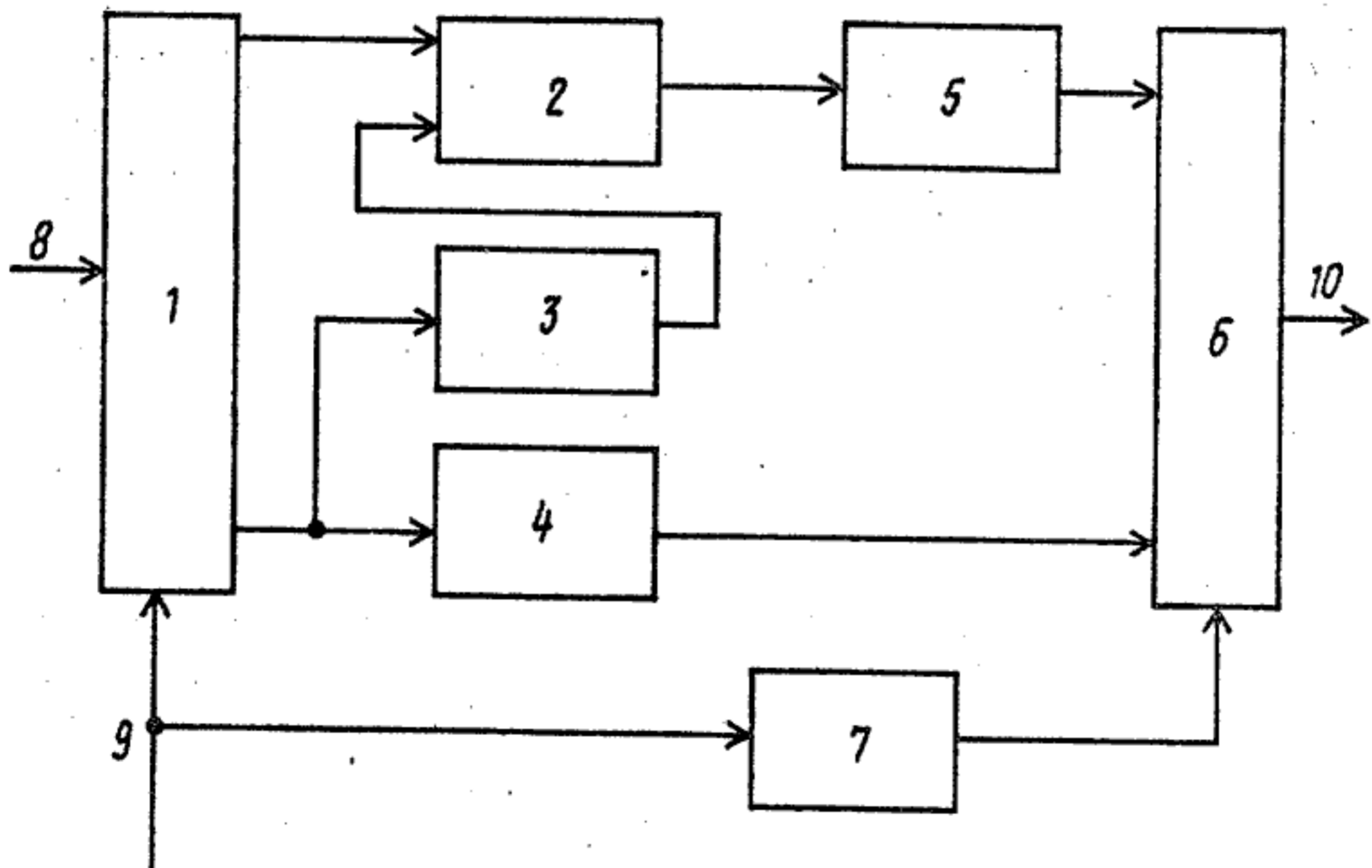


ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 4076283/24-24
(22) 09.06.86
(46) 23.11.88. Бюл. № 43
(71) Винницкий политехнический институт
(72) А.П.Стахов, В.А.Лужецкий,
В.Г.Ваховский, П.В.Козлюк
и И.М.Попович
(53) 681.327 (088.8)
(56) Авторское свидетельство СССР
№ 662933, кл. Н 03 М 13/12, 1976.
(54) ПРЕОБРАЗОВАТЕЛЬ ДВОИЧНОГО КОДА
В КОД ФИБОНАЧЧИ

(57) Изобретение относится к вычислительной технике и может быть использовано в системах преобразования информации, представленной двоичным кодом, в код Фибоначчи. Целью изобретения является повышение быстродействия преобразователя. Преобразователь содержит входной регистр 1, сумматор 2, блоки 3 - 5 постоянной памяти, выходной регистр 6, элемент 7 задержки, информационные и управляющие входы 8 и 9, выходы 10 преобразователя, 1 ил.



Изобретение относится к вычислительной технике, и может быть использовано для преобразования информации, представленной двоичным кодом в код Фибоначчи.

Цель изобретения - повышение быстродействия преобразователя.

На чертеже представлена функциональная схема преобразователя.

Преобразователь содержит входной регистр 1, сумматор 2, блоки 3 - 5 постоянной памяти, выходной регистр 6, элемент 7 задержки, информационные управляющие входы 8 и 9 и выходы 10 преобразователя.

Преобразователь работает следующим образом.

При подаче на управляющий вход 9 разрешающего сигнала входной код записывается в входной регистр 1. Информация, содержащаяся в младших m разрядах входного кода, поступает с соответствующих выходов входного регистра 1 на первые входы сумматора 2. В зависимости от разрядности n входного кода параметр m выбирается равным $\frac{n-1}{2}$, когда n является нечетным, и $\frac{n-2}{2}$, когда n является четным.

Информация, содержащаяся в старших разрядах входного кода, поступает на входы первого 3 и второго 4 блоков постоянной памяти. Блок 3 постоянной памяти закодирован таким образом, что при подаче на его вход значения старших разрядов входного кода на его выходе формируется в двоичной форме код остатка от преобразования этой информации в код Фибоначчи, содержащегося в 1 младших разрядах кода Фибоначчи. При этом значение параметра 1 выбирается из условия $\psi(1-3) \geq 2^m - 2$. Код остатка с выхода блока 3 постоянной памяти поступает на вторые входы сумматора 2, на выходе которого формируется код суммы остатка и входной величины, содержащейся в m младших разрядах входного кода. Код с выхода сумматора 2 поступает на входы третьего блока 5 постоянной памяти. Блок 5 закодирован таким образом, что при подаче на его вход двоичного кода разрядностью $[\log_2 \psi(1+1)] + 1$ на его выходе формируется соответствующий

код Фибоначчи 1 младших разрядов выходного кода.

Блок 4 постоянной памяти закодирован таким образом, что при подаче на его входы информации, содержащейся в группе $n-m$ старших разрядов входного кода, на его выходе формируются значения кода Фибоначчи в старшей группе разрядов, начиная с $(1+1)$ -го.

По истечении времени переходных процессов в сумматоре 2 и блоках 3-5 управляющий сигнал с выхода элемента 7 задержки поступает на управляющий вход регистра 6, в результате чего информация с выходов блоков 4 и 5 постоянной памяти записывается в выходной регистр.

Ф о р м у л а и з о б р а ж е н и я

Преобразователь двоичного кода в код Фибоначчи, содержащий n -разрядный (n -разрядность входного кода) входной регистр, информационные и управляющие входы которого являются соответственно информационными и управляющими входами преобразователя, сумматор и выходной регистр, отличающийся тем, что, с целью увеличения быстродействия преобразователя, в него введены блоки постоянной памяти и элемент задержки, вход которого подключен к управляющему входу преобразователя, а выход соединен с управляющим входом выходного регистра, выходы m младших и $n-m$ старших разрядов входного регистра ($m = \frac{n-1}{2}$ при n - нечетном, $m = \frac{n-2}{2}$, при n - четном) соединены соответственно с первыми входами сумматора и входами первого и второго блоков постоянной памяти, выходы первого блока постоянной памяти соединены с вторыми входами сумматора, выходы которого соединены с входами третьего блока постоянной памяти, выходы которого соединены с входами 1 младших разрядов выходного регистра (где 1 определяется из соотношения $\psi(1-3) \geq 2^m - 2$, ψ/i) - вес i -го разряда кода Фибоначчи), выход второго блока постоянной памяти соединен с входами старших разрядов выходного регистра, выходы которого являются выходами преобразователя.